

SCF를 이용한 시간지연 회로의 설계 및 제작기술 개발

박 증 연* · 황 준 원** · 장 목 순***

Developement of Designing and Manufacturing Technique for Time Delay Circuit using SCF.

Chong-Yeon Park* · Jun-Won Hwang** · Mok-Soon Jang***

ABSTRACT

This paper deals with the tapped time delay circuit with SCF(Switched Capacitor Filters). This filter is composed of lossless discrete integrator and the SCF has 2-phase clocks. Experimental results have shown that telephone signals (0~4kHz) could be delayed in the range of sampling frequency 80kHz. But above the range, operational amplifiers and analog switches have been difficult in the normal operating condition.

1. 서 론

컴퓨터를 비롯한 디지털 전자기기에 있어서 디지털 신호처리에 사용되는 소자의 성능을 충분히 활용하기 위해서는 안정된 타이밍처리가 요구된다. 이와같은 요구를 만족시키기 위해서 지연선(Delay Line)이 사용되며 기본적 기능은 입력신호를 될수록 충실하게 규정된 시간만큼 지연시키는 것이다. 즉 전기전자 회로에서 서로 다른 경로를 통하여 들어온 여러 전기신호의 시간차를 없애거나 반대로 특정한 시간차를 두고 신호처리를 해야 할 경우에 사용된다.

아날로그 신호의 처리에 쓰이는 지연선의 실현방법으로 L과 C를 이용한 수동지연선[1]과 OP-Amp를 이용한 능동지연선[2][3]으로 대별할 수 있다. 수동지연선의 경우에는 L의 제조과정이 까다롭고 제작에 소요되는 인건비가 원가의 상승요인으로 작용하여 IC의 활용으로 L을 대치한 것이 능동 지연소자이다. 본 연구에서는 능동 지연 소자를 실현하는 방법으로 SCF[4][5]를 적용한 방법을 제시하고 그 타당성을 입증하기 위해서 만능기판에 제작하여 실험함으로써 IC化的 가능성을 밝혔다.

본 연구에서는 LDI(Lossless Discrete Integrator)사다리 구조의 형태로 탭을 이용한 시간지연선(tapped delay line)을 제안하고 이때 사용된 ϕ_1 과 ϕ_2 의 두 개 위상을 이용하였다.

* 강원대학교 전기공학과 교수

** 강원대학교 전기공학과 석사과정

*** 강원대학교 전기공학과 박사과정

2. SCF에 의한 시간지연회로

탭을 이용한 다단출력(Multi-Output)시스템의 구성은 그림1과 같다.

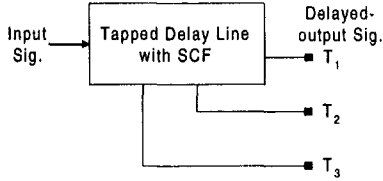


Fig. 1. Block Diagram of Tapped Delay Lines.

이러한 탭을 갖는 시간지연선은 그림2와 같은 전송선로의 상태변수를 이용하여 실현가능하며 주파수변수 P , LDI의 변수 r 및 LDD(Lossless Discrete Differentiator) 변수 μ 는 다음과 같이 정의 된다.[6]

$$P = \tanh\left(\frac{ST}{2}\right) = \frac{r}{\mu} \quad (1a)$$

$$r = \sinh\left(\frac{ST}{2}\right) \quad (1b)$$

$$\mu = \cosh\left(\frac{ST}{2}\right) \quad (1c)$$

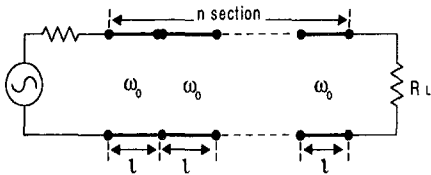


Fig. 2. Cascaded Unit Element Circuit

이러한 그림2에서 특성임피던스 ω_0 가 동일한 길이 l 에 관해서 일정한 값을 갖게 되면 Scalan[7]에 의한 등가변환방법을 적용하고 식(1)을 사용하여 얻은 등가회로는 그림3과 같다.

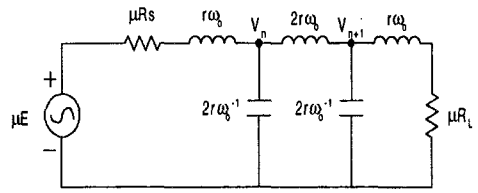


Fig. 3. LC-Ladder type Equivalent Circuit

여기서 V_n 과 V_{n+1} 의 관계식을 유도하면 식(2)와 같다.

$$V_{n+1} = \frac{\alpha_1}{1 - \beta_1 Z^{-1}} \cdot V_n \quad (n: \text{even}) \quad (2a)$$

$$V_{n+1} = \frac{\alpha_2 Z^{-1}}{1 - \beta_2 Z^{-1}} \cdot V_n \quad (n: \text{odd}) \quad (2b)$$

$$\text{단, } \alpha_1 = \frac{2R}{R_L + \omega_0} \quad (3a)$$

$$\beta_1 = \frac{R_L - \omega_0}{R_L + \omega_0} \quad (3b)$$

$$\alpha_2 = \frac{2R_L \omega_0}{(R_L + \omega_0)R} \quad (3c)$$

$$\beta_2 = \frac{R_L - \omega_0}{R_L + \omega_0} \quad (3d)$$

그림3과 식(2) 및 식(3)을 이용하여 $R_s = \omega_0 = R_L$ 의 관계식을 만족하는 경우 그림4의 SFG(Signal Flow Graph)를 작성하고 절점 전압사이의 관계식을 $R_L = 0$ 인 경우와 $R_L = \infty$ 인 경우로 분리하여 얻으면 다음과 같다.

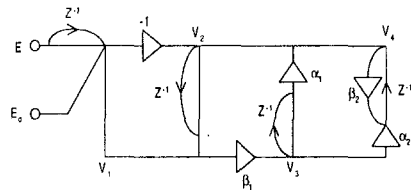


Fig. 4. Signal Flow Graph in Z-variable Plane

(i) $R_L=0$ 인 경우 :

$$\frac{V_{2i+1}}{V_{2i-1}} = Z^{-1} \frac{1+Z^{-n+2i}}{1+Z^{-n+2i-2}} \quad (4a)$$

$$V_{2i+1} = (Z^{-i} + Z^{-n+i}) \cdot E \quad (4b)$$

(ii) $R_L=\infty$ 인 경우 :

$$\frac{V_{2i+1}}{V_{2i-1}} = Z^{-1} \frac{1-Z^{-n+2i}}{1-Z^{-n+2i-2}} \quad (5a)$$

$$V_{2i+1} = (Z^{-i} - Z^{-n+i}) \cdot E \quad (5b)$$

여기서 그림4의 SFG를 아날로그 스위치와 연산증폭기를 이용하여 SCF를 만들 경우 연산증폭기 자체의 대역폭에 좌우되며, 안정한 동작을 하는 시스템가운데 $10\mu\text{sec}$ 와 $20\mu\text{sec}$ 지연되는 회로를 설계한 결과 그림5와 같다.

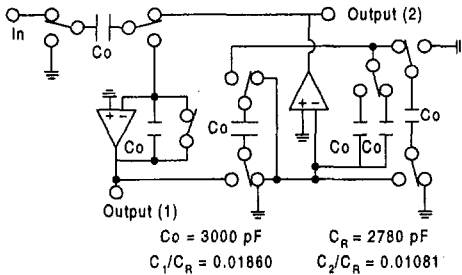


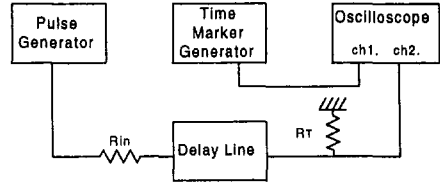
Fig. 5. Daly Circuit Realization with SCFs

3. 실험 및 결과검토

설계된 지연선을 실험적으로 입증하기 위해서 연산증폭기와 MOS의 아날로그 스위치 및 폴리스티렌 캐패시터를 활용하여 만능기판에 조립한 다음 지연시간 T_D , 상승시간 T_R 및 T_D 와 T_R 의 동작범위를 측정하여 IC회로로서의 타당성을 검토하였다.

3.1 실험 및 측정

실험회로는 그림5와 같으며 아날로그 스위치와 연산증폭기를 이용하여 SCF필터를 구성하여 안정한 동작을 하는 시스템을 설계하였으며 Multi-phase clock에 의한 SCF 구조를 2-phase로 동작시키기 위한 구조로 변경하였다. 실제 지연시간을 측정하기 위한 시스템의 구성도는 그림6과 같다.



R_{in} : Input Matching Resistance

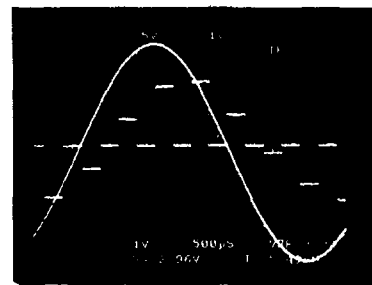
R_T : Terminating Resistance

Fig. 6. Block Diagram for Experiment

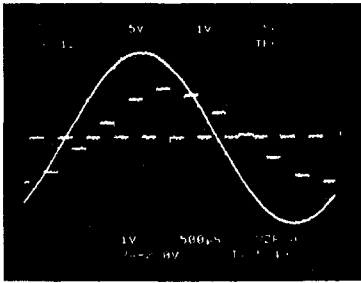
실험도인 그림6에서 그림5의 지연선에서 사용한 아날로그 스위치는 다섯 개의 MC4066이며 연산증폭기는 $\mu\text{A}072$ 를 사용하였다.

3-2 측정결과 및 검토

입력신호는 200Hz의 정현파를 가한 뒤 표본화 주파수 f_s 를 각각 바꿔가면서 측정한 결과가운데 f_s 를 4K, 20K 및 100kHz로 한 경우의 결과는 그림7~그림9와 같다.



(a)

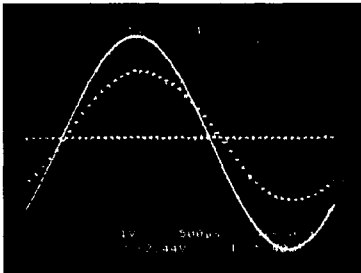


(b)

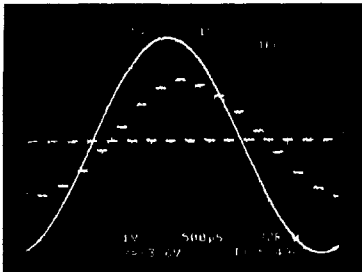
continuous sig. : input sig.
discrete sig. : delayed sig.

Fig. 7. Experimental Results

(a) $f_s=4\text{kHz}$, (b) $f_s=7.5\text{kHz}$



(a)

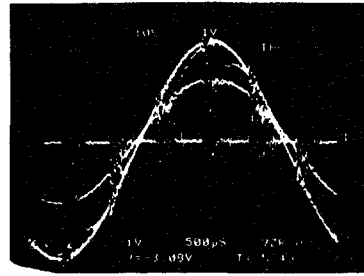


(b)

continuous sig. : input sig.
discrete sig. : delayed sig.

Fig. 8. Experimental Results

(a) $f_s=10\text{kHz}$ (b) $f_s=20\text{kHz}$



above : input sig.
lower : output sig.

Fig. 9. Experimental Results($f_s=100\text{Hz}$)

이상 그림7~9의 결과를 검토할 때 f_s 가 80kHz이상으로 커지면 OP-Amp 및 아날로그 스위치의 동작이 정상적으로 이루어지지 않으며 지연소자의 역할을 하지 못하지만 그림7과 그림8의 음성주파수 대역의 신호를 표본화하여 사용하는 경우는 비교적 정확한 Delay를 맞출수 있음을 확인하였다.

4. 결 론

음성전화신호 (0~4kHz)대역에서의 정확한 시간지연회로는 SCF에 의해서 설계 가능하며 MOS를 이용한 IC의 개발이 가능할 것으로 판단되며 표본화주파수가 10배이상 과표본화 되는 경우 동작이 어렵다. 이러한 SCF에 의한 시간지연 회로에 사용되는 캐패시터는 반드시 폴리스티렌 타입으로 구성되어야 사용범위를 크게 할 수 있다. 이러한 지연소자를 활용한 FIR 필터의 실현이 가능할 것으로 추측되며 그 용도가 확대 될 것으로 기대된다.

참 고 문 헌

[1] M, S, Ghousi/ K. R. Laker, *Modern*

Filter Design, chap.1, Printice-Hall Inc. ,1981.

Fund로 이루어졌으며 산학협동재단의 관계자 여러분께 감사드립니다.

- [2] Harry Y-F. Lam, *Analog and Digital Filters*, chap.6, Prentice-Hall Inc. , 1979
- [3] A. B. Williams, *Electronic Filter Design Handbook*, McGraw-Hill Inc. , 1984.
- [4] T. Enomoto et al, " Integrated tapped MOS analogue dealy line using switched capacitor technique " , *Electron Lett*, vol. 18 . pp.193 -194, Mar. , 1982
- [5] P. Gillingham, " Stray-free switched capacitor unit delay circuit " , *Electron letters*, vol. 20 , pp. 308-310, Mar. 1984.
- [6] H. Iwakura, " Realization of Tapped Delay Lines Using Switched - Capacitor LDI Ladder and Application to FIR Filter Design ", *IEEE Trans. Circuit and Systems-II: Analog and Digital Signal processing*, vol 40, No.12, pp. 794-796, DEC. 1993.
- [7] S.O. Scanlan, " Analysis and Synthesis of switched-capacitor techniques", *IEEE Trans. Circuit and system*. vol. CAS-28, pp. 85-93, Feb. 1981.

후 기

본 연구는 1996년도 산학협동재단 학술연구비에 의하여 중화전자와 Matching