

## 텅스텐 실리사이드 박막 들뜸에 관한 연구

한성호, 이재갑, 김창수\*, 이은구\*\*

국민대학교 금속재료공학과, 한국 표준과학 연구원\*, 조선대학교 재료공학과\*\*

A study of  $WSi_2$  film peeling off from Si substrate

S. H. Han, J. G. Lee, C. S. Kim\*, and E. G. Lee\*\*

Kookmin University, Dept of Metallurgical Engineering,

Korea Research Institute of standards and Science\*,

Chosun University, dept. Materials Science and Engineering\*\*

## Abstract

High temperature anneal of W-rich silicides, inferior to adherence compared with Si-rich silicides, resulted in the film peeling off from the Si-substrate when  $WSi_x$  thickness reached more than critical thickness. Investigation of the W-rich silicide films peeling off from the substrate revealed that the voids underneath the  $WSi_2$  produced through silicide reaction were responsible for the poor adherence of W-rich silicide. In addition, internal stress in the film increased as the silicide thickness increased. In order to promote the adhesion of  $WSi_x$  to Si-substrate, thin Ti-layer was formed between  $WSi_x$  and Si-substrate ( $WSi_x/Ti/Si$ ). No voids were observed in  $WSi_2/Ti/Si$   $N_2$ -annealed at  $1000^\circ C$ , thereby leading to an increase of the critical thickness from  $\sim 1700 \text{ \AA}$  to more than  $2500 \text{ \AA}$ . However, higher resistivity was obtained in  $WSi_x/Ti/Si$  than in  $WSi_x/Si$ . Finally, different silicide reaction mechanism for the structures ( $WSi_x/Si$ ,  $WSi_x/Ti/Si$ ) was proposed to explain the formation of voids as well as the role of thin Ti-layer.

## 1. 서 론

낮은 저항을 가지면서, 고온 처리에 강한 특성을 보여주는 텅스텐 실리사이드는 gate electrode의 저항을 감소시키기 위하여 집적회로 및 TFT(Thin Film Transistor) 제조에 폴리사이드의 구조( $WSi_2/poly-Si$ )로 널리 사용되고 있다.<sup>1-8)</sup> 그러나 후공정 고온 열처리에 의하여 쉽게 발생하는 텅스텐 실

리사이드의 들뜸 현상은 공정에 대한 신뢰성을 크게 약화시켜 주고 있어, 이에 대한 안정적인 해결책이 요구되고 있다.<sup>7, 9)</sup>

실리사이드의 들뜸은 고온 열처리에 의하여 박막 내에 발생하는 과잉의 인장 응력이 주 원인으로 알려져 있다. 이 과잉의 응력은 실리사이드와 하부층 간의 접착력이 약할 경우에는 실리사이드를 들뜨게 하고, 비교적 강한 접착력에서는 crack을 쉽게 형

성시켜 주고 있다. 자연 산화막 위에 형성된 텅스텐 실리사이드는 일반적으로 약한 결합력을 보이고 있다. 이와 같은 결과는 화학 증착 방법에 의하여 형성된 텅스텐 실리사이드에서 특히 쉽게 발견되고 있다. 스퍼터링 방법으로 형성된 실리사이드는 비교적 결합력이 강하여 들뜸에 대한 저항이 크나, 실리사이드 조성에 따라 민감하게 변하는 들뜸의 결과를 보여주고 있다.<sup>7)</sup> 즉 실리콘 함량이 증가할 경우에는 들뜸에 대한 저항이 강한 특성을 보이고 있으나, 텅스텐의 비율이 증가할 경우는 쉽게 실리사이드가 들뜨고 있다. 조성비가 들뜸에 미치는 영향은 W/Si 비율의 증가에 따라 커지는 응력으로 이해되고 있으나, 이에 대하여 보다 자세한 고찰이 요구된다.

본 연구에서는 공정 조건(압력, power)의 변화가 텅스텐 실리사이드의 막질에 미치는 영향을 조사하여 막질과 실리사이드 들뜸의 관계를 살펴보았다. 또한 고온 열처리시에 형성되는 void가 실리사이드 들뜸에 미치는 영향을 조사하였고, void형성 기구를 실리사이드 반응을 근거로 제시하였다. 박막의 접착성을 향상시키기 위하여 박막과 하지층 사이에 얇은 Ti층(약 100Å)을 형성시켜 주어 들뜸에 대한 방지력 증가를 시도하였고, 이에 따라 변하는 실리사이드 반응과 막질을 조사하였다.

## 2. 실험 방법

텅스텐 실리사이드의 증착은 Fig. 1과 같은 RF sputtering 장치와 Si과 W의 비율이 2.0인 composite target을 이용하여 이루어졌다. 실험에서 사용한 실리콘 웨이퍼는 P형, 10-20 $\mu$ ohm-cm, (100)Silicon이고, 이 Si wafer는 열산화에 의하여 900Å의 산화막을 성장시킨 후에 시편을 3×3cm로 절단하여 사용하였다. Si wafer위에 산화막을 성장시킨 이유는 wafer 제조 중에 표면에 형성된 손상을 제거하고 세정을 용이하게 하기 위함이다. 샘플은 10:1 HF 용액에서 900Å의 열산

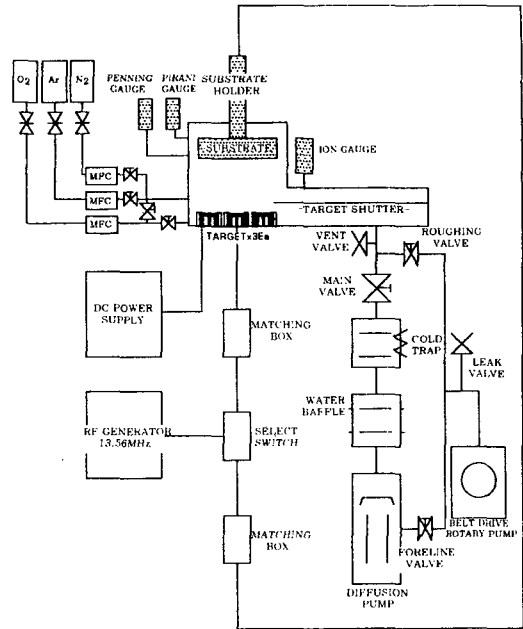


Fig. 1. Schematic diagram of a sputtering system.

화막을 제거한 후에 DI(Deionized) 용액에서 세척을 실시하여 스퍼터링 챔버 내에 장입한 후에 챔버내의 진공을  $5 \times 10^{-7}$  Torr까지 낮춘 후 원하는 공정조건에서 증착을 실시하였다. 실험은 두 가지 구조, WSix/Si와 WSix/Ti/Si에 대하여 이루어져 비교 평가되었다.

실험은 박막의 특성에 미치는 공정 조건의 영향을 조사하였고, N<sub>2</sub> 분위기에서 열처리를 실시하여 온도에 따른 비저항의 변화를 관찰하였다. 이 때 검토된 공정조건은 Table 1과 같다.

박막의 증착률은 surface profilometer, 비저항의 변화는 Four-point probe를 이용하여 측정하였다. 또한, 텅스텐 실리사이드의 stoichiometry

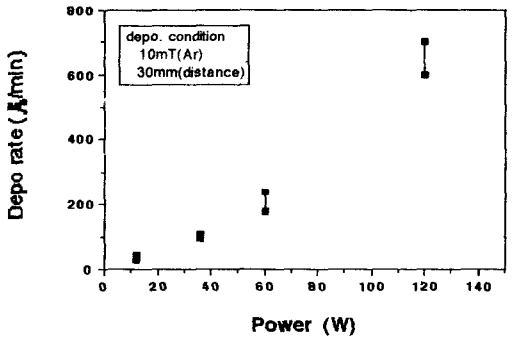
Table 1. 텅스텐 실리사이드 증착 조건

공정조건	공정범위	비고
Power(watts)	12-120	· 시편 온도는 상온(25℃) · target과 시편과의 거리
압력(mTorr)	2-20	
거리(mm)	30	

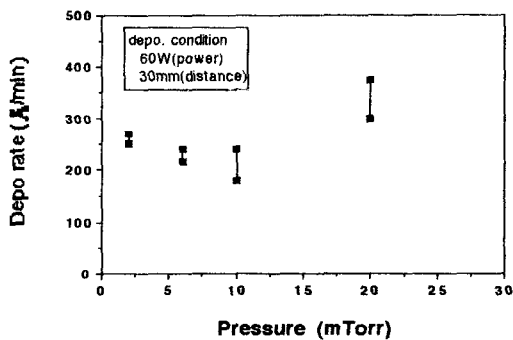
와 불순물의 함량은 AES와 XPS를 이용하여 분석하였고, 열처리에 따라 변하는 텅스텐 실리사이드의 두께는 SEM을 이용하여 관찰하였다. 그리고 열처리 온도에 따라 변하는 상을 조사하기 위하여 high power wide-angle X-ray diffractometer와 small angle X-ray diffractometer를 함께 사용하여 비교하였다.

### 3. 실험 결과 및 고찰

Fig. 2는 Power와 압력의 변화가 텅스텐 실리사이드 증착률에 미치는 영향을 보여 주는 결과이다. 증착률은 Power가 증가함에 따라 직선적으로 비례하여 증가하고 있다. 압력의 경우에는 2mT



(a)

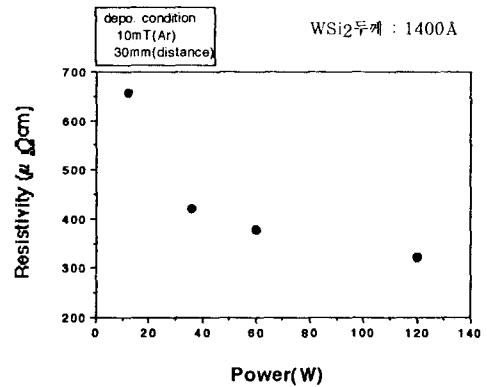


(b)

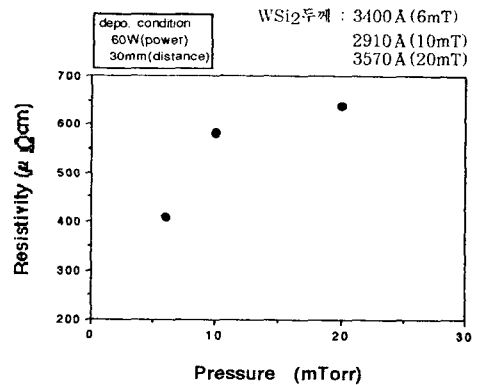
Fig. 2. Dependence of WSix Deposition rate on (a) power, and (b) pressure.

에서 10mT까지 증가시킴에 따라 증착률이 서서히 감소하다가 20mT에서는 다시 증가하는 경향을 보여주고 있다. 압력이 감소함에 따라 증가되는 Ar<sup>+</sup> 이온의 에너지는 sputter yield를 증가시켜 증착률 증가를 이루게 하고 있는 것으로 이해되며, 20mTorr에서 다시 증착속도가 증가된 것은 target을 때려주는 Ar<sup>+</sup> 이온 유량의 증가에 기인하는 것으로 판단된다.

Fig. 3은 텅스텐 실리사이드의 비저항에 미치는 각 변수의 영향을 조사한 결과이다. 비저항의 값은 Power가 감소함에 따라 서서히 증가하고 있으며, 12W에 이르러서는 급격히 증가하여 650



(a)

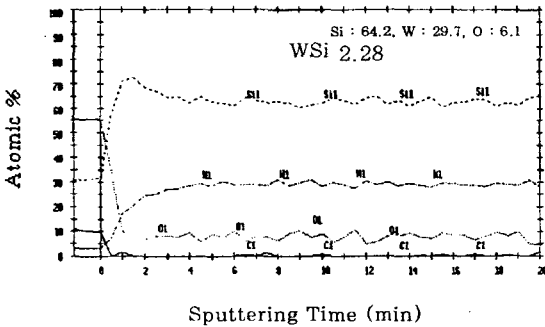


(b)

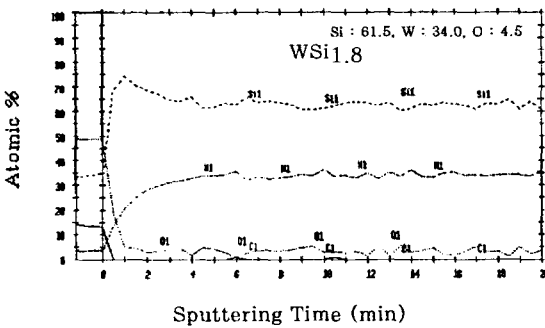
Fig. 3. Dependence of resistivities of as-deposited tungsten silicides on (a) power, (b) pressure.

$\mu\Omega$ -cm에 달하고 있다. 또한 비저항의 값은 압력에 따라 변하고 있는데 압력이 증가함에 따라 비저항이 증가하고 있다. 이와 같은 비저항의 변화는 증착조건에 따라 변하는 실리사이드 조성에 기인하는 것으로 여겨지고 있다. 즉 높은 power와 낮은 압력들은 W/Si 비율을 증가시켜 낮은 비저항의 값을 나타내게 하는 것이다.

Fig. 4는 12W와 60W의 조건하에서 텅스텐 실리사이드를 증착시킨 샘플에 대한 XPS분석 결과이다. 60W 조건하에서 형성된 실리사이드에 비하여, 12W로 증착된 샘플의 Si/W 비율이 현저히 증가되고 있다. 이같은 사실로부터 낮은 power에서 비저항의 값이 급격하게 증가되는 이유가 실리콘 함량의 증가에 기인하는 것이란 것을 알 수 있다. 또한 불순물의 농도를 비교하여 보면 60W에



(a)



(b)

Fig. 4. XPS depth profile of WSix deposited at (a) 12W, and (b) 60W.

비하여 12W의 샘플이 탄소의 양에 있어서는 큰 차이가 없으나, 산소의 양에 있어서는 많이 증가되었음을 알 수가 있다. 낮은 power에서 산소의 함량이 높아지는 것은 낮은 power에서의 느린 증착률에 기인하는 것으로 여겨지고 있다.

Fig. 5는  $N_2$ 분위기에서, 1000 $^{\circ}C$  20분간 열처리를 실시한 후 power에 따라 변화되는 비저항값을 조사한 결과이다. 전체적으로 100 $\mu\Omega$ -cm이하의 낮은 저항을 나타내며, Power가 증가할수록 비저항이 감소하는 것을 알 수 있다.

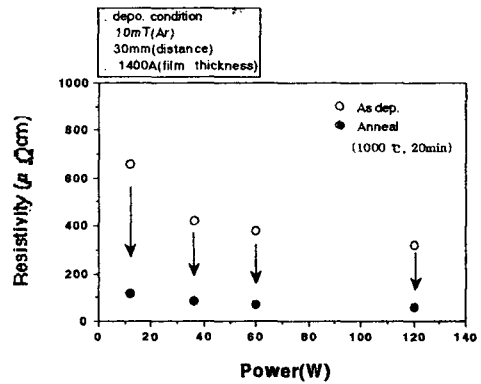


Fig. 5. Resistivities of tungsten silicides annealed at 1000 $^{\circ}C$  for 20 min.

Fig. 6은 박막이 들뜨는 현상에 미치는 압력과 power의 영향을 조사한 결과이다. 압력의 변화에 대하여 뚜렷한 경향을 보이질 않고 있다. 대신 어느 두께이상에서는 들뜸이 일어나는 것이 관찰이 되고 있다. Power를 변화시킨 경우에는 12W의 샘플에서는 들뜸이 발생하지 않고 있으나, 그 이상의 power에서는 어느 두께이상으로 증착된 박막의 경우 들뜸이 발생하고 있어 높은 power영역에서는 실리사이드 들뜸에 대하여 어떤 임계 두께가 존재하고 있는 것을 알 수 있다. 12W 샘플에서 들뜸에 대한 저항이 현저히 증가된 이유는 실리콘 함량이 증가된데 기인하는 것으로 여겨지며, 결과적으로 Si/W 비율과 실리사이드의 두께가 들뜸에 미치는 주요한 인자라는 것을 알 수가 있다.

텅스텐 실리사이드가 쉽게 들뜨는 이유는 1) 텅

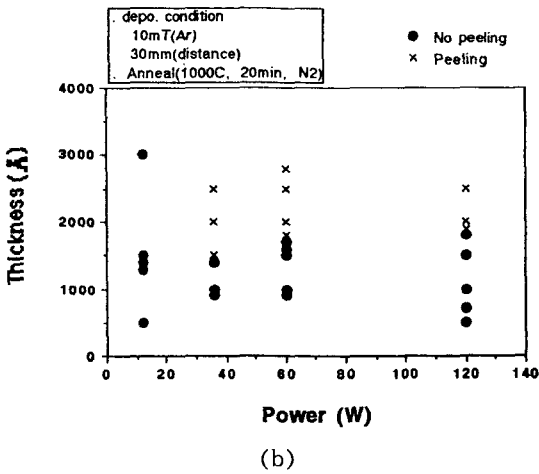
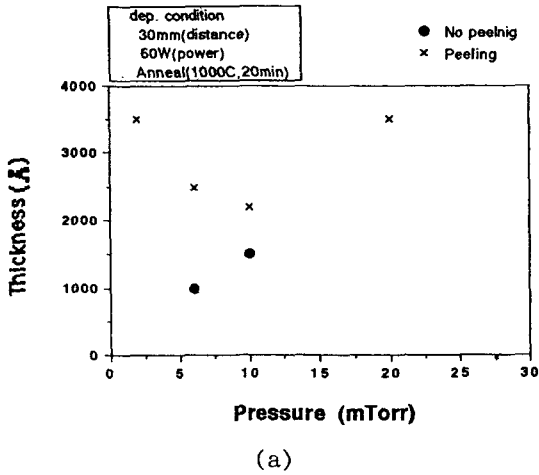


Fig. 6. Dependence of WSi<sub>2</sub> peeling on (a) pressure, and (b) power.

스텐 실리사이드와 실리콘 표면에 존재하는 자연산화막이 열역학적으로 안정되어 실리사이드가 자연산화막을 쉽게 환원시키지 못하는 데서 일어나는 접착력 불량; 2) 실리콘 웨이퍼와 실리사이드의 큰 열 팽창 계수 차에 의한 응력에 기인하고 있다. 본 실험에서는 얇은 티타늄층을 텅스텐 실리사이드와 실리콘사이에 형성시켜 실리콘위의자연 산화막 제거를 용이하게 하여 접착력 향상을 도모하고자 하였다.

Fig. 7은 100 Å의 티타늄을 증착시킨 후 동일한

챔버내에서 텅스텐 실리사이드를 800 Å에서 3500 Å까지 두께를 변화시켜 증착시킨 후에 1000 °C에서, 20분간 열처리를 실시한 결과이다. 티타늄을 사용하지 않은 구조에 비하여 임계두께가 현저히 증가한 것을 알 수 있다. 이같이 들뜸에 대한 저항이 증가되는 것은 반응성이 높은 티타늄층에 의하여 텅스텐 실리사이드의 접착력이 증가한데 기인하는 것으로 추정된다.

Fig. 8은 두 가지 구조, WSix/Ti/Si과 WSix/Si 구조들에 대하여 열처리를 실시한 후에 열처리 온도에 따라 변하는 비저항의 값을 조사한 결과이

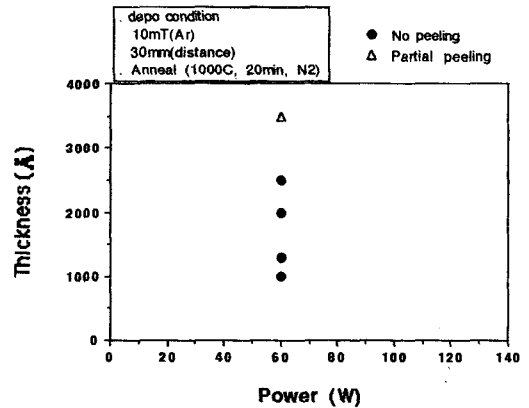


Fig. 7. Effect of thin Ti layer between WSix and Si on peeling of WSi<sub>2</sub>.

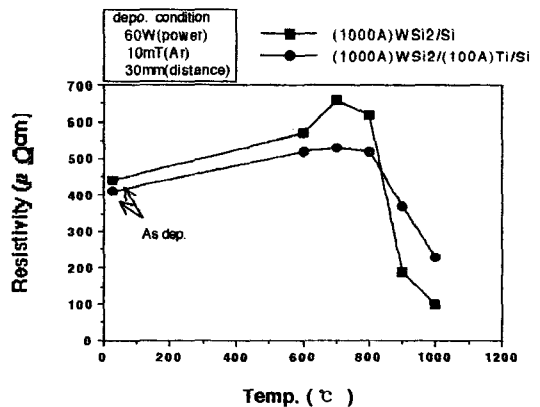


Fig. 8. Resistivity of tungsten silicides as a function of temperature for 1000 Å WSix/Si, and for 1000 Å WSix/100 Å Ti/Si.

다.  $WSix/Si$  구조는  $600^\circ C$  부터 비저항이 급하게 증가하다가  $700^\circ C$  를 정점으로 떨어지고 있으며,  $1000^\circ C$  에서는  $100 \mu\Omega\text{cm}$  이하의 낮은 비저항을 보이고 있다. 반면에  $WSix/Ti/Si$  구조는  $600^\circ C$  와  $800^\circ C$  사이에서 서서히 증가하다가 감소하고 있으며,  $1000^\circ C$  에서는 비교적 높은  $200 \mu\Omega\text{cm}$  의 비저항을 보이고 있다. 이 같이 열처리에 따라 두 구조의 비저항값의 거동이 다르게 나타나는 것은 두 구조의 실리사이드 반응이 다르게 일어나는데 기인하는 것으로 판단되며, 이를 확인하기 위하여 열처리 온도 변화에 대한 두 가지 구조의 상 변화를 XRD를 이용하여 Fig. 9와 같이 조사하였다.

Fig. 9(a)에 의하면 증착 후에는 비정질 상태로 존재하는 텅스텐 실리사이드가  $600^\circ C$  열처리에 의

하여 tetragonal  $WSi_2$ 와 함께 hexagonal  $WSi_2$ 로 변하고 있는 것을 알 수 있다. 지속적인 온도 증가는 tetragonal  $WSi_2$ 의 peak를 증가시키면서, 상대적으로 hexagonal  $WSi_2$ 의 peak의 감소를 일으키고 있으며,  $1000^\circ C$  에서는 tetragonal  $WSi_2$  구조에 관련된 peak만이 발견되고 있다. Fig. 9(b)의  $WSix/Ti/Si$  구조의 경우에도  $600^\circ C$  에서는 tetragonal  $WSi_2$ 와 hexagonal  $WSi_2$ 의 peak들이 함께 발견되고 있다. 그러나 온도를 계속적으로 증가시키에 따라  $WSix/Si$  구조의 경우에는 달리 hexagonal  $WSi_2$ 의 peak이 계속적으로 관찰이 되고 있으며,  $1000^\circ C$  에서는 tetragonal  $WSi_2$ 와 함께  $W_5Si_3$ 에 대응하는 peak들이 발견되고 있다. Sherr formula를 이용하여 텅스텐 실리사이드 입

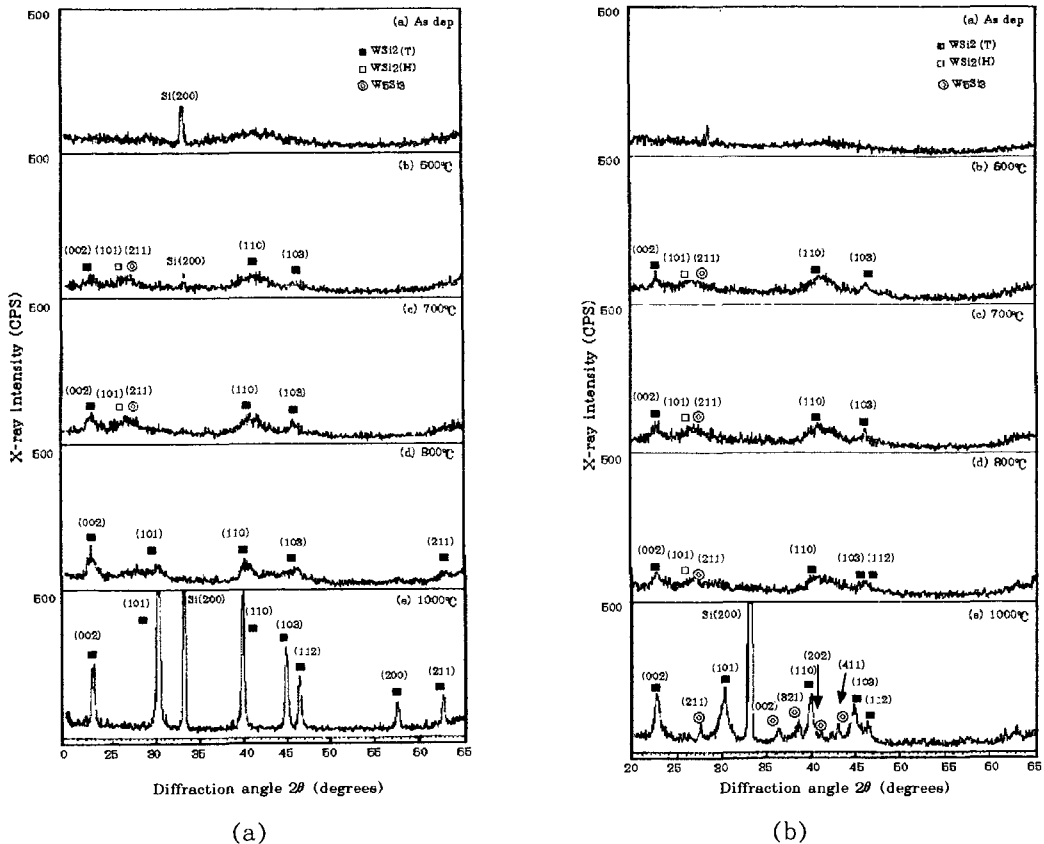
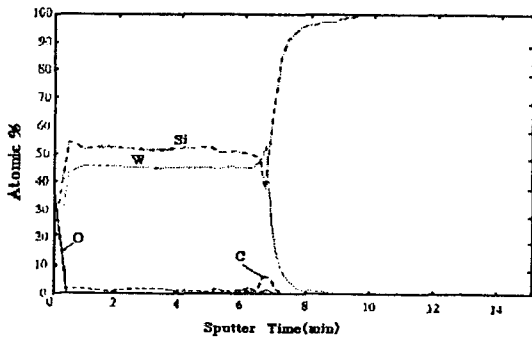


Fig. 9. X-ray diffraction patterns of two different structures such as (a)  $WSix/Si$ , and (b)  $WSix/Ti/Si$  as a function of anneal temperature.

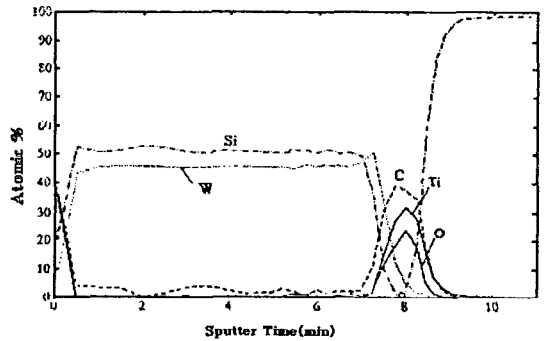
자 크기를 계산한 결과에 의하면  $WSix/Si$  구조를 구성하고 있는 입자들의 평균 크기가  $WSix/Ti/Si$  구조에서 측정된 입자 크기의 약 3배에 달하고 있어, 전기 전도도 값이 크게 차이가 나는 이유를 설명하여 주고 있다.

Fig. 10은 증착 직후의 샘플과 고온 열처리를 실시한 샘플들에 대한 AES depth profile 결과이다. 증착 직후의 샘플에서는 약간의 탄소가 계면과 박막 중에 관찰이 되고 있다. 계면 중의 탄소는 샘플 세정중에 대기중으로 부터 흡수되었을 가능성이 크고 막중의 탄소는 공정중에 분위기로 부터 흡착되었을 것으로 유추된다. 이같은 사실로부터 약간의 oil backstreaming이 실리사이드 증착시에 mechanical pump로 부터 챔버내로 일어나고 있음을

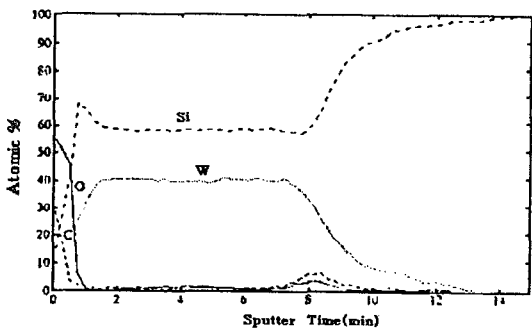
알 수가 있다. 또한 약간의 산소가 계면과 표면에서 발견되고 있으며, 막중에는 AES 검출 한계내로 존재하고 있다. 열처리에 의한 변화를 살펴보면  $N_2$  분위기에서  $1000^\circ C$  열처리를 실시한 경우 실리콘의 양이 크게 증가되고, 동시에 실리사이드 두께의 증가도 이루어지고 있다. 이같은 결과로 부터 실리사이드 반응이 진행될 적에 안정된 조성비를 맞추기 위하여 실리콘 하부층으로 부터 충분한 실리콘의 공급이 일어나고 있다는 것을 알 수 있다. 또한 표면에서의 산소와 실리콘 양의 증가는 표면에 약간의 산화막이 형성되어 있다는 것을 말하고 있으며, 증착 샘플과 달리 계면이 상당히 넓게 분포되어 있는 것은 텅스텐 실리사이드 밑에 void가 형성되어 있기 때문이다.(뒤의 SEM 단면 사진 참조)



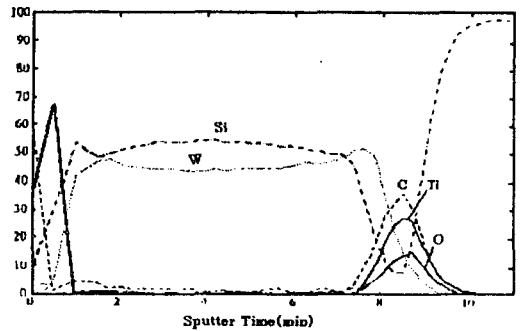
(a)



(a)



(b)



(b)

Fig. 10. AES depth profiles of (a) as-deposited  $WSix$ , and (b) then  $N_2$ -annealed at  $1000^\circ C$ .

Fig. 11. AES depth profiles of (a) as-dep  $WSix/Ti/Si$ , and (b) subsequently  $N_2$ -annealed at  $1000^\circ C$ .

Fig. 11은  $WSi_6/Ti/Si$  구조에 대한 증착 직후와  $N_2$  분위기에서,  $1000^\circ C$  열처리한 샘플들의 AES depth profile 결과들이다. 증착 후 sample의 W과 Si의 depth profile은 깊이 방향에 대하여 비교적 균일하게 나타나고, 얇은 티타늄층에는 비교적 많은 탄소와 산소가 존재하고 있음을 알 수 있다. 티타늄층이 탄소와 산소에 의하여 이렇게 많이 오염이 된 것은 티타늄의 낮은 증착률에 기인하고 있다.  $1000^\circ C$ 에서 열처리를 실시한 후에는 샘플의 중앙에서 약간의 실리콘의 증가가 일어나고, 샘플의 끝 부분에서는 실리콘의 상대적인 감소가 일어나고 있다. 또한 표면에는 티타늄이 없는 구조에 비하여 두꺼운 산화막이 형성되었는데 이는 실리콘의 공급이 원활하지 못하여 이상산화 발생한데 기인하는 것으로 판단 된다. 또한 실리사이드의 두께의 증가도 티타늄이 없는 경우보다 더 이루어진 것을 알 수가 있다.

Fig. 12는  $WSi_6/Si$ 의 온도 변화에 따라 변하는 실리사이드 두께의 변화를 보여 주는 SEM 단면 사진이다. 증착 상태에서는 보이지 않았으나 열처리 온도를  $800^\circ C$ 로 증가시키면 큰 void가 만들어지고 있다. 또한  $1000^\circ C$ 에서는 void의 형성과 함께 두께가 현저하게 증가되어, 증착시의  $1000 \text{ \AA}$ 에서  $1300 \text{ \AA}$ 로 변한 것을 알 수 있다. 이 온도에서의 입자 크기는 약  $300 \text{ \AA}$ 를 나타내고 있다.

Fig. 13은 열처리에 따라 변하는  $WSi_6/Ti/Si$  구조의 SEM 단면 사진이다.  $WSi_6/Si$  구조와는 달리 열처리 온도가 증가하여도 경계면에 void들이 형성되지 않고, 두께의 증가도 관찰되지 않고 있다.  $1000^\circ C$  열처리에 의하여 형성된 입자의 크기는 약  $100 \text{ \AA}$ 이다. 이와 같이 입자의 크기가 크게 감소한 이유는 Ti층에 존재하는 불순물들에 의하여 Si의 확산이 효율적으로 억제된데 기인하고 있다. 즉 Si이  $WSi_6$  층에 충분히 공급되지 않는 경우는  $W_5Si_3$  상이 형성되어  $WSi_2$ 의 입자 성장을 효과적으로 억제하는 것으로 판단된다.

( $WSi_6/Si$ 와  $WSi_6/Ti/Si$  구조에서의 실리사이드

반응 기구 차이점)

이와 같은 결과를 근거로 각각의 구조에서 일어나는 실리사이드 반응에 대한 가상의 model을 다음과 같이 제시할 수 있다. Fig. 14는  $WSi_6/Si$  구조를 고온에서 열처리를 실시할 경우에 일어나는 실리사이드 반응에 대한 도식도이다.  $WSi_6$ 와 Si 사이에 존재하는 자연 산화막 또는 불순물들은 높은 온도의 열 처리에 의하여 국부적으로 뭉치거나 깨짐으로써 실리콘 확산에 대한 부분적인 통로로 제공된다. 하부의 실리콘은 이 통로를 통하여 실리사이드 내부로 확산이 활발하게 일어나게 되고, 결과적으로 실리콘 지역에는 국부적인 void가 형성되게 되고,  $WSi_2$  지역은 두께의 증가를 이루게 된다. 또한 이와같이 형성된 void들은 실리사이드와 실리콘사이의 접착력을 현저히 약화시켜, 실리사이드 들뜸을 쉽게 일어나게 할 것이다.

Fig. 15는  $WSi_6/Ti/Si$  구조에 대하여 고온 열처리를 실시할 적에 일어나는 변화를 보여주는 도식도이다. 반응성이 강한 티타늄은 열처리에 자연 산화막을 환원시켜 접착력을 향상시켜 준다. 또한  $WSi_6$ 쪽에서의 실리콘 확산은 티타늄층 내부에 존재하는 불순물들에 의하여 억제되고 있으며, 이와 같이 실리콘의 확산이 억제된 상태에서 W-rich silicide를  $1000^\circ C$ 에서 열처리를 하게 되면 Fig. 9에서 보는 바와 같이  $WSi_2$ 와  $W_5Si_3$ 가 형성된다. 이 두 가지 상의 형성은 평형 상태를 이용하여 실시한 예측과도 일치되는 결과이다.

#### 4. 결 론

1) 열처리에 의하여 발생하는 실리사이드의 들뜸은 실리사이드의 조성비와 두께가 중요한 인자로 작용하고 있다.

2) 안정된 실리사이드의 조성비 보다 낮은 Si/W 비율로 이루어진 실리사이드를 고온 열처리할 경우에 들뜸이 쉽게 일어나고 있다. 실리사이드 반응시 형성되는 voids가 이 같은 들뜸의 한 가지 원



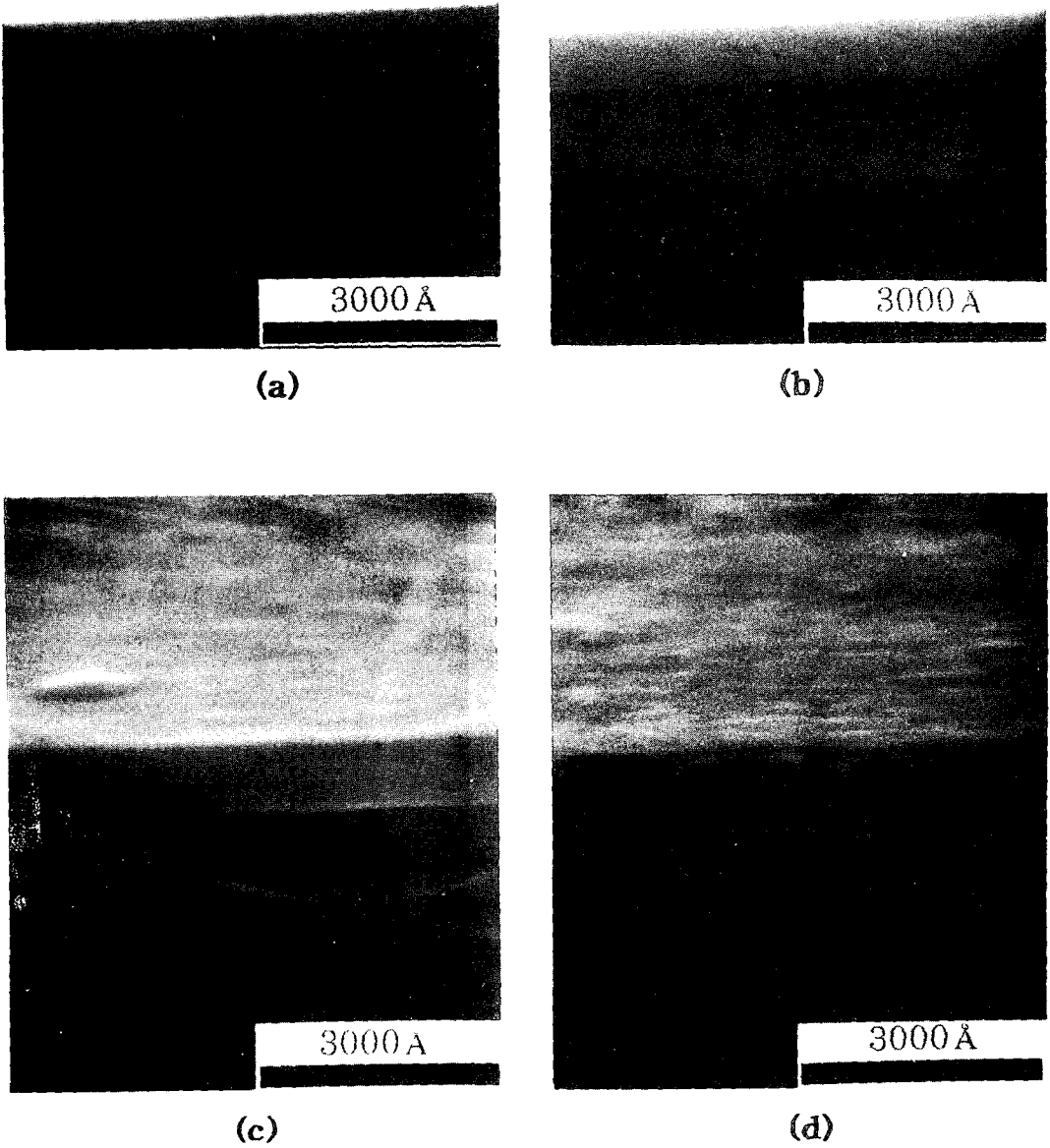


Fig. 12. Cross-sectional SEM of  $WSi_x/Si$  structure (a) as-deposited, and then annealed at (b) 600°C; (c) 800°C; (d) 1000°C.

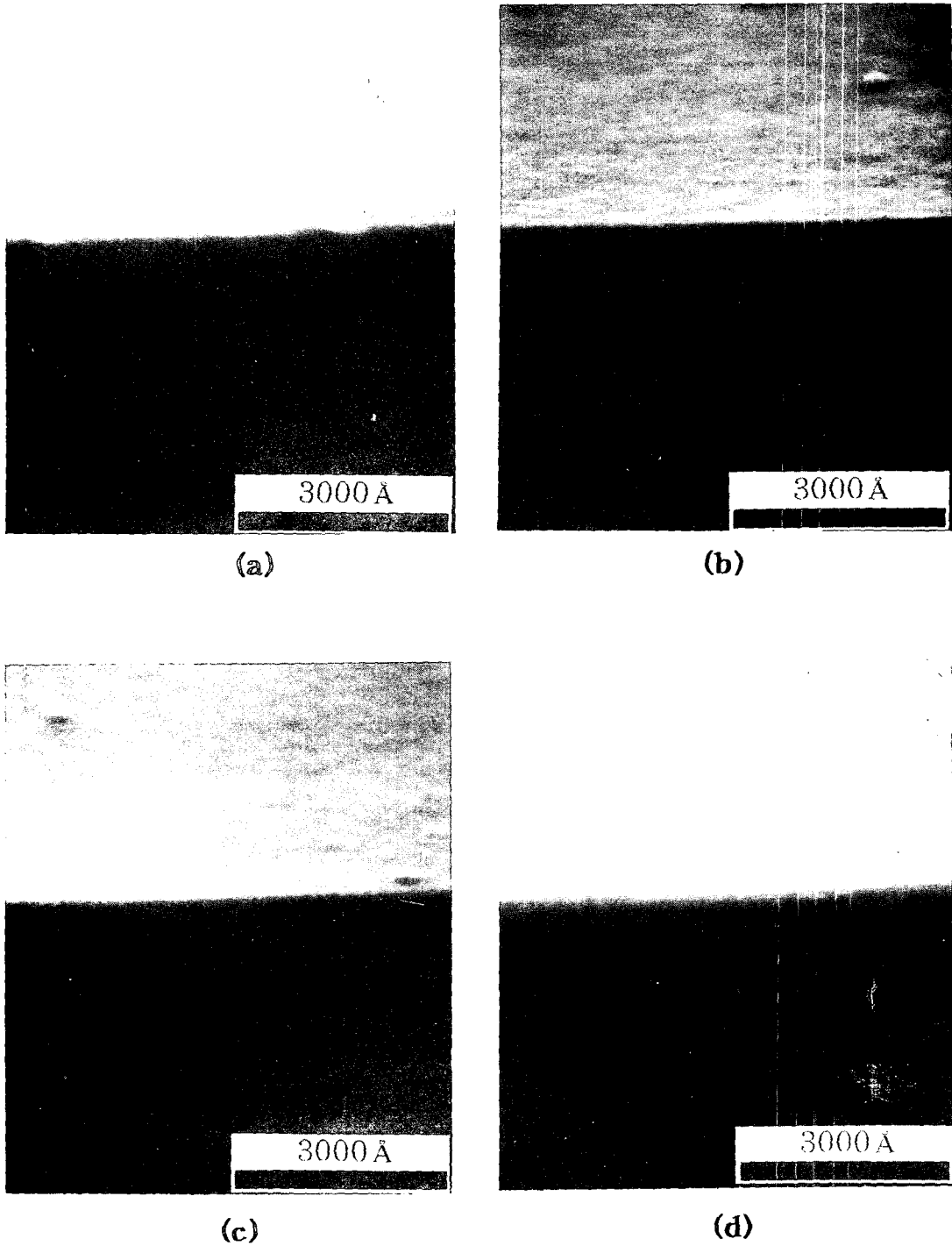


Fig. 13. Cross-sectional SEM of  $WSi_x/Ti/Si$  structure (a) as-deposited, and then annealed at (b) 600°C; (c) 800°C; (d) 1000°C.

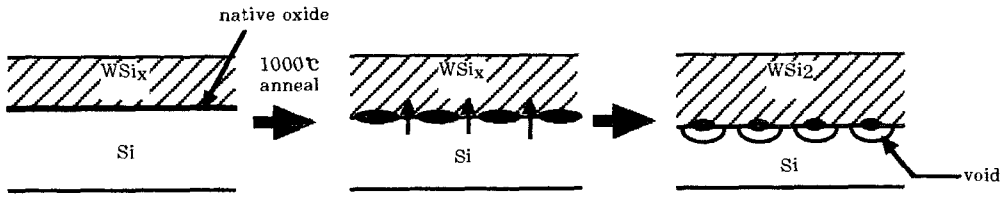


Fig. 14. Void formation mechanism for  $WSi_x/Si$ .

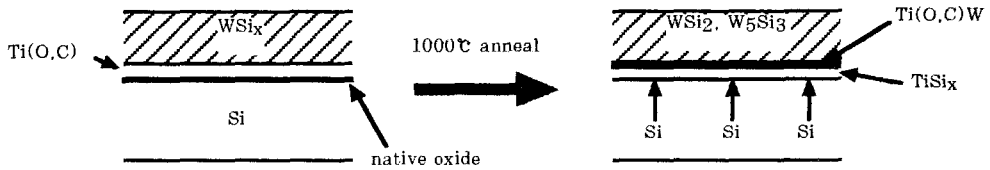


Fig. 15. Silicidation mechanism for  $WSi_x/Ti/Si$ .

인으로 여겨진다. 또한 임계 두께 이상에서는 쉽게 들뜸이 일어나는데, 두께의 증가에 따라 증가되는 응력이 원인으로 판단된다.

3) 얇은 Ti층을 interlayer로 사용하여 형성시킨  $WSi_x/Ti/Si$  구조에서는 들뜸이 일어나는 임계 두께가 향상됨이 관찰되었다.

4)  $WSi_x/Ti/Si$  구조를 고온 열처리한 경우에는  $WSi_x/Si$  구조에 비하여 높은 비 저항값을 얻었다.  $WSi_x/Ti/Si$  구조가 보다 높은 비 저항값을 나타내는 이유는 보다 작은 실리사이드 입자,  $W_5Si_3$  상의 존재, 열처리 후에 크게 증가되지 않은 두께들로 판단된다.

5) 열처리에 의하여 변하는 실리사이드 두께, 상(phase), 조성비들에 대한 분석을 근거로 하여 두 가지 다른 구조에 대한 실리사이드 반응 기구를 제시하였다.

6) Tungsten rich한 실리사이드에 대한 고온 실리사이드 반응은 하부로부터의 실리콘 확산을 요하며 실리콘의 원활한 확산은 실리사이드 입자 크기에 중요한 영향을 미치고 있다.

### 참고 문헌

1. A. K. Shinha, W. S. Lindenberger, D. B. Fraser, S. P. Muraka, and E. N. Fuls : IEEE Transactions on Electron Devices, ED-27, (1980) 1425
2. D. B. Fraser, Metallization, edited by S. M. Sze in VLSI Technol. (MacGraw-Hill, New York, 1983), 347
3. T. Hosoya, K. Machida, K. Imai, E. Arai: Extended abstracts of the 1994 International Conference on Solid State Devices and Materials, Yokohama, (1994) 422
4. S. P. Muraka, D. B. Fraser, A. K. Shina, and H. J. Levinstein : IEEE Trans. Electron Devices, ED-27, (1980) 1409
5. F. M. d'Heurle, C. S. Peterson, and M. Y. Tsai: J. Appl. Phys. 51(11), (1980) 5976
6. T. P. Chow, A. J. Steckl, and R. T. Jerdonck: IEEE Electron Device Lett. EDL-3, (1982) 37

7. T. P. Chow, A. J. Steckl:IEEE Transactions  
on Electron Devices, ED-30, (1983) 1480
8. M. Y. Tsai, F. M. d'Heurle, C. S. Peterson,  
and R. W. Johnson : J. Appl. Phys. 52(8),  
(1981) 5350
9. M. Kobayashi, T. Nakazono, K. Mori, H.  
Nakamura, H. Sato, M. Nakagawa, N.  
Harada:SID 94 DIGEST, 75