

FPGA를 이용한 MPEG-2 인코더 개발

朴 祥 圭, 安 致 得
韓國電子通信研究所

FPGA(Field Programmable Gate Array)나 PLD(Programmable Logic Device)와 같이 비교적 고속 대용량의 내부 로직을 개발자가 직접 현장에서 반복적으로 프로그램하여 사용 할 수 있는 디바이스의 출현은 디지털 시스템의 개발에 있어서 개발자에게 보다 신속하고 효율적인 개발 방법을 제공할 수 있게 되었다. 최근에 정보 및 통신 분야에 있어서 다양한 형태의 서비스 제품들이 경쟁적으로 개발되고 있는 시장 환경에서는 개발 기간의 단축을 위하여 시스템의 설계, 구현, 기능 검증 등이 거의 동시에 이루어지도록 하는 것이 필수적인데, FPGA나 PLD는 이와 같은 개발 환경에서 특히 유용하게 사용될 수 있다.

최근 MPEG(Moving Picture Experts Group)-2 규격^[1]이 확정됨에 따라 디지털 TV 방송, DVD(Digital Video Disk), 광대역 영상 통신, 고선명 TV 방송 등의 분야에서 이를 이용한 응용 시스템 개발이 활발하게 이루어지고 있다. 미국의 C-cube microsystems, IBM 등을 비롯한 여러 외국 업체들이 MPEG-2 MP·ML(Main Profile and Main Level) 규격에 준하는 인코딩 ASIC 칩 세트를 개발하여 판매하고 있으며, 일부 업체들은 이들 ASIC 칩 세트를 이용하거나 혹은 자체적으로 개별 소자를 이용하여 MPEG-2 인코더를 구현하고 있다. 특히 최근에는 고품질의 방송 프로그램 전달 혹은 편집을 위한 MPEG-2 4:2:2·ML(일명 Professional Profile and Main Level) 인코더의 구현, 전기 통신망을 이용한 MPEG-2 비트스트림의 전송, 방송 신호의 재분배 등에 따른 MPEG-2 트랜스포트 스트림의 재다중화 등이 새로운 개발 분야로 떠오르고 있는 등 앞으로도 MPEG-2 인코더에 관련한 개발이 더욱 활발해 질 것으로 예상된다.

MPEG-2 인코더는 이와 같은 시장 환경에서 응용 분야에 맞도록 적절하고 유연한 기능을 갖는 제품을 단기간 내에 개발해야 한다는 점에서 FPGA나 PLD를 이용한 개발이 효과를 발휘할 수

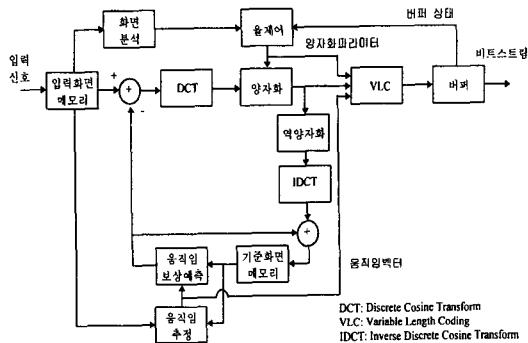
있는 좋은 예가 될 수 있다.

본 고에서는 최근 한국전자통신연구소(ETRI)에서 다양한 응용 분야에서의 공통적인 사용을 목표로 하여 추진하고 있는 MPEG-2 인코더 플랫폼 개발을 수행함에 있어서 프로그램 가능한 디바이스를 이용하여 프로토타입 인코더를 개발하여 활용하고 있는 현황을 간략히 기술하고자 한다. 사용한 디바이스는 ALTERA사의 FPGA 타입의 FLEX 8000 시리즈와 PLD 타입의 MAX 7000 시리즈인데, 본 고에서는 설명의 편의상 FPGA로 통칭하여 기술한다.

II. MPEG-2 인코딩 기술

MPEG-2 인코더의 기본 기능은 디지털 비디오 및 오디오 신호를 전송이나 저장 효율을 높이기 위하여 고 효율로 압축 부호화하고 신호 복원 시 필요한 부가적인 데이터를 첨부하여 일정한 규칙을 갖는 단일 비트스트림으로 만드는 것으로서, 이 중 MPEG-2 비디오 인코더는 비디오 신호의 압축 부호화를 담당한다. MPEG-2 비디오 인코딩 방식^[2,3]은 비디오 신호의 프레임간 시간적 상관성을 이용한 움직임 보상 예측 부호화 방식과 프레임 내 공간적 상관성을 이용한 DCT(Discrete Cosine Transform) 부호화 방식을 기본으로 하며, 전체 알고리즘은 (그림 1)과 같이 구성된다.

MPEG-2 M@ML 규격에 준하는 비디오 인코더



(그림 1) MPEG-2 인코딩 알고리즘 블럭 다이어그램

의 경우 입력 신호로서 일반 TV 신호(NTSC composite) 혹은 ITU-R 656 표준 신호가 이용될 수 있다. 입력된 신호는 ITU-R 601 표준 신호 포맷으로 변환된 후, 색차(Chrominance) 신호 성분에 대한 세로 방향의 2:1 서브 샘플링을 거쳐 최종 4:2:0 신호 포맷 상태로 압축 부호화가 이루어진다. MPEG-2 4:2:2·ML방식의 경우는 ITU-R 601 표준 신호 포맷 그대로 부호화가 이루어지는 차이가 있다.

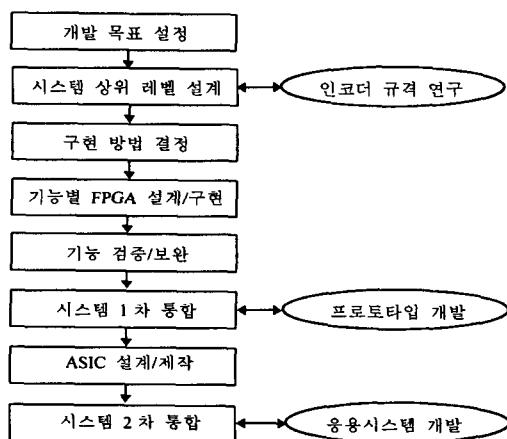
MPEG-2 규격은 기본적으로 디코딩하는데 필요한 부호화 비트스트림의 포맷을 규정하고 있기 때문에 비트스트림 규정을 만족하는 인코딩 방식들 간에도 사용하는 알고리즘에 따라 서로 다른 성능을 가질 수 있다. 특히 (그림 1)에서 화면 특성을 분석하여 이용하는 방법, 율제어 방법, 움직임 탐색 범위에 따른 움직임 추정 및 보상 방법 등은 인코딩 성능에 비교적 큰 영향을 미치는 것으로서 개발자가 시스템 구현의 복잡성과 성능을 모두 고려하여 적절한 방법을 선택하여야 한다. 예를 들어 장면 전환을 갖는 비디오 신호의 경우 장면 전환에 대응하는 율제어 방법을 선택적으로 적용할 수 있다^[4].

(그림 1)에서 각 기능 블럭들은 실시간 처리를 위한 고속 처리 능력이 요구되기 때문에 대부분 고속 하드웨어에 의한 구현이 필요하다. 반면 율제어 기능은 버퍼의 상태를 고려하여 적정한 수준의 화질을 유지하면서도 버퍼 넘침(Overflow)이나 버퍼 결핍(Underflow)을 방지하기 위한 피드백(Feed-back) 제어를 지속적으로 수행해야 하고 또한 비교적 저속의 동작으로도 기능 구현이 가능하기 때문에 디지털 프로세서를 이용한 소프트웨어적인 구현 방법이 효과적이다.

III. 시스템 구현

1. 개발 절차 및 고려 사항

MPEG-2 인코더 개발을 위해 추진되고 있는 개발 절차는 (그림 2)와 같다.



〈그림 2〉 MPEG-2 인코더 개발 추진 절차

(1) 개발 목표 설정 : ETRI에서 MPEG-2 인코더를 개발하는 방향은 크게 두 가지를 고려하여 이루어지고 있다. 하나는 MPEG-2 인코더를 단기간 내에 프로토타입 형태로 개발하여 MPEG-2 인코딩 기능 검증을 통하여 관련된 기술의 조기 확보를 도모하는 것이고, 다른 하나는 여러 응용 분야에서 유연하게 사용할 수 있도록 ASIC (Application Specific Integrated Circuits) 을 기반으로 한 MPEG-2 인코더 플랫폼을 개발하는 것이다. MPEG-2 인코더 플랫폼의 첫 번째 적용 분야는 고선명TV 인코더이고, 4:2:2·ML 인코더나 광대역 통신용 코덱 등도 고려되고 있다.

(2) 시스템 상위 레벨 설계 : 이 단계에서는 목표 시스템의 요구 기능 사항을 분석하고 또한 기능별 컴퓨터 시뮬레이션을 통한 알고리즘 검증을 통하여 인코더의 시스템 규격을 결정하고, 그에 따른 시스템 구조와 각 구성부의 기능을 결정한다.

(3) 구현 방법 결정 : 이 단계에서는 기능 구현을 위한 구체적인 방법을 결정한다. MPEG-2 인코더 개발을 시작할 당시에는 MPEG-2 규격이 완전히 확정되지 않았고 기능이 검증된 시스템도 존재하지 않은 상황이었기 때문에 단기간 내의 프로토타입 인코더 개발을 위해서는

- 설계 내용의 변경이 쉽고,
- 설계와 기능 검증이 정확하고 신속하게 이루

어야 하고,

- 시스템 통합 시 기능간 접속이 유연해야 하고,
- 또한 프로토타입 개발을 통하여 확보된 설계 Know-how가 MPEG-2 인코더 플랫폼을 위한 ASIC의 구현에 유용하게 이용되어야 한다는 점

등이 우선적으로 고려되었다.

이상의 고려 사항들을 시스템 구현 관점에서 검토한 결과,

- 실험실에서 사용자가 PC용 설계 도구를 이용하여 설계 내용을 언제든지 변경하여 동작을 확인하는 것이 가능하고,
- 공통의 개발 도구를 이용함으로써 기능별 설계자간 설계 Know-how의 공유가 가능하고,
- 설계 내용을 파일 관리함으로써 설계 내용을 설계자간 재사용하거나 Version 관리하기가 용이하고,
- 설계 내용과 시험 내용을 추후 ASIC 설계에 그대로 이용할 수 있는 장점을 갖고 있다는 점에서

FPGA를 사용하는 것이 MPEG-2 인코더 프로토타입 개발에 가장 적합하다고 판단하여 FPGA를 이용한 개발 방법을 선택하게 되었다.

FPGA가 갖고 있는 제한된 처리 속도의 문제는 고속 처리가 필요한 일부 기능을 상용 칩(예: DCT/IDCT 연산 칩, 움직임 추정 연산 칩)을 사용하여 구현함으로써 해결하고, 제한된 게이트 수의 문제는 기능에 따라 필요한 게이트 수의 분석을 통하여 FPGA 개수를 적절히 분배하는 방법으로 해결하고자 하였다.

(4) 기능별 설계/구현 및 검증/보완 : 이들 단계에서는 각 기능별 설계/구현 작업을 실행한다. 설계에 앞서 각 기능부 간 접속 방법 및 동작 방식이 결정되고, 구현 관점에서의 기능별 분석을 통하여 상용 디바이스의 사용 여부와 FPGA의 게이트 수 산정, 사용 개수, 상용 디바이스와의 접속 방법 등이 결정된다. FPGA를 이용하여 설계된 기능은 설계자에 의한 자체 시뮬레이션을 통하여 동작 검증을 수행하며, FPGA와 상용 디바이스를 접속하

여 구현되는 기능은 보드 상에서 동작 검증을 수행하게 된다.

(5) 시스템 통합: 설계된 기능에 대한 검증/보완 작업이 완료되면 기능별 접속을 통한 시스템 통합이 이루어진다. 현재 ETRI에서는 시스템 1차 통합을 통하여 프로토타입 개발을 완료한 상태이고, 일부 기능상의 문제 해결과 기능 보완 사항을 반영시켜 1996년 말을 목표로 ASIC 설계/제작을 수행하고 있으며, ASIC을 기반으로 하는 인코더 플랫폼 개발도 동시에 진행시키고 있다.

2. 시스템 구성 및 보드별 기능

MPEG-2 비디오 인코더 프로토타입은 (그림 3)에서 보는 바와 같이 6U 보드 크기의 총 10매 보드로 구성된다. 프로토타입인 만큼 보드 공간의 효과적인 사용보다는 구현 및 시험의 편리성 관점에서 보드의 개수가 결정되었다. 각 보드의 기능은 이름 자체가 의미하고 있듯이 대부분 (그림 1)의 MPEG-2 비디오 인코딩 방식에서 보는 각 기능 블럭을 적절히 할당한 것이다.

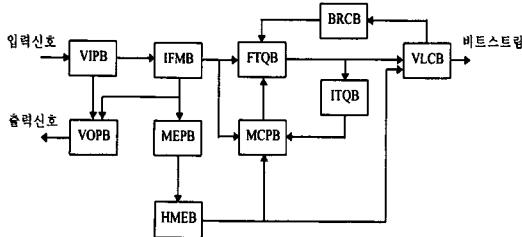


그림 3) MPEG-2 비디오 인코더 프로토타입
구성도

(그림 3)에서 VIPB(Video Input Processing Board)는 ITU-R 656 표준 신호를 입력하여 비디오 인코딩에 필요한 4:2:0 신호 포맷으로 변환하는 기능과 함께, 입력 비디오 신호에 대해 장면 전환이나 필름 모드 여부를 판별하는 기능을 갖고며, VOPB(Video Output Processing Board)는 VIPB나 IFMB(Input Frame Memory Board)로

부터 루프 백(Loop-back) 신호를 입력 받아 비디오 신호를 디스플레이 하기 위한 것으로 MPEG-2 비디오 인코딩 방식에 따르는 복잡한 비디오 프레임 조작이나 비디오 데이터 분배 등의 정상 동작 여부를 쉽게 판별하기 위한 것이다.

IFMB는 비디오 데이터를 VIPB로부터 입력하여 동작 모드에 따라 각 보드에서 필요로 하는 데이터를 적절히 제공해 주는 기능을 갖는다. 특히 전체 시스템의 동작에 필요한 타이밍 신호를 만들어 시스템 전체에 제공한다.

움직임 추정 기능은 MEPB(Motion Estimation Processing Board)와 HMEB(Half-pel Motion Estimation Board)를 통하여 이루어진다. 전영역 탐색 방법에 비하여 비슷한 성능을 유지하면서도 효과적으로 계산량을 줄일 수 있는 계층적 탐색 방법을 ETRI 자체적으로 개발하여 두 화소 단위 탐색과 한 화소 단위 탐색 기능은 MEPB에서 구현되고, 반 화소 단위 탐색 기능은 HMEB(Half-pel Motion Estimation Board)에서 구현된다.

MCPB(Motion Compensated Prediction Board)는 HMEB로부터 입력 받은 움직임 벡터를 이용하여 움직임 보상된 기준 프레임 데이터를 만들어서 예측 부호화에 이용하고, 그에 따른 예측 부호화 오차를 이용하여 다음 입력 프레임의 예측 부호화를 위한 재생 프레임 데이터를 만들어 내는 기능을 갖는다. Inter/Intra 모드 판정도 MCPB에서 이루어진다.

FTQB(Forward Transform and Quantization Board)는 DCT 및 양자화를 수행하여 양자화된 DCT 계수를 VLCB(VLC and Buffer Board)로 전달하고, ITQB(Inverse Transform and Quantization Board)는 양자화된 DCT 계수를 다시 역양자화 및 IDCT하여 결과값을 재생 프레임 데이터를 만들어 내는 MCPB로 전달하는 기능을 갖는다.

VLCB는 각 보드로부터 입력되는 DCT/양자화 계수, DCT 타입, 매크로 블럭 어드레스, 움직임 벡터, 필드/프레임 움직임 타입, 매크로 블럭 타입, 부호화 블럭 패턴, 양자화 파라미터 등을 입력하여 코드화 하는 것과 함께 헤더 정보를 포함시

켜 MP·ML 비트스트림을 출력하는 기능을 갖는다. 또한 율제어를 위해 버퍼 상태를 BRCB(Bit Rate Control Board)에 알려 주는 것과 함께 필요 시 제로 비트 스타팅 기능을 갖는다.

BRCB는 정해진 출력 비트 율에 맞추어 VLCB에서 비트스트림을 출력하도록 VLCB내 버퍼 상태에 따라 양자화 파라미터를 조절하는 기능을 갖는다. 또한 입력 비디오 신호의 특성을 고려하여 디코더에서 적정한 수준의 화질을 재생할 수 있도록 비디오 프레임 단위 혹은 매크로 블럭 단위로 양자화를 조절하는 기능을 갖는다.

3. 보드별 기능 구현

보드별 기능 구현은 크게 상용 디바이스를 이용할 수 있는 기능과 자체적으로 설계하여야 하는

기능으로 구분하여, 자체적으로 설계해야 할 부분에 대하여 FPGA를 이용하여 구현하였다. FPGA는 ALTERA사의 FLEX 8000 시리즈와 MAX 7000 시리즈를 사용하였으며, <표 1>에 FPGA를 이용하여 구현한 기능과 상용 디바이스를 이용하여 구현한 기능을 요약 정리하였다.

IV. 향후 계획

1. ASIC기반 MPEG-2 인코더 플랫폼 개발

MPEG-2 인코더 프로토타입 개발을 통하여 확보된 설계 기술과 기능 시험을 통하여 도출된 기능 보완 내용 등을 적용하여 ASIC을 기반으로 하

<표 1> 보드별 FPGA를 이용한 기능 구현 내용

보드명	FPGA 이용	상용 디바이스 이용
VIPB	ITU-R 656/601 신호 변환, 4:2:2/4:2:0 변환, 장면전환/필름모드 검출, 시스템 클럭 신호 발생, 상용 디바이스 제어, 보드간 신호 I/O	ITU-R 656 신호 입력, 디지털 데이터 지연, 데이터 저장, 라인 드라이버/리시버
VOPB	ITU-R 601/656 신호 변환, 4:2:0/4:2:2 변환, 상용 디바이스 제어, 보드간 신호 I/O	ITU-R 656 신호 출력, 라인 드라이버/리시버
IFMB	프레임 메모리 제어, 시스템 동작 타이밍 신호 발생, 상용 디바이스 제어, 보드간 신호 I/O	데이터 저장, 디지털 데이터 지연, 라인 드라이버/리시버
MEPB	움직임 추정용 데이터 제어, 움직임 벡터 선정, 상용 디바이스 제어, 보드간 신호 I/O	블럭 단위 움직임 추정, 데이터 저장, 디지털 데이터 지연, 라인 드라이버/리시버
HMEB	반 화소 움직임 벡터 계산, 상용 디바이스 제어, 보드간 신호 I/O	블럭 단위 움직임 추정, 데이터 저장, 라인 드라이버/리시버
MCPB	움직임 벡터 해석, 움직임 보상 데이터 발생, Inter/Intra 판정, 상용 디바이스 제어, 보드간 신호 I/O	데이터 저장, 라인 드라이버/리시버
FTQB	펄드/프레임 DCT 판별, 양자화, 상용 디바이스 제어, 보드간 신호 I/O	DCT, 데이터 저장, 디지털 데이터 지연, 라인 드라이버/리시버
ITQB	역양자화, 상용 디바이스 제어, 보드간 신호 I/O	IDCT, 데이터 저장, 디지털 데이터 지연, 라인 드라이버/리시버
VLCB	VLC, 상용 디바이스 제어, 보드간 신호 I/O	출력 버퍼링, 데이터 저장, 디지털 데이터 지연, 라인 드라이버/리시버
BRCB	상용 디바이스 제어, 보드간 신호 I/O	프로그램 수행, 프로그램 저장, 라인 드라이버/리시버

〈표 2〉 MPEG-2 비디오 인코딩 ASIC 칩 세트

칩명	기능	설계/공정	규모	I/O핀수	패키지
Pre-Processor	비디오 신호 입력, 4:2:2/4:2:0 변환, 장면전환/필름모드 검출	VHDL 0.8μCMOS, G.A.	3만	208	MQFP
ME1	계층적 탐색을 위한 한 화소 단위 탐색	VHDL/ 0.6μCMOS, G.A.	20만	447	CPGA
ME2MC	계층적 탐색을 위한 반 화소 단위 탐색, 움직임 보상 예측	VHDL/ 0.5μCMOS, S.C.	20만	208	MQFP
DCTQ	DCT/양자화, 역양자화/IDCT	VHDL/Schematic 0.8μCMOS, G.A.	6만	160	QFP
VLC	가변 길이 부호화	VHDL 0.8μCMOS, G.A.	7만	304	MQFP

〈표 3〉 MFEG-2 인코더 플랫폼 구성 보드 기능(비디오 인코더부)

보드명	기능
MECB	화면 입력, 4:2:2/4:2:0 변환, 전처리 필터링, 장면전환 및 필름모드 검출, 입력 프레임 데이터 저장 및 분배, 움직임 추정, 움직임 보상 예측, 시스템 타이밍 신호 발생
ENCB	DCT/양자화, 역양자화/IDCT, VLC, 비트스트림 버퍼링 및 출력 제어, 율제어, 플랫폼 동작 제어

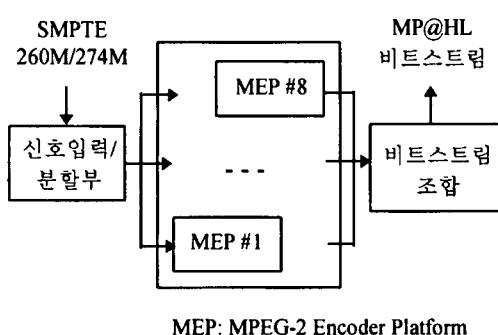
는 MPEG-2 인코더 플랫폼 을 개발하고 있다. ASIC화는 추후 기능 변동이 없고 프로토타입 구현 시 FPGA로 설계된 기능 블럭들 중에 시스템 소규모화에 효과적인 기능 블럭들을 통합하여 이루어진다. 또한 MPEG-2 인코딩을 위한 핵심 기능에 해당하는 움직임 추정, 움직임 보상 예측, DCT/IDCT 및 양자화/역양자화, VLC 기능 등을 ASIC화 하고 있다. 하지만 플랫폼으로서의 유연성을 갖도록 하기 위하여 여전히 변경이 예상되는 기능들은 FPGA를 그대로 이용하여 구현한다. <표 2>에 현재 개발되고 있는 MPEG-2 인코딩 칩들의 종류 및 특성을 정리하였다.

이들 ASIC칩을 이용한 MPEG-2 인코더 플랫폼은 우선 디지털 TV급 신호를 처리하는 MPEG-2 인코더로서의 기능과 고선명TV 신호의 분할화면 데이터를 처리하기 위한 인코딩 모듈로서의 기능을 수행하도록 구현된다. MPEG-2 인코더 플랫폼의 구조는 9U 보드 크기의 MECB(Motion Estimation and Compensation Board)와 ENCB (ENCoding Board)로 이루어진다. 플랫폼으로서의 동작을 위하여 특히 화면 입력 포맷은 디지털

TV급 신호에 해당하는 ITU-R 656 표준 신호 포맷 이외에 고선명TV 신호 입력을 위하여 임의의 화면 크기를 갖는 비디오 신호도 입력 처리 할 수 있도록 고려되었고, 또한 사용자의 동작 제어에 따라 동작 모드의 변경이 가능하도록 고려되었다. MECB와 ENCB의 기능을 <표 3>에 요약하였다.

2. 고선명 TV 인코더 개발

MPEG-2 인코더 플랫폼 구현이 완료되면 이를 이용하여 고선명 TV 인코더 개발에 사용할 예정이다^[5]. 고선명 TV 인코더는 디지털 TV 신호(ITU-R 601)에 비하여 약 6배 정도 많은 비디오 데이터 (SMPTE 260M 혹은 274M)에 대한 압축 부호화를 실시간으로 처리해야 하기 때문에 그만큼 고속의 하드웨어 디바이스들의 처리 속도와 시스템 동작의 신뢰성 등을 고려할 때 고선명 TV 신호의 인코딩은 화면 전체 데이터에 대한 직렬 처리보다는 화면을 분할하여 병렬로 처리하도록 구현하는 것이 더 효율적이다.



〈그림 4〉 MPEG-2 인코더 플랫폼을 이용한 고선명 TV 인코더 구성

따라서 MPEG-2 인코더 플랫폼을 고선명 TV 분할 화면 데이터의 인코딩 모듈로서 사용하여 병렬로 동작시키고(그림 4 참조), 출력 단에서 비트스트림을 조합하는 것에 의해 MPEG-2 MP·HL (Main Profile and High Level) 규격을 만족하는 최종 비트스트림을 생성시킬 수 있다. 이와 같이 MPEG-2 인코더 플랫폼을 병렬로 사용할 경우 화면 분할에 의한 경계면 처리와 전체 출력 비트스트림의 율제어를 위해 분할화면 인코딩 모듈들에 대한 통합적인 제어를 위한 기능을 별도로 구현해야 한다.

V. 결 론

본 고에서는 FPGA를 이용한 시스템 개발 예로서 MPEG-2 인코더 개발 사례를 소개하였다. 또한 FPGA를 사용하여 MPEG-2 인코더 프로토타입을 개발하게 된 동기와 프로토타입 개발을 통하여 축적된 FPGA 설계 Know-how를 ASIC 개발

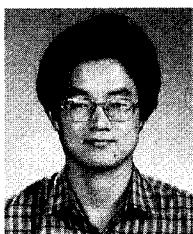
과 응용 시스템 개발에 유용하게 활용하고 있는 현황을 기술하였다.

하지만 지금과 같이 시스템 개발 환경이 급속도로 변화해 가는 상황에 있어서는 언제나 최선이 되는 개발 방법이라는 것은 존재하지 않으며, 목표 시스템에 따라 적절한 개발 방법을 유연하게 찾아가는 것이 중요하다. 본 고에서 기술한 FPGA의 여러가지 장점에도 불구하고 대상 시스템의 규격이나 기능이 변경될 필요가 없는 시스템을 개발할 경우에는 FPGA를 사용하는 것이 오히려 비효율적인 방법일 수도 있다.

참 고 문 헌

- [1] ISO/IEC 13818, 1996.
- [2] ISO/IEC JTC1/SC29/WG11, Test model 5, 1993.
- [3] 남재열, 호요성, 박상규, 윤희종, 안치득, “영상 신호 압축을 위한 MPEG 표준화 동향,” 전자공학회지 Vol. 20, No. 10, pp. 23-37, 1993년 10월
- [4] S. Park, Y. Lee, and H. Chang, “A new MPEG-2 rate control scheme using scene change detection,” ETRI Journal, Vol. 18, No. 2, July 1996.
- [5] C. Ahn, Y. Kim, S. Park, J. Yang, and J. Nam, “Activities to develop digital SDTV/HDTV standards in Korea,” *Standards and Common interfaces for Video Information Systems* (SPIE Optical Engineering Press), pp. 71-87, 1995.

저자 소개



朴 祥 圭

1960年 4月 12日生

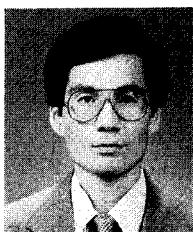
1982年 2月 연세대학교 전자공학과 졸업(학사)

1985年 8月 연세대학교 전자공학과 졸업(석사)

1996年 2月 충남대학교 전자공학과 졸업(박사)

1985年 9月~현재 한국전자통신연구소 선임연구원(영상통신 연구실)

관심 분야 : 영상통신, 영상처리



安 致 得

1956年 8月 15日生

1980年 2月 서울대학교 공과대학 전자공학과 졸업(학사)

1982年 2月 서울대학교 대학원 전자공학과 (석사)

1991年 7月 미국 University of Florida 대학원 전기공학과 졸업(박사)

1982年 12月~현재 한국전자통신연구소 책임연구원(영상통신 연구실장)

관심 분야 : 신호처리, 영상통신