

고속 시스템을 위한 Interconnection 설계기술

全善華, 劉泳甲
忠北大學校 情報通信工學科

전자회로의 전기적 연결방법은 신호의 충실한 전달을 결정하여 주는 요인이 된다. 고속화되는 디지털 시스템의 성공적인 동작을 위하여는 연결선의 구조를 정확하게 설계하여야 한다. 여기서는 고속 연결선에서 일어나는 주요한 문제를 개괄적으로 다루면서, 특히 기술적으로 문제로 제기되어 있는 주제들을 다루었으며, 이 분야에 전문적인 지식이 없는 독자들을 대상으로 접근방법을 설명하였다. 주요 개념과 현상에 대한 직관적인 설명에 주력하였으며 가급적 수식을 배제하였다.

연결선에서는 고속 신호의 충실성유지와 관련하여 선로의 인덕턴스의 처리 문제가 주요한 현안이다. 우선 인덕턴스를 계산하고 해석하는 방법, 이를 최소화하는 설계가 근본적인 접근방법이다. 이는 신호의 의곡과 전자파 방출량의 감소등에 직접적인 영향을 미치고 있으며, 고속 집적회로의 조립 구조체에 적지 않은 영향을 미치고 있다. 이들 구조체, 특히 전원/접지, 콘넥터, 케이블, 클럭등의 개선 대책과 아울러 과거 연결선 구현과 관련된 주요 문헌의 목록이 제시되었다.

I. 시스템의 고속화와 interconnection 기술

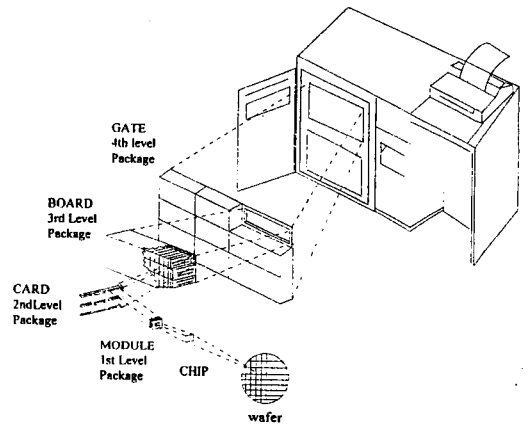
전자기기의 디지털화는 소형화, 고속화, 저전력화의 추세와 맞물려서 집적밀도의 급격한 향상을 가져왔다. 특히 반도체 기술의 세대가 바뀌면서 과거에 캐비닛 크기의 장비는 작은 상자크기로, 작은 상자크기의 기기는 다시 회로기관 형태의 카드로, 카드형태는 모듈이나 반도체 칩으로 축소되는 과정을 반복하고 있다. 이 결과 고속 시스템의 제조단가의 하락을 가져왔으며, 이 가격하락은 이들 고속 기기의 시장확대와 광범위한 보급의 가능성을 높여 주었다. 따라서 고속기기의 양산이라는 숙제가 기기설계자와 제조자에게 주어졌으며, 이런 시장 경향을 수용하기위하여 부품의 고속화와 이

를 서로 연결하는 interconnection에서의 신호의 고속화 유지가 중요한 문제로 부상하였다. 고속 시스템의 양산을 위한 고속 interconnection 구조의 구현과 양산 적용 기술이 함께 요구된 것이다.

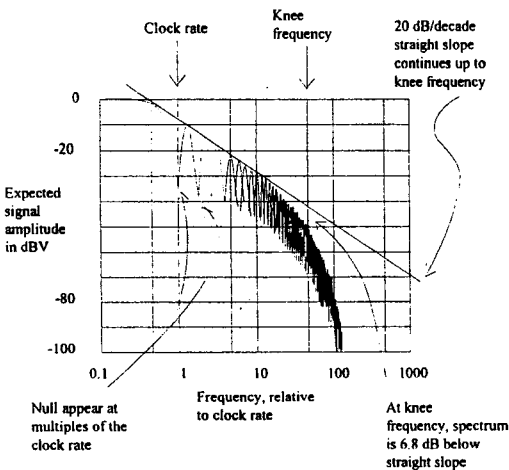
기기의 고속화와 관련하여 interconnection 이 갖는 역할은 전기적인 신호의 충실성을 보장할 수 있도록, 연결선을 통과하는 신호파형을 제대로 유지시켜 주는 것이다. 신호파형의 유지는 파형의 절대적인 크기의 유지, 즉 감쇄의 문제와 파형의 형태의 유지, 즉 파형의곡의 문제가 개입되어 있다. 파형의 감쇄 문제는 interconnection 에서의 신호 에너지의 소모에 따라 결정되며, 여기에는 연결선 상에서의 저항 성분의 크기와 전자파 방출과 같은 에너지 방출이 문제가 된다. 따라서 무손실 연결선의 도입은 신호 크기를 유지시키는 중요한 열쇠이다.

신호 파형의 유지는 연결선에서의 주파수 성분별 지연시간 차, 연결선간 간섭현상, 고속신호의 반사파, 전원 전압의 변동 등에 의하여 영향을 받는다. 일반적으로 말하면 연결선 상에서 빠른 rising time(T_{rise}) 과 falling time(T_{fall}) 을 갖는 신호의 전달을 신뢰성있게 수행하도록 요구 받고 있다. 이는 고속 시스템이 단순히 클럭 주파수의 절대적인 크기만을 의미하는 것이 아니라, 실제로 사용되는 신호의 파형의 모서리에서의 고주파 성분의 크기를 뜻하는 것이다.

주어진 신호의 유효 고주파 성분의 크기는 무릎 주파수(knee frequency- f_{knee}) 로 정의된다. 이 f_{knee} 는 $1/2T_{rise}$ 로 계산할 수 있다. 그림 1 에서와 같이 신호를 주파수대 진폭으로 분해하여 보면, 주파수의 증가에 따라 주파수 성분별 진폭의 크기가 20dB/decade 로 감소하다가, 이 f_{knee} 를 지나면서 그 보다 훨씬 급하게 감소하게 된다. 따라서 연결선 상에서 디지털 신호는, 선간 간섭, 반사파, 전원변동 등의 장애에도 불구하고 이 f_{knee} 까지만 충실하게 전달하면 신호의곡의 문제가 없다고 볼 수 있다.



(그림 2) 시스템의 계층적 연결구조



(그림 1) 플립플롭에 가해진 클럭의 무릎 주파수

대형 시스템의 연결은 복잡도 문제를 효율적으로 다루기 위하여 계층적인 구조로 구현된다. 그림 2에는 5계층의 연결구조를 보이고 있다. 제1계층은 모듈 내부의 연결, 제2계층은 인쇄회로 기판에서의 연결을, 제3계층은 백플레인을 중심으로한 카드간의 연결, 제4계층은 카드 케이지 사이의 연결을, 그리고 제5계층의 연결은 시스템 내부의 랙 사이의 연결을 구현하고 있다. 이 연결 구조는 시스템 설계의 복잡도를 관리하기 위한 기능의 계층적 분할 방식과도 일치하며, 칩, 모듈, 기판, 카드 케이지, 랙 그리고 시스템에 이르는 기능의 추상화 과정을 반영한 것이다.

신호는 이들 연결구조의 계층을 모두 통과하면서도 그 충실성이 유지되어야 한다. 가장 바람직하

고 쉬운 것은 칩내의 신호전달로서, 칩 내부의 연결은 비교적 연결구조가 단순하며 해석과 설계가 쉬운 것이다. 그러나 가장 최악의 경우로서는 한 시스템 내에서의 신호 전달이 한 랙에 포함된 칩에서 시작하여 다른 랙의 칩으로 연결되는 것으로서 칩과 외부를 연결하는 칩의 패키지에 의한 신호전달의 제약과 여러 단계의 콘넥터, 케이블, 인쇄회로기판을 지나면서 예측하기 힘든 복잡한 전기적 환경의 영향을 받게 되는 것이다. 그림 3에는 칩에서 출발하여 다른 칩에 이르는 신호의 전달과정에서의 전기적 모델을 보이고 있다. 이들에 대한 효과적인 해석과 변화 폭을 감당하기위한 조직적인 대비책 없이는 설계가 지극히 어렵게 된다.

신호를 계층간에 효과적으로 전달하기위한 메카니즘으로 각종 조립체의 개입이 필요하며, 신호의 충실성을 유지하기 위하여 전기적인 특성의 해석과 한계를 명확히 인식하여야 한다. 여기에는 칩에서의 본딩 와이어를 비롯한 조립부품의 특성, 인쇄회로기판의 구조 층의 할당방법, 각종 콘넥터와 케이블의 전기적인 특성 등을 파악하여야 한다. 특히 백플레인처럼 불특정 다수의 주기판이 삽입되는 경우, 이들 주기판의 삽입여부에 따라 변동하는 부하에 대한 설계 범위의 설정이 중요하다.

고속 신호의 전달에서 효과적인 모델로서 전송선 모델이 자주 활용되어 왔다. 이는 이상적인 전송선의 경우 무손실, 무의극 특성이 유지되며, 연

결선 자체를 저항성의 부하로서 간주해도 되고, 주파수 의존성이 지극히 약하여 특성이 단순하기 때문이다. 그러나 실제세계에서 이와같은 이상적인 전송선을 구현하는 것은 상당한 어려움이 있으며, 이를 극복하기위한 현실적인 방안이 필요하게 되어 있다.

이 글의 제2장에서는 전송선의 기술과 관련된 개념이 제시되며, 제3장에서는 각종 조립체의 전기적인 해석, 그리고 4장에서는 이들을 해석하는 방법에 대하여 기술하고 있다.

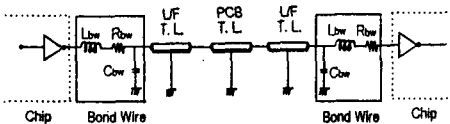
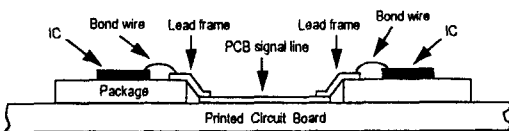
II. 신호 전달과 전송선

신호전달에서 문제가 되는 것은 연결선의 모델이 집중형(lumped type)이나 분산형(distributed type) 중에서 선택해야 하는 것이다. 여기에는 신호의 유효 길이와 연결선의 길이의 비교에 의하여 결정하게 된다. 신호의 유효길이는 신호 파형의 상승 모서리(rising edge)가 걸쳐져 있는 신호가 통과하는 연결선의 길이이다. 예를 들면 FR-4로 되어 있는 인쇄회로의 내부 층에 구현되어 있는 트레이이스에서 2nsec의 상승시간을 갖는 신호의 유효길이는 11.07 인치가 된다. 연결선의 길이가 이 유효길이의 1/6 이하이면 연결선을 집중모델에 의하여 해석하면 된다. 이 FR-4 인쇄회로의 경우 트레이이스의 길이가 1.84 인치를 초과하면 전송선 개념을 도입하여 해석하는 것이 바람직하다.

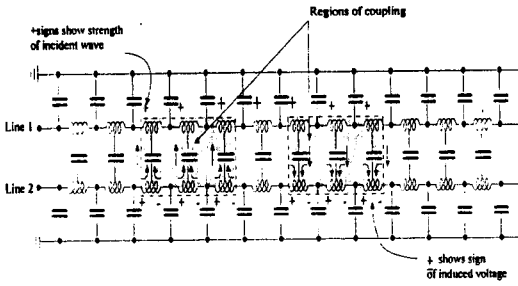
연결선에서의 신호 해석에서 신호의 유효길이가 연결선 길이의 1/6보다 크면 분산모델을 적용하는 것이 타당하다. 분산모델을 적용하여 해석하는 방법중에서 전송선 모델이 가장 단순하며 효과적이다. 전송선의 특성은 여러 기생 변수에 의하여 복잡하게 나타난다. 우선 이런 기생효과가 없는 이상적인 전송선의 특성에서 출발하여, 좀더 현실적인 전송선의 모습과 제약을 보기로 한다.

1. 이상적인 전송선

전송선에서의 전기적인 모형이 그림 4에 보여지



〈그림 3〉 신호 경로의 전기적 모델



〈그림 4〉 전송선의 전기적 모형

고 있다. 이상적인 전송선은 여기서 저항 성분 (R)이 0인 것이며, 그 전기적인 특성은 주파수와는 무관하다. 이상적인 전송선의 특성임피던스(Z_0)는 그 전송선의 단위길이당 인덕턴스 (L)와 캐패시턴스 (C)만으로 결정되며($Z_0 = \sqrt{L/C}$), 이 특성 때문에 전송선을 통과하는 신호의 감쇄와 왜곡이 없게 된다. 이 특성임피던스는 전송선 구조체의 기하학적인 치수의 비율에 의하여 결정된다. 예를들면 동축 케이블의 경우 중심도체와 외곽 차폐도체의 직경의 비에 따라 특성임피던스가 결정되며, 중심도체나 차폐도체만의 절대적인 크기와는 무관하다.

이상적인 전송선을 통과하여 나오는 신호는 지연시간만이 있을 뿐, 입사된 파형을 복제한 것과 같다. 전송선에서의 지연시간은 순전히 주변 물질의 유전상수에만 의존한다. 전송선의 형태나 크기와는 무관한 것이다.

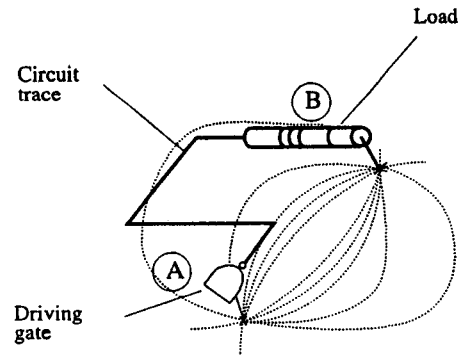
전송선과 일반적인 집중형 연결선의 차이는 소모 전력, 더 정확히 말하면 전류의 크기이다. 집중형 연결선이 신호 파형의 변화시에 부하 캐패시턴스를 일시에 충전시켜야하는 요구 때문에 상당한 전류가 초기에만 주로 흐르고 마는 것과는 대조적으로, 전송선의 경우 신호가 수신측에 전달 될 때까지 계속하여 전류가 전송선에 흘러 들어가게 된다. 즉 전송선에 분산되어 분포하고 있는 캐패시턴스 성분을 끊임 없이 충전시켜가야한다. 따라서 소모전력이 커지게 된다.

인쇄회로기판에서의 트레이스는 길이가 신호의 유효길이에 비하여 길지 않으면 이상적인 전송선

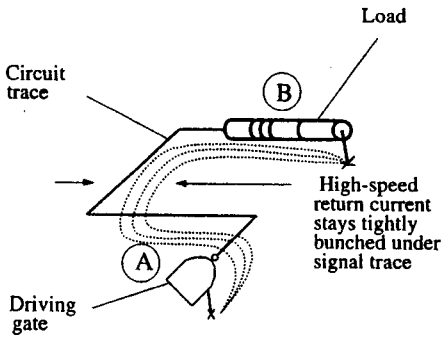
에 가깝게 동작한다. 트레이스 상에서의 저항성분을 무시할 수 있기 때문에 트레이스의 특성 임피던스는 동작 주파수가 10MHz 정도에서는 대부분 50Ω 정도에서 약간의 변동이 있을 뿐 약간의 주파수의 변동에는 좌우 되지 않는다. 따라서 무릎 주파수가 10MHz 미만인 신호를 위하여 인쇄회로의 트레이스 구조설계에 특별한 주의가 필요하지 않다. 따라서 이런 인쇄회로 기판의 특성을 활용하기 위하여 불필요하게 예리한 상승/하강 모서리를 갖는 신호파형을 갖지 않도록 할 필요가 있다.

전송선에서의 신호의 경로는 구동신호는 전송선의 구동회로의 출력 단자를 떠나서 중심도체를 통과하여 수신측에 전달된다. 수신측으로부터의 복귀전류(return current)는 접지층을 지나서 구동회로의 접지로 돌아오게 된다. 이 복귀전류의 존재 때문에 인쇄회로기판의 층 배치에서 접지층의 역할은 전송선 구성에서 중요한 역할을 한다.

전송선 신호의 복귀 경로는 접지평면에서 임피던스가 가장 작은 경로를 따라 형성된다. 그림 5에서와 같이 직류에 가까운 저주파의 경우, 가장 최단거리를 택하게 되며, 이때에는 직류저항 성분의 최소 경로가 기하학적인 최단 경로를 형성한다. 그러나 고주파 신호의 복귀 경로의 경우 인덕턴스 성분이 임피던스 결정의 주요 요소가 된다. 이 경우 인덕턴스는 전류 통과 경로로 구성되는 루프의 면적에 비례하게되고 결국 임피던스의 크기도 이 루프의 면적에 따라 크기가 좌우된다. 따라서 최소



〈그림 5〉 저주파 신호의 복귀경로 : 저주파 복귀전류는 최단 경로로 흐른다.

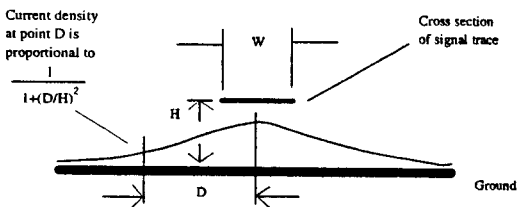


〈그림 6〉 고주파 신호의 복귀경로 : 고주파 복귀전류는 트레이스의 그림자를 따라 흐른다.

임피던스의 경로는 루프의 면적이 최소가 되는 경로이게 된다. 그림 6에서와 같이, 면적이 최소가 되는 경로는 트레이스의 그림자가 되며 전류는 이 그림자를 따라 복귀한다. 복귀경로는 접지면에서의 최단거리가 아닌 바로 임피던스가 최소인 경로를 찾아서 흐르는 것이다.

이 복귀 경로 근처에 다른 연결선의 그림자가 근접하게 되면 간섭현상이 일어나게 된다. 따라서 트레이스가 근접하였을 때의 전류분포가 중요하다. 그림 7에는 트레이스로부터의 거리에 따른 복귀전류의 분포를 보여주고 있다. 복귀전류의 분포는 거리가 증가함에 따라 급격하게 작아지기 때문에 트레이스의 거리를 적절하게 분리하여두면 간섭현상을 막을 수 있게 된다.

고속 회로를 위한 트레이스 설계에서 접지면의 트레이스 그림자에 방해가 되는 빈 평면이 없도록 하는 것이 중요하다. 이는 특히 콘넥터와 같이 긴



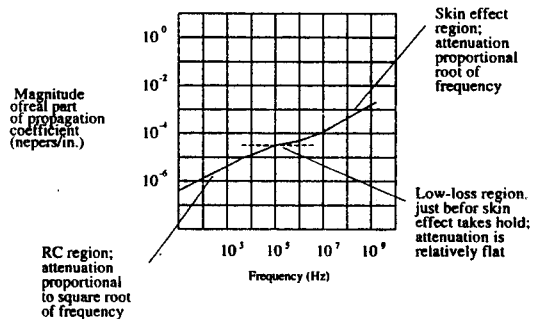
〈그림 7〉 복귀전류의 분포 : 거리가 멀어지면 전류밀도가 급격하게 줄어든다.

도체의 빈공간이 요구되는 경우가 있는데, 이 경우 편이 서로 접촉안되는 범위내에서 편간의 공간을 도체로 채워두어야한다. 이때에 접지면에 작은 구멍, 즉 트레이스 폭에 비슷한 크기의 구멍은 복귀전류에 영향이 무시할 수 있을 만큼 작다는 것도 고려하여야 한다.

2. 표피효과(skin effect)

고주파 신호가 도체를 흐르게 되면 저주파에서와는 달리 신호는 도체의 표면을 따라 전도되게 되어 저항성분이 커지게 된다. 이는 도체의 표면을 통하는 경로의 인덕턴스가 도체 내부 경로의 인덕턴스 나아가서는 임피던스가 가장 작기 때문이다. 이 현상은 직경이 0.01인치인 AWG24 와이어의 경우 1MHz 근처에서 나타나기 시작하여 주파수가 10GHz 까지는 도체의 모양에 무관하게 나타난다. 가는 와이어 일수록 높은 주파수에서 표피효과가 나타나기 시작한다. 트레이스 폭이 0.010 인치인 2oz copper 를 쓰는 트레이스에서는 3.5MHz 에서 표피효과가 나타나지만, 1oz copper 를 쓰는 경우 14MHz 부터 나타나기 시작한다.

표피효과는 긴 전송선의 신호 감쇄에 영향을 미치는 것이다. 이 표피효과의 영향은 전송선에서의 저항성분의 증가이며, 이로써 전송선 임피던스는 주파수에 따라 변하는 양이 된다. 이 영향은 인쇄회로 기판의 경우 그 증가율이 작아서 해석에 뚜렷하게 나타나지 않는다. 그러나 동축 케이블의 경우



〈그림 8〉 표피효과에 의한 동축케이블 RG-174U의 특성변화

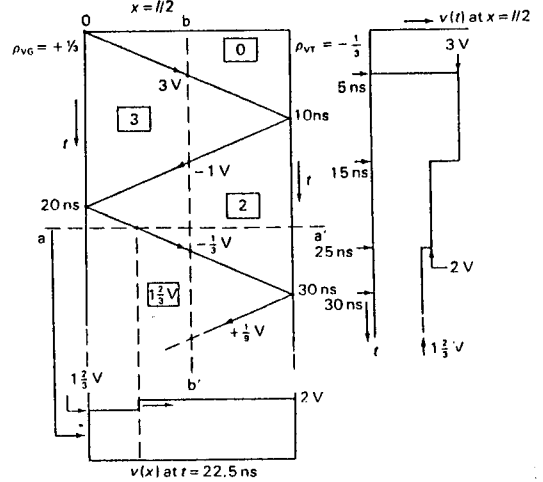
사실상 동작범위의 상한선을 정하는 요인이 된다. 그림 8에는 RG-174U의 주파수 특성을 보이고 있다. 여기서서는 고주파의 경우 임피던스가 동작주파수의 제공근의 크기로 상승하는 것을 보이고 있다. 이는 비교적 짧은 전송선의 경우 정대 감쇄의 크기가 작아서 문제될 것이 없겠으나, 케이블의 길이가 길어지면 신호의 절대적인 크기가 감소하여 잡음 허용범위(noise margin)가 위험 받게 된다.

입력쪽에서의 임피던스 정합의 측면에서 보면, 표피효과는 문제시 되지 않는다. 이는 저항성분은 \sqrt{f} 로 증가하지만 임피던스 성분은 주파수에 비례하기 때문에, 고주파 일수록 저항성분의 크기는 상대적으로 작아지게 된다. 따라서 입력에서는 특성 임피던스인 $\sqrt{L/C}$ 에 맞추어 두면된다.

3. 전송선 종단저항과 반사파

전송선에서의 종단은 부하나 신호원으로 부터의 반사파를 줄이기 위한 것이다. 전송선 신호전달에서의 반사파의 존재는 신호의곡과 잡음의 문제를 수반하기 때문에 고속 신호의 전달에서 반드시 다루어야 하는 것이다. 반사파는 전송선을 통하여 도착하는 신호 에너지를 모두 부하에 전달되도록 부하의 임피던스를 전송선 임피던스에 맞추는 것이다. 대개 인쇄회로 기판의 특성임피던스가 50Ω에 맞추어서 설계되므로 이런 전송선의 부하는 50Ω이 되도록 설계하는 것이 보통이다.

전송선 임피던스(Z_0)와 부하 임피던스 (Z_L)가 맞지 않으면 반사파가 발생한다. 이 반사파의 크기는 반사계수 $\rho_L = (Z_L - Z_0) / (Z_L + Z_0)$ 로 결정된다. 여기서 반사파의 크기는 반사계수에 신호의 진폭을 곱한 값이된다. $Z_0 = Z_L$ 이면 반사계수가 0이 되어 반사파가 없어지게 되며, 이 경우가 제대로 종단된 설계인 것이다. 또한 전송선에 전파시킬 신호를 공급하는 신호원 쪽에서도 임피던스가 맞지 않으면 반사파가 생기는데, 이때의 반사계수는 $\rho_s = (Z_s - Z_0) / (Z_s + Z_0)$ 가 되며, 신호원의 임피던스(Z_s)도 전송선 임피던스와 같아야만 신호원 쪽에서의 반사파가 없게 된다. 즉 전송선 종단은 부하측이나 신호원측 중에서 적어도 한곳에는 임피던스 정합



(그림 9) 전송선 반사파에 의한 신호의곡 : 반사파 성분은 누적된다.

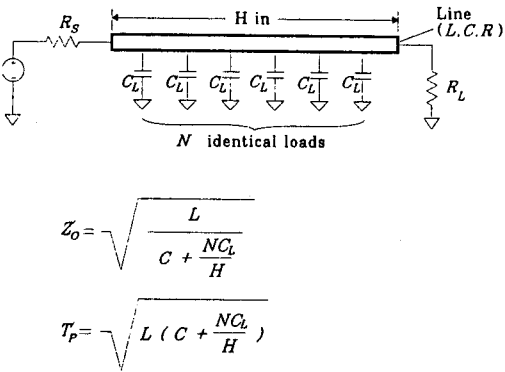
을 해두어야 심각한 반사파의 영향에서 벗어날 수 있게 된다.

반사파에 의한 신호의곡의 모습이 그림 9에 보여지고 있다. 이것은 반사도표로서 가로 방향으로 는 신호파의 진행 방향을 나타내고 있으며, 세로 방향으로는 경과된 시간을 표현하고 있다. 시간이 경과함에 따라 신호파는 부하측에 도달하여 일부가 반사되고, 다시 같은 시간 경과후에 신호원측에 도달하여 일부가 반사한다. 이때 반사된 신호의 크기는 부하와 신호원 측에서의 각각의 반사계수에 따라 결정된다. 반사계수의 크기는 항상 1보다 작으므로 반사파의 절대적인 크기는 같은 신호가 반복적인 반사를 계속하면서 점점 감소한다. 그러나 실제 신호에 대한 영향은 이들 반사파들을 누적하여 합산하게 되므로 반사계수의 부호가 양인 경우 점점 더 커지게 된다.

반사파가 원래의 파형에 미치는 영향은 반사계수의 부호에 따라 달라진다. 그림 9에는 이 반사파가 원래의 파형에 미치는 영향이 개략적으로 도시되어 있다. 반사계수의 부호가 음수인 경우, 반사파는 진동파형을 형성하게 되어 원래의 신호파와 합쳐지게 되면 파형 의곡이 ringing의 형태로 나타난다. 이 때는 신호원이나 부하의 임피던스가 전

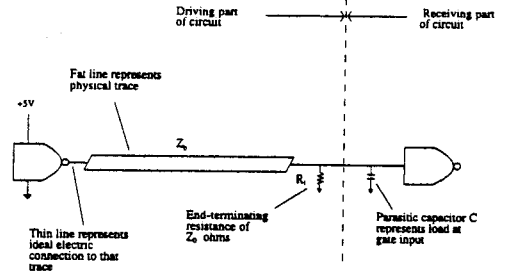
송선의 특성임피던스보다 작은 경우이다. 반사계수의 부호가 모두 양인 경우에는 신호 파형은 천천히 증가하는 모양을 나타내며, 경우에 따라서는 지연 시간의 연장 효과를 보이게 된다.

전송선의 부하는 위치와 종류에 따라 복잡한 반사파를 만들어 낸다. 특히 백플레인이나 버스선 처럼 전송선 중간에 용량성부하(capacitive load)가 연결되어 있는 경우가 현실적으로 중요한 과제이다. 이는 이들 버스선의 부하에 MOS 트랜지스터 스위치 붙어 있어서 이들의 입력 임피던스는 입력 캐패시턴스에 의하여 결정되기 때문이다. 그림 10에는 이들 버스 구조에 대한 전송선 모델을 보여주고 있다. 이에 대한 해석은 근사계산을 따르게 되며, 이 계산 결과로서 그림에서와 같은 유효 임피던스와 유효 지연시간을 얻게 된다.

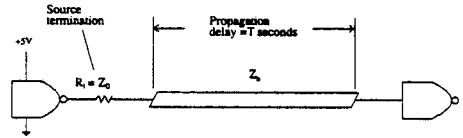


〈그림 10〉 등간격으로 배치된 용량성 부하를 가진 전송선: 버스 선 등이 이에 해당함

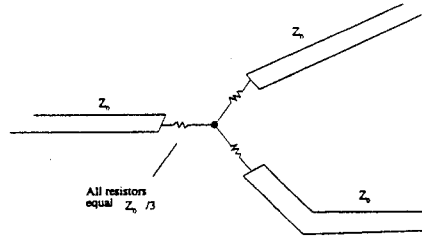
전송선에 종단저항을 부설하는 방법은 그림 11에서와 같은 세가지가 있다: end termination 과 source termination 그리고 middle termination 이다. 먼저 end termination 의 경우 전송선의 부하측 끝과 접지 사이에 전송선 임피던스와 같은 저항을 연결하여 놓는 것이다. 이렇게 하면 부하측 반사계수 ρ_L 이 0이 되어, 부하측 전송선 끝에서 반사파가 발생하지 않고 모든 파가 부하에 흡수된다. 다음 source termination 의 경우 신호원 측에 전송선 특성임피던스와 같은 크기의 저항을 붙여서 반사계수 ρ_s 를 0으로 만드는 것이다. 이때 신호원



(가) end termination



(나) source termination



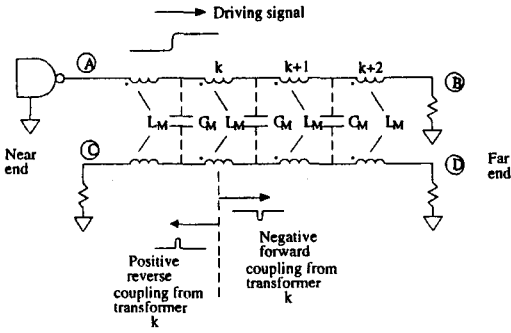
(다) middle termination

〈그림 11〉 종단저항 연결법

에 이미 저항이 있으므로 실제 추가되는 저항은 전송선 저항과 신호원 저항의 차가 된다. 이렇게 하면 부하측에서 발생하여 신호원측으로 전파되어온 반사파가 신호원측의 종단 저항에서 모두 흡수되도록 한 것이다. 끝으로 middle termination 의 경우 전송선을 분기시킬 필요가 있을 경우 분기되는 점에 각 전송선마다 직렬로 $Z_0/3$ 크기의 저항을 연결하는 것이다. 이 방식은 분기점에서 발생한 반사파를 신속하게 감쇄시키기 위한 방법으로 사용되고 있다.

4. 누화과 접지 배선

고속 신호가 한 선을 통과할 때 인접선에 원치않는 간섭파형을 만들어 내는 현상이 누화(crosstalk)이



(그림 12) 두 전송선 간의 coupling 에 의한 누화의 발생요인

다. 그림 12에서 처럼 누화는 유도성 누화(inductive crosstalk)와 용량성 누화(capacitive crosstalk)로 구분하여 다루게 된다. 한 선의 전류 변동에 의한 유도성 누화는 전기적으로 인접한 두 선간의 mutual inductance L_M 에 의하여 발생한다. 또한 용량성 누화는 mutual capacitance C_M 의 작용에 의하여 발생한다.

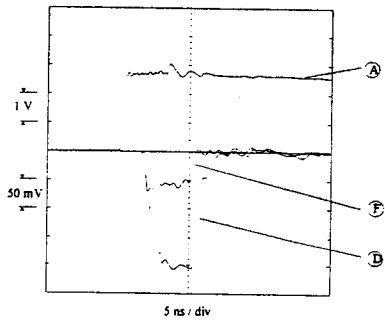
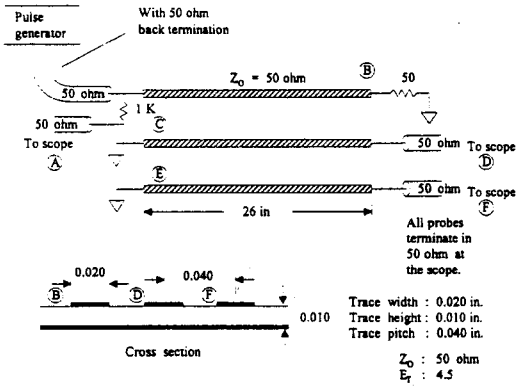
이들 누화는 발생장소에서 진행방향에 따라 전방향 누화(far end crosstalk)와 후방향 누화(near end crosstalk)로 구별하여 관측된다. 입사된 신호파형이 계단형(step) 파형일 경우 누화는 펄스의 형태로 나타나는데, 유도성 누화의 경우 전방향 누화는 negative 파형이 진행되어 관측되고 후방향 누화는 positive 파형이 관측된다. 실제 부하측에서 관측한 전방향 누화는 전송선의 모든 위치에서 발생한 누화가 일시에 도착하므로 큰 negative 펄스가 관측되며, 후방향으로는 positive 파형이 전송선 지연시간의 두배에 달하는 기간동안에 계속하여 도착하게 된다. 즉 positive 파형의 크기는 크지 않다. 이들 두 파형의 시간 적분의 크기는 같다. 또한 용량성 누화의 경우 전방향 후방향 누화 모두가 positive 파형을 이루며, 절대값의 모양은 유도성 누화의 경우와 같다. 즉 전방향 누화의 파형만 유도성과 용량성 파형이 반대로 되어 있게 된다.

전송선 누화는 이들 두 성분의 합으로 관측된다. 전방향 누화의 경우 유도성 누화와 용량성 누화가 서로 상쇄되어 나타나는데 대부분의 strip line 구

조에서는 거의 0으로 까지 상쇄된다. 그러나 strip line 구조가 불완전한 경우에는 대부분 유도성 누화의 크기가 용량성 누화보다 크게 나타나며, 작지만 negative 펄스가 관측된다. 이 negative 펄스의 크기는 순전히 전송선 구조의 균형여부에 달려 있다고 볼 수 있다.

전송선의 후방향 누화가 주로 문제를 일으키게 된다. 후방향 누화의 경우 대부분의 디지털 회로에서 처럼 source termination 이 되어 있지 않으면 반사계수가 거의 -1 이 된다. 따라서 반사파는 거꾸로 뒤집힌 후방향 파형으로 나타나고, 이것이 부하를 향하여 진행하게 된다. 고속 디지털 회로에서 대부분 부하측 누화 파형이 뒤집혀진 누화 파형으로 얻어지는 이유가 여기에 있다. 후방향 누화는 후방향 누화 계수 $r_r = 1 / (1 + (D/H)^2)$ 에 의하여 정해지며, 여기서 D 는 선간 간격, H 는 접지면으로부터 선까지의 거리이다 : 간격이 넓으면 누화는 급격하게 줄어든다. 이때 전송선의 길이도 누화 전압의 크기를 결정하는데 영향을 미치는데, 길이가 신호의 유효길이의 반보다 길면 누화파형이 최고치를 보이지만, 전송선의 길이가 짧아서 유효길이의 반보다 작으면 누화신호는 정상상태에 이르지 못하게 된다.

누화 방지에서 가장 중요한 요소는 접지선의 설계이다. 먼저 복귀 전류의 경로가 트레이스의 그림자가 되도록 접지평면에 문제가 없어야 한다. 특히 콘넥터나 집적회로 핀 사이를 통과하는 신호선의 경우, 해당하는 접지 평면에도 신호 트레이스마다 그 그림자와 같은 연결 통로가 확보되어 있어야 한다. 이는 유도성 누화의 가능성을 줄이기 위한 것이다. 둘째 클럭과 같이 여러곳에 보내지는 고속 신호선의 경우 보호 트레이스(guard trace)의 사용을 고려해 보아야 한다. 보호 트레이스의 사용할 때의 상대적인 효과가 그림 13에 보여지고 있다. 보호 트레이스 없이 인접한 두선간의 누화의 크기가 약 450mV 정도인데 반하여 보호 트레이스가 있게 되면 25mV 로 현저하게 감소하게 된다. 세 번째로 가급적 여러층의 배선층을 써서 선간 간격을 넓히는 것도 효과적이다. 무손실 무의곡 특성을 가진 이상적인 전송선은 연결선구조 설계의 출발



〈그림 13〉 보호 트레이스의 구조와 누화방지 효과

점이며, 동시에 달성하고자하는 목표이기도 하다.

III. 연결선의 회로요소

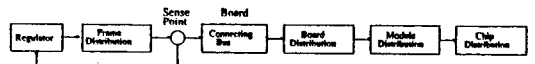
연결선의 회로요소는 신호의 충실성유지와 충분한 잡음 여유도의 확보를 설계되어야 한다. 여기에는 주로 연결 선의 인덕터스의 관리가 중요한 문제가 되고 있다. 또한 클럭신호와 같이 발생자체가 불안정한 요소의 안정화 문제가 있다.

1. 전원과 접지

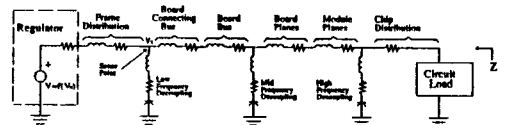
전원은 게이트의 고속동작에 필요한 전원전류소모의 변화에 무리없이 대응해주어야 한다. 그러나 이것은 전원공급 구조상 쉽지 않은 과제이다. 이와 관련된 일반적인 설계법칙이 세가지가 있다. 먼저,

전원과 접지 사이에 저 임피던스의 경로가 있어야 한다. 이는 전원선과 접지선에 고주파용 캐패시터를 설치하여 구현하는데, 접지는 안정된 접지 평면과 직접 접촉되어 있어야 한다. 두번째는 게이트마다 저 임피던스 접지가 연결되어야 한다. 이는 신호의 복귀 전류통과 경로의 확보에 직결되는 조치이다. 이 복귀경로가 불완전하면 신호선간의 상호 인덕턴스가 커지게되고 따라서 유도성 누화가 발생한다. 세째로는 게이트나 논리소자에 공급되는 전원선의 인덕턴스 성분을 줄이는 것이다. 이는 각 게이트나 논리소자의 1상태의 출력 전압의 균일성을 보장하여 동작속도를 유지하는데 도움을 주게 된다.

그림 14는 전원 공급체계의 구조와 등가회로를 보이고 있다. 전원에서 생성된 전압은 인쇄회로기판의 콘넥터, 모듈 콘넥터 등을 통하여 칩에 전달된다. 이 과정에서 칩에서 소모되는 전류는 아주 가느다란 본딩 와이어를 통과해야 하는데 이 본딩 와이어의 인덕터스는 갑작스런 전류의 변동에 상당한 영향을 미치게 된다. 이는 디지털 회로의 전류소모 패턴이 *di/dt*가 적지 않기 때문에 전원선의 자그마한 인덕터스에도 상당한 전원전압의 변동을 초래하게 되는 것이다. 이것이 delta-I 잡음으로 불리는 전원분배잡음의 요인이 된다. 이들 전류소모 중에서 가장 심각한 영향을 미치는 것이 출력 구동



(가) 구조



(나) 등가 회로

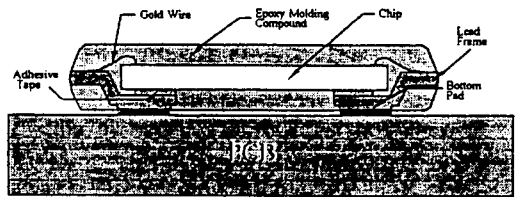
〈그림 14〉 전원분배 시스템과 등가회로

전류의 변동이다. 내부의 전류소모는 양적으로도 작거니와 대규모 집적회로의 경우 정상상태에서는 대부분 평균화되어 전원선 변동에 상대적으로 작은 영향을 미치게 된다.

전원분배잡음의 경우 전류의 절대값이 크고 그 변동폭도 상대적으로 커서 전원전류의 변동에 큰 영향을 미치게 된다. 즉, 출력구동회로의 경우 전류의 소모는 출력 패턴에 영향을 받는데, 이들이 극단적인 출력 패턴 예컨대 all-0에서 all-1의 데이터 패턴을 내보낼 경우 부하에 공급해야하는 양이 커지게 되어 전원분배잡음의 요인이 된다. 또한 부하로 연결된 전송선의 경우 50Ω에서 90Ω 정도의 비교적 낮은 임피던스의 부하를 구동하는 관계로 전류의 크기는 더욱 커지게 된다. 이 큰 전원전류의 변동은 전원전압의 변동을 가져오며, 이것이 내부 회로의 오동작, 예컨대 래치의 상태변화, 입력신호의 잘못된 해석 등을 유발하게 된다.

이 전원 분배잡음은 접지 반등현상(ground bouncing)을 유발하기도 한다. 이 역시 논리소자의 핀에 개입된 인덕턴스의 영향에 의하여 일어난다.

다. 그림 1에 보여진 연결선 등가회로에서의 인덕턴스가 부하에서오는 방전전류를 한꺼번에 처리해야하는관계로 방전전류의 변동에 따라 급격한 접지전압의 상승을 초래하는 경우이다. 이 접지반등이 일어나면 논리소자 내부의 접지전압이 상승하여 외부 입력에 대한 잡음여유도가 줄게되고 이로써 제대로 입력신호를 받아들일 수 없게 된다. 특히 입력신호가 래치되는 회로에서 클럭이나 입력기동신호에 글리치의 형태로 접지반등이 일어나게 되면 래치되는 입력신호의 정확성에 문제가 생기는 것이 전형적인 예가 된다.



(그림 15) Bottom leaded plastic (BLP) package의 구조와 특성

Package Type	Self Inductance (nH)	Mutual Inductance (nH)	Self Capacitance (pF)	Mutual Capacitance (pF)	Comments
BLP	1.7~2.7	0.6~0.8	0.15~0.25	0.04~0.10	LG Semicon(GoldStar) Measurement frequency of 50 MHz to 3GHz 20 pin counts
MQUAD	4.8~5.5	1.1~	0.40~	0.20~	Olin, CHM '93[5] Measured frequency of 50 MHz to 10GHz 132 pin count
QFP	5.4~5.8	2.1~2.3	1.48~1.74	0.62~0.71	Giga Test Labs, HPSD '95[3] Measurement frequency of 50 MHz to 10GHZ 196 pin counts
MBGA	-	-	-4.21	0.04~	Olin, ECTC '95[6] 256 pin counts
CQFP	7.7~9.6	-	-	-	Motorola. CPMT '94[7] Measurement frequency of 200 MHz 184 pin counts
TCP	19.5	12.6	-	-	Mitsubishi, CPMT '94[8] 432 pin counts

전원분배 잡음중에서도 이들 delta-I 잡음이나 접지면 등을 줄이는 가장 확실한 방법은 크게 세가지로 대별된다. 먼저 핀의 직렬 인덕턴스의 크기를 줄이는 것이다. 이를 위하여 저 인덕턴스 패키지를 사용하는 것이 중요하다. 기존의 본딩 와이어를 쓰는 경우, 이들 와이어의 길이를 짧고 일정하게 유지하는 것이 좋다. 일정한 길이의 본딩와이어를 위하여는 칩의 패드위치와 리드 프레임 그리고 조립체의 구조에 이르는 많은 요소가 한꺼번에 해결되어야 하는 어려운 일이다. 최근 국내에서 개발된 BLP(bottom leaded package) 는 이런 목적으로서 진 일보한 것이다. 이것은 소위 CSP(chip size packaging) 의 일종으로서 그림 15에 보여진 것처럼 짧고 균일한 와이어 본딩을 써서 인덕턴스 값을 효과적으로 줄여 놓은 것이다.

두 번째로는 논리소자의 내부회로와 출력회로를 분리하여 전원/접지를 공급하는 것도 효과적인 방법이다. 출력회로의 전원변동을 출력회로만으로 국한시켜서 내부회로가 영향을 덜 받도록 하는 것이다. 이 방법을 쓰면 전원/접지의 핀 수가 늘어나서 전체적인 핀 수의 제한을 받는 경우에 어려움이 있겠지만, 전원 핀이나 접지 핀에 다중 본딩을 시도하는 것도 핀 수 제한을 극복하는 방법이 된다.

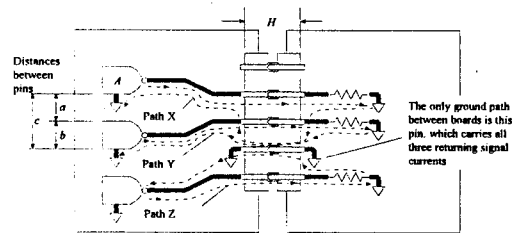
전원분배잡음 문제에 대한 세 번째 해결책으로서 출력되는 신호의 전압변동의 폭을 줄이는 것이다. 이는 부하 캐패시턴스에서 충방전되는 총 전하량을 줄이는 방법으로서 과거 고속소자, 예컨대 ECL 회로에서 효과적으로 구사한 것이다. 현재 이런 목적으로 공급되고 있는 소자로서 BTL 소자를 들 수 있다. 이것은 출력회로에 Schottky diode를 직렬로 연결하여 출력 캐패시턴스의 크기를 효과적으로 줄였다. 따라서 버스와 같이 많은 부하가 연결되는 응용분야에서는 출력회로의 구동출력을 절감시켜주는 효과가 있다. 여기에 덧붙여서 출력 전압 변동폭도 2.0V에서 1.0V 까지 1V폭으로 줄여서, 출력 신호의 변동에 따라 충방전 시켜야 하는 전하량을 줄여 놓은 것이다.

2. 콘넥터

그림 2에서와같은 계층적 연결구조에서 신호의

전달과정에서 빼놓을 수 없는 것이 콘넥터이다. 콘넥터를 통한 신호의 전달은 콘넥터 자체의 전기적 특성과 접촉시마다 발생하는 접촉면의 개별적인 특성의 변화가 고르지 않을 수 있기 때문에 어려운 문제를 던져주고 있다. 콘넥터에서 고속신호의 전달과 관련된 문제는 세가지로 요약할 수 있다. 콘넥터 핀간의 상호 인덕턴스(mutual inductance), 한 핀의 자체 인덕턴스, 그리고 기생 캐패시턴스가 그것이다.

콘넥터 핀의 상호 인덕턴스는 핀간의 누화(crosstalk)의 요인이 된다. 그림 16에서와 같이, 여러개의 신호가 각각의 신호경로를 통하여 전달된 후, 공통의 접지 핀을 통하여 복귀 전류를 받게 되는 경우, 이 복귀 경로상에 있는 핀이 mutual inductance 의 요인이 된다. 이때의 상호 인덕턴스는 각기 다른 두 신호-복귀전류 루프간의 상호 인덕턴스 성분들의 합으로 나타난다. 여기서 관측되는 누화는 신호전류의 변동율(dI/dt)와 종단/신호원 임피던스 값에 의하여 결정된다.



〈그림 16〉 콘넥터와 상호 임피던스 형성

콘넥터의 상호 임피던스를 해결하는 접근방법이 대략 다음 네 가지가 있다. 첫째, 접지 핀을 문제가 되는 신호선에 인접시키는 것이다. 이는 신호전류의 루프 면적을 감소시켜서 결과적으로 상호 임피던스의 크기를 줄이는 효과가 있다. 둘째, 접지 핀의 수를 늘려서 신호/복귀전류 루프가 서로 독립적이도록 해주는 것이다. 새로운 접지 핀을 놓고 문제가 되는 신호 핀이 적절하게 분산되도록 핀의 재분배가 필요하다. 셋째 민감한 신호선은 여러개의 접지 핀으로 차폐 효과가 나타나도록 한다. 이렇게 하면 누화는 접지핀 수의 제곱에 역비례해서

줄어든다. 넷째, 신호선을 서로 독립적인 또는 별로 상관관계가 적은 것 끼리 그룹으로 묶어서 접지 핀을 할당하는 것이다. 접지선은 상호 인덕턴스를 줄이는 효과적인 방안이다. 접지선을 콘넥터의 가장자리에 두게 되면 접지선의 역할이 단순한 복귀 전류의 경로제공이외에는 역할이 없다. 이것을 신호선간에 배치하여 차폐효과까지 고려하지 않는 것은 누화방지의 측면에서는 자원 낭비로 볼 수도 있다.

콘넥터의 자체 직렬 인덕턴스는 전자파 방출의 요인이된다. 신호/복귀전류의 루프 면적이 크면 전자파 방출량이 그만큼 커진다. 이것은 여러 인쇄 회로간의 연결에 여러개의 접지 핀을 쓰거나 여러 개의 콘넥터를 통하여 복귀전류가 분산되어 전달 될 때 발생하는 문제이다. 신호와 복귀전류의 경로가 서로 밀착되어서 모든 복귀전류가 신호전류의 경로로 형성되는 루프의 면적이 작은 경우에는 별 문제가 없으나, 일부의 복귀전류가 밀착된 경로를 통하지 않고 멀리 떨어진 콘넥터 핀이나 다른 콘넥터를 통하는 경우, 루프의 면적이 커지고, 이것이 큰 직렬 인덕턴스를 형성하여 전자파 방출의 요인이 되는 것이다.

이 직렬 임피던스의 문제를 해결하는 몇 가지 접근방법은 다음과 같이 요약된다. 먼저 보다 밀착된 복귀전류 경로를 형성하도록 접지 핀을 근접시켜 주는 것이다. 이로써 전자파 방출의 면적을 줄이는 효과를 가져오며, 전자파 방출량의 절대적 크기를 줄이게 된다. 둘째 접지 핀의 숫자를 늘리는 것이다. 이로써 원격지로 돌아서 복귀하는 전류의 크기를 줄일 수 있게 된다. 이때 인쇄회로의 접지평면이 모두 접지 핀에 끌고루 접촉되도록 접지면의 패턴형성에 주의하여야 한다. 셋째, 콘넥터들을 가급적 한 곳에 모아두는 것이 좋다. 이는 불필요하게 멀리 떨어진 복귀전류 루프의 면적을 줄이는 효과가 있다. 넷째, 입출력 케이블을 인쇄회로기관의 콘넥터 반대쪽에 연결하면 안된다. 입출력 케이블도 콘넥터의 핀에서 연결하여 사용하던가 별도로 도입된 콘넥터도 다른 콘넥터에 근접시켜 두어야 한다. 입출력의 경우 사시 접지까지 포함되는 거대한 루프의 형성이 이루어 지는데, 이 루프에서 인

쇄회로 부분의 면적을 최소화 시키도록 고려하여야 한다. 다섯째, 불필요하게 급한 상승/하강 모서리를 가진 신호파형의 사용을 자제해야 한다. 전자파의 방출량은 전류의 변동율에 직접 관련되어 있다.

콘넥터의 세번째 문제는 기생 캐패시턴스이다. 이는 여러개의 인쇄회로가 삽입되는 백플레인이나 마더보드의 경우 심각한 문제이다. 세가지의 기생 캐패시턴스 성분이 있다: 핀간 캐패시턴스, 콘넥터까지의 트레이스 캐패시턴스, 구동/수신회로의 입출력 캐패시턴스 이다. 핀간 캐패시턴스는 대개 수 pF 정도이며 사전에 충분히 실측과 예측을 할 수 있는 것이다. 고속 회로용으로는 콘넥터의 핀간 간격을 넓혀서 기생 캐패시턴스의 크기를 줄여 놓은 것도 있다. 콘넥터에 이르는 트레이스의 캐패시턴스도 사전에 계산해 두어야 한다. 또한 트레이스 임피던스와 지연시간이 미리 측정된 경우, 계산에 의하여 해석할 수도 있다. 문제는 구동/수신회로의 입출력 캐패시턴스이다. 대부분의 tri-state 출력을 가진 구동회로의 출력 캐패시턴스는 상당히 커서, 이들에 대한 정밀한 분석 없이는 버스 구조의 성공적인 동작을 예측하기 힘들다.

버스의 안정화를 위하여 취하는 접근방법은 인덕턴스의 값을 어느 정도 느슨하게 하면서도 캐패시턴스 값을 작게하려는 경향이 있다. 이는 부하 캐패시턴스 크기의 조절 없이는 구동출력의 전달 자체가 어려워지기 때문이다. 그러나 대부분의 문제에서 근본적인 해결책, 예컨대 BTL 소자의 사용이나 전압변동 폭의 조절 등을 통하여 인덕턴스의 문제를 다루지 않으면 고속 신호의 충실성을 제한된 범위내에 유지하는 연결구조의 성공적인 구현은 지극히 어렵게 된다.

3. 케이블

시스템 interconnection에서 케이블은 랙과 랙 사이 그리고 시스템 간의 연결에 널리 사용되고 있다. 특히 짧은 거리에 융통성있는 연결에는 와이어 뭉치나 리본 케이블이 사용되며, 고속 신호의 전송에는 동축 케이블과 광 케이블이 사용된다. 와이어 뭉치는 근본적으로 신호 구동선과 복귀전류의 경

로인 접지선이 쌍을 이루어 사용되며, 주파수 특성을 개선하기 위하여 twisted pair의 형태를 갖고 있다. 이 twisted pair의 구조는 루프 평면의 면적을 줄일 수 있으므로 자체 인덕턴스의 값을 줄일 수 있다. 따라서, 근거리에서의 신호전달에 가장 효과적이며, 와이어의 수가 늘어나는 만큼의 부담을 시스템 특성 개선 효과에서 찾을 수 있다.

이 twisted pair가 사용되는 주파수 범위는 와이어의 직렬 저항 R과 직렬 인덕턴스 L의 비 (R/L)보다 낮은 무를 주파수를 갖는 신호의 전달에 효과적이다. 이는 와이어의 특성임피던스가

$\sqrt{(R+j\omega L)/j\omega C}$ 로 나타나는데, 여기서 다른 변수보다 저항 R 값에 의한 감쇄가 두드러진 특성을 가지게 되는 환경이다. 따라서 단거리의 신호전달에 R 값이 무시할 수 있을 만큼 적을 경우, 효과적인 신호전달 수단이 된다. 물론 주파수가 낮은 관계로 표피효과는 없다. 음성 주파수에서 직경 0.002 인치인 AWG24 와이어의 경우 직렬 임피던스는 약 600Ω 이 된다.

디지털 신호를 효과적으로 전달하는 수단으로 리본 케이블이 광범위하게 보급되어 있다. 리본 케이블은 여러가지 형태가 있다. 예를들면, 대략 AWG 30 정도 굵기의 와이어를 평행으로 배치하고 플라스틱 피복을 입힌 단순 평면배치 형태에서부터, 두가닥 식을 꼬아서 만든 twisted pair 형태의 쌍을 평행으로 배치하여 피복을 입히는 등 다양한 형태로 공급되고 있다. 리본 케이블에서 신호의 전파속도는 이 피복 물질의 유전율과 중심도체의

직경과 중심도체간의 거리에 따라 결정된다.

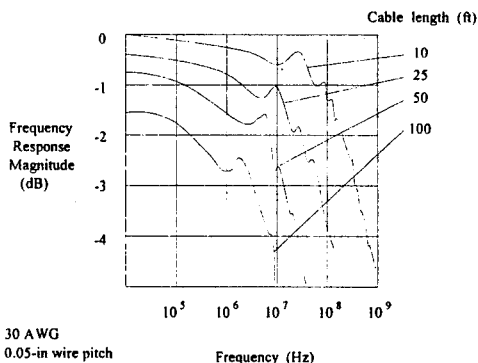
리본 케이블의 특성은 길이에 따라 상당한 변화를 보이고 있다. 그림 17에는 평면 배치형 리본 케이블의 길이별 특성곡선을 나타내고 있다. 대략 500MHz 까지는 3dB 이내의 우수한 특성을 보이고 있다. 리본 케이블의 주파수 특성은 길이의 제곱근에 비례한다. 궁극적으로는 이 주파수 특성의 모양은 전송선의 형태가 동축이든 twisted pair 이든 인쇄회로이든 계산식이 같다. 다만 그 각각의 구저에 따라 사용 가능한 주파수 범위가 다를 뿐이다.

리본 케이블에서의 문제점은 선간 누화의 방지이다. 인접선에 고속 신호가 전파될 때, 상당한 길이를 평행으로 배치된 경우 상호 인덕턴스에 의한 연결선간 누화는 불가피하게 된다. 이를 방지하기 위한 방법으로 신호선과 신호선의 사이에 접지선을 배치하여 복귀전류의 경로를 신호전류의 경로에 밀착시켜주게 되는데 이 경우 상호 인덕턴스는 문제가 두쌍의 신호/복귀선의 간격에 따라 크게 달라진다: 간격이 크면 누화는 현저하게 감소한다. 특히 신호/복귀선 쌍이 twisted pair로 구성된 경우, 누화에 의한 영향은 무시할 수 있을 만큼 줄어든다. 여기에 리본의 한면을 평면도체로 보강하여 접지시켜 주면 누화는 한층 더 줄어들며, 주파수 특성이 개선된다. 이는 이 평면도체가 접지평면의 역할을 하기 때문이다. 또한 도체의 포일을 써서 완전히 차폐시키는 방법도 있다. 문제는 이 접지 차폐의 접지와 연결하는 단자이다. 접지는 차폐 접지의 양 끝에 모두 되어 있어야 한다.

4. 클럭

디지털 시스템에서 클럭은 가장 빠른 신호이며, 가장 큰 부하를 가진 구동회로에서 생성된다. 또한 가장 잡음에 민감하게 반응하는 신호이며, 클럭과 연동되는 논리회로의 정상적인 동작을 위하여 충분한 시간여유도(timing margin)을 필요로 한다. 시스템에서는 온도와 진동등 전기 외적인 환경에도 고도의 안정성을 요구하는 것이다.

클럭의 생명은 시스템의 시간을 적절하게 관리하는 것이다. 클럭의 주기가 너무 길면 시스템의



(그림 17) 리본 케이블의 길이별 주파수 응답특성

성능이 제대로 유지되지 않으며, 너무 짧으면 시스템의 오동작을 유발하게 된다. 클럭에 의한 시스템 오동작으로서 대표적인 것이 클럭 스퀴 현상이다. 이것은 논리회로의 상태 변화나 신호 전파에 필요한 최소한의 시간 이전에 클럭이 변화하므로써, 논리회로가 제대로 동작하지 못하는 현상이다. 여기서 제대로 동작하지 못한다는 것은 물론 논리적인 상태의 변화를 의도대로 달성하지 못한 것과 제 시간안에 상태의 천이를 끝내지 못한 두가지의 의미가 있다. 특히 후자의 경우 플립플롭 종류에서 나타나는 metastability의 주요한 원인이 된다.

디지털 시스템에서의 metastability는 주로 비동기회로와 동기회로의 접속과정에서 나타난다. 이는 입력신호와 클럭의 전달시간이 어긋나서 데이터가 클럭신호 도착전에 준비되어 있어야 하는 플립플롭의 set up time이나 데이터의 충분한 입력을 보장하기 위한 클럭기간인 hold time 사양을 위반하는데서 발생한다. 이는 시스템이 고속화되면서 이를 구현하는 인쇄회로상에서 연결선 지연을 정확하게 설계에 반영하지 못한 결과로 발생한다. 이 사양을 위반하게 되면 플립플롭이 입력 데이터를 정상적으로 받아들이지 못하거나, 플립플롭의 안정된 출력을 내보내는데 과도한 시간을 요하게 되어 고속동작에서 오동작을 유발하는 경우이다. 플립플롭에서의 metastability의 발생 빈도수는 동작 주파수 범위의 경계에서 지수함수적으로 변동하는데, 클럭이 동작 주파수를 벗어나게 되면 그 발생빈도가 지수함수적으로 증가하게 된다.

플립플롭의 metastability에 대한 해결책은 다음 몇 가지로 요약할 수 있다. 먼저 가급적 빠른 동작 특성을 갖는 플립플롭을 사용하는 것이다. 이는 set up time이나 hold time의 요구를 상대적으로 누그러뜨리는 역할을 한다. 두 번째는 두 개 이상의 플립플롭을 연동시키는 것이다. 이는 디지털 회로에서의 배치배선이 자동으로 이루어 지고 따라서 연결선 지연을 미리 예측할 수 없는 현실을 극복하기 위한 것이다. 세 번째는 metastability를 보강시킨 플립플롭을 사용하는 것이다. 그리고 가급적 클럭의 주기를 늘려주는 것도 설계상에서 취할 수 있는 방법이며, 여기에 충분히 짧은 상승/

하강 모서리를 갖는 신호 파형을 사용하는 것이다. 이는 신호의 충실도 유지의 기법에서 취한 조치와는 모순되는 것이며, 이들 간의 trade-off를 미리 따져 보는 것도 중요하다.

클럭 발생회로는 클럭이 필요로하는 많은 회로 요소에 신호를 보내야 하며, 웬만한 논리 시스템의 경우 수 만에서 수십만개의 부하가 발견된다. 논리회로의 팬 출력 제한 때문에 다단계 클럭 분배회로의 채택은 불가피하다. 여기에서 주의해야 할 것은 다단계 클럭 분배체계의 지연시간을 맞추는 것이다.

다양한 형태의 클럭 지연시간 대책이 강구되고 있다. 그중 몇몇을 소개하면 다음과 같다. 먼저 고정적인 지연시간 전략을 사용하는 것이다. 여기에는 게이트 지연, 클럭 전송선의 지연 등을 미리 세밀하게 계산하여 물리적인 연결선 설계에 반영하는 것이다. 이를 위하여 클럭선이 지나가는 경로의 신호 전파시간을 미리 계산해야하며, 사용되는 게이트의 지연시간도 미리 계산해두어야 한다. 두 번째는 클럭선 배선에 상당한 용통선을 부여하여, 열마간의 지연시간을 조절할 수 있도록 하는 것이다. 여기에는 연결선의 길이를 조절할 수 있는 배선과 연결구조의 설계가 필요하다. 마지막으로 프로그램에 의한 지연시간 조절 기법이며, 이는 varactor diode와 같은 가변 캐패시터를 써서 프로그램 데이터로 주어진 지연시간을 회로내에서 보상하는 기법이다.

클럭 발생회로의 문제로서 클럭 지터(clock jitter)의 문제가 있다. 이는 클럭이 이상적으로 정해진 기준시점에서 발생되지 않고 약간 빠르거나 늦은 시간에 발생하는 현상이다. 주로 클럭발생 소자인 수정 진동자의 열 특성과 기계적인 진동, 그리고 증폭회로의 전원 상태에 관련된 random한 현상이다. 이는 주로 FIFO 버퍼를 이용한 두 회로 블럭간의 데이터 전송시에 문제가 되며, 버퍼 오버플로우 같은 현상을 이르게 시스템의 정상적인 동작을 저해하기도 한다. 이 클럭 지터를 극복하기 위하여는 충분히 긴 클럭 주기를 주어야 하는데 이는 시스템 성능에 영향을 미치게 된다.

클럭 지터를 이끄는 요인 중에서 증폭회로의

전원 변동은 미세회로의 진폭결과에 치명적인 영향을 미치게 된다. 대부분의 제조업체는 이 클럭 지터에 관한 데이터를 제공하지 않으며, 주로 사용 환경에 따라 달라진다고 보는 것이 타당하다. 클럭 지터의 예측과 방지에는 일반적으로 적용할 수 있는 통일된 방법이 없다. 클럭 지터를 방지하는 데는 완벽하지는 않지만 증폭회로의 전원접압에 필터처리를 하는 것이 효과적이다. 이 필터는 전원 전압에 개입되는 고주파 잡음을 효과적으로 제거하기 위한 것이다. 이로써 클럭발생회로와 분배회로에만은 깨끗한 전원과 접지전압을 어느정도 보장해줄 수 있는 것이다.

IV. 논 의

시스템의 interconnection의 문제는 신호의 파형과 이를 전달하는 구조체가 함께 개입되어 있는 복잡한 문제이다. 고속 신호는 단순히 클럭주파수 만으로는 표현되지 않는다. 고속시스템에서의 신호충실도 유지의 문제는 사용되는 신호 파형자체의 상승하강 모서리의 기울기와 이를 전달하는 연결선의 상대적인 길이에 따라 그 접근방법이 달라진다. 고속 신호를 효율적으로 전달시키기 위하여 연결선 구조 특히 전송선 등에 대한 분석과 특성의 데이터 베이스화가 이루어져서 대부분의 실장 설계에 실시간 처리 및 적용이 가능하게 되었다.

전송선의 특성 평가와 설계자동화의 문제는 고속 시스템이 개발되기 시작한 1970년대 초반부터 활발한 연구가 진행되어 왔다. 참고문헌 목록에는 이 시점부터의 대부분의 주요 논문이 포함되어 있다. 최근에는 고속시스템의 저가화에 따라 이 기술이 일반화 되었으며, 일반 trade magazine에서도 다룰 수 있을 만큼 보편화된 기술 분야로 등장하였다. 이는 대량생산에 적용할 수 있을 만한 고속화 기술수요를 대변하는 것으로, 그간 고속 시스템이 주문형식의 소량생산이었던데 비하여, 상당한 설계와 제조공정관리상의 허용범위 유지가 기술의 현장적용 가능성을 결정하게 된다. 따라서 설계변수

오차 허용범위의 설정과 이에따른 설계기법, 즉 design for tolerance의 접근방법과 기법의 개발이 요구된다.

전송선의 평가문제는 주로 여러 전송선이 인쇄회로기판이나 멀티칩 모듈에 구현될 때의 정확한 정합 임피던스의 계산과 누하/반사파 계산이 주류를 이루고 있다. 충북대에서 개발된 DIME은 주로 전송선의 정합 임피던스의 계산에 주력하고 있으며, 지금까지 개발된 소프트웨어보다 월등하게 정확한 계산 결과를 보이고 있다. 여러개의 도체가 개입된 전송선의 임피던스는 행렬식 표현이 되며, 행렬계산을 효율적으로 할 수 있는 새로운 알고리즘에 바탕을 둔 것이다. 또한 함께 개발된 소프트웨어 NOISECOM은 주로 누화과 반사파에 의한 잡음 계산을 할 수 있도록 하였으며, 워크스테이션 상에서 10만 트레이스 까지 처리할 수 있도록 개발되었다.

고속 시스템 설계 환경에서는 회로의 구조 설계에서 연결선의 인덕턴스 성분의 조절이 중요한 의미를 갖게 되었다. 또한 고속화 회로에서의 캐패시턴스 성분은 구동 출력에 부담이 되어 이를 축소시키는 설계가 요구되며, 이와 관련하여 전압변동폭을 제한하기도 한다. 이는 집적회로의 저전압화 기술의 발전과 맞물려서 상당한 효과가 기대된다.

시스템 부품 특히 집적회로의 대응량화는 전류밀도의 급격한 변동이 요구되며, 특히 출력 핀의 수가 데이터 비트 수의 증가와 함께 늘어나게 되었다. 이는 순간소모전력의 크기가 극단적으로 변동할 요인이되고 있으며; 이를 효과적으로 처리하기 위한 회로구조, 패키지의 개선을 요구하고 있다. 전원/접지접압의 변동과 관련된 전원분배잡음의 크기가 계속하여 시스템의 잡음 여유도를 위협하는 상황이 계속될 것이며, 이는 접지회로의 구조와 접지구조의 계속적인 혁신을 요구하고 있다. 특히 접지전압 반등 현상과 delta-I 잡음으로 대변되는 잡음의 문제를 효과적으로 대처하기 위한 집적회로 패키지의 개선이 이루어 지고 있으며, 이 기법이 인쇄회로기판이나 모듈의 분야에 까지 확대 적용될 전망이다.

연결선의 향후 기술로서는 광을 이용한 연결구

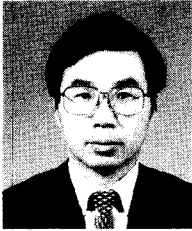
조가 있다. 이는 전송선등에서 요구되는 임피던스 정합이나 반사파 등의 문제가 없는 효율적인 방법이다. 아직은 이를 미세구조에 적용시킬 실장기술의 개발이 활발하게 이루어지고 있는 단계로서, 구체적인 회로나 시스템에 대한 적용에는 상당한 시일이 요구되고 있다. 이밖에 무선이나 초음파등을 이용한 연결방식이 있으며 주로 시스템간의 연결에 활용이 기대된다.

참 고 문 헌

- [1] 설병수 등, “고속 집적회로 패키지 인터컨넥션을 위한 설계 데이터 베이스” 대한전자공학회 논문지, 32권, 12호, 1716-1729쪽, 1995
- [2] 유영갑 등, 고속인쇄회로기판의 설계법칙정립에 관한 연구, 한국전자통신연구소, 1992년 6월
- [3] R. F. Bonner, J. A. Asseltas and F. W. Haining, “Advanced printed-circuit board design for high-performance computer applications”, *IBM J. Res. Develop.*, vol. 26, No. 3, pp. 297-305, May 1982.
- [4] L. E. Boone et al., “Aspects of the electrical design and analyses of the printed circuit boards of the IBM enterprise system/9000 water-cooled processors”, *IBM J. Res. Develop.*, vol 36, no. 5, pp. 943-955, Sept. 1992.
- [5] J. E. Buchanan, *Signal and Power Integrity in Digital Systems: TTL, CMOS, and BICMOS*, McGraw Hill, Inc., New York, 1996
- [6] B. Chan, “Crosstalk on a PCB: Definitions and solutions,” *Proc. PCB Design Conf.*, San Jose, CA, pp. 27-43, April 1992.
- [7] C. S. Chang, “Electrical design of signal lines for multilayer printed circuit boards”, *IBM J. Res. Develop.*, vol. 32, no. 5, pp. 647-657, September 1988.
- [8] J. A. de Falco, “Reflection and crosstalk in logic circuit interconnections”, *IEEE Spectrum*, vol. 7, pp. 44-50, July, 1970.
- [9] C. A. Harper and M. B. Miller, *Electronic packaging, microelectronics and interconnection dictionary*, McGraw Hill, Inc., New York, 1993.
- [10] Y. M. Hill, N. O. Reckord and D. R. Winner, “A general method for obtaining impedance and coupling characteristics of practical microstrip and triplate transmission line configurations”, *IEEE J. Res. Develop.*, vol.13, pp. 314-322, May 1969.
- [11] C. W. Ho, A. E. Ruehli and P. A. Brennan, “The modified nodal approach to network analysis”, *IEEE Trans. Circuits and Systems*, vol. CAS-22, no. 6, pp. 504-509, June 1975.
- [12] H. W. Johnson and M. Graham, *High speed digital design, a handbook of black magic*, Prentice Hall Inc., Englewood Cliffs, New Jersey, 1993.
- [13] J. Kennedy, “Measuring and modeling high-speed IC packaging effects,” *Computer Design*, pp. 69-76, June 1993.
- [14] Y. Kim et al., “Electrical and thermal performance characterization for the bottom leaded plastic (BLP) package,” *Conf. Proc. IEPS*, pp. 63-73, Sept. 1995
- [15] M. H. Lean and D. S. Bloomberg, “Non-linear boundary method for two dimensional magnetostates”, *J. Appl. Physics*, vol. 55, no. 6, pp. 2195-2197, March 1984.
- [16] L. B. Levit and M. L. Vincelli, “Characterizing high-speed digital circuits: a job for wideband scopes,” *EDN*, vol. 32, no. 6, pp.

- 153-162, June 10, 1993.
- [17] K. Otsuka, "Patterned wiring solves EMI," *Nikkei Electronics Asia*, pp. 72 - 75, Nov. 1995
- [18] O. A. Palusinski et al., "Simulation of transients in VLSI packaging interconnections", *IEEE Tr. Components, Hybrids, and Manufac. Tech.*, vol. 13, no. 1, pp. 160-166, March 1990.
- [19] J. Poltz and A. Wexler, "Transmission-line analysis of PC boards", *VLSI System Design.*, pp. 38-43, March 1986.
- [20] R. A. Quinell, "High-speed bus interfaces," *EDN*, pp. 43-50, Sept. 30, 1993.
- [21] A. J. Rainal, "Computing inductive noise of chip packages", *AT&T Lab. Tech. J.*, vol. 63, no. 1, pp. 177-195, Jan. 1984.
- [22] A. Rich, "Shielding and guarding, how to exclude interference-type noise, what to do and why to do it - a rational approach", *Analog Dialogue*, 17-1, pp. 8-13, 1983.
- [23] L. Richey, "Layout, coupling, and impedance rules for high speed PCB design", *Proc. PCB Design Conf.*, San Jose, CA, pp. 373-392, April 1992.
- [24] J. S. Roychowdhury, A.R.Newton and D. O.Pederson, "Simulating lossy interconnect with high frequency nonidealities in linear time," *Proc. IEEE 29th Design Automation Conf.*, pp. 75-80, June 1992.
- [25] A. E. Ruehli, "Inductance calculations in a complex integrated circuit environment", *IBM J. Res. Develop.*, pp. 470-481, Sept. 1972.
- [26] A. E. Ruehli, "Survey of computer-aided electrical analysis of integrated circuit interconnections", *IBM J. Res. Develop.*, vol. 23, No. 6, pp. 626-639, Nov. 1979.
- [27] A. E. Ruehli and H. Heeb, "Challenges and advances in electrical interconnect analysis," *Proc. IEEE 29th Design Automation Conf.*, pp. 460-465, June 1992.
- [28] D. Shear, "Ground bounce tests, revisited," *EDN*, pp. 120-127, pril 15, 1993.
- [29] J. Scheible, "Die Loesung des Feldtheoretischen Viermedienproblems ebener Schichten," *Archiv fuer Eleltrtechnik*, vol. 75, pp. 9-17, 1991.
- [30] M. S. Shephard, "Automatic and adaptive mesh generator", *IEEE Trans. Magnetics*, vol. MAG-21, no. 6, pp. 2484-2489, Nov. 1985.
- [31] R. A. Tummala and S. Ahmed, "Overview of packaging for the IBM enterprise system/9000 based on the glss-ceramic copper/thin film thermal conduction module", *IEEE Trans. Cmponents, Hybrids, nd Manufac. Tech.*, vol. 15, no. 4, pp. 426-431, Aug. 1992.
- [32] W. T. Weeks, "Calculation of coefficients of capacitance of multi conductor transmission lines in the presence of a dielectric interface", *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-18, no.1, pp. 35-43, January 1970.
- [33] W. T. Weeks et al., "Resistive and inductive skin effect in rectangular condutors", *IBM J. Res. Develop.*, vol. 23, no. 6., pp. 652-660, Nov. 1979.
- [34] D. R. J. White, *EMI Control Design of Printed Circuit Boards and Backplane*, Interference Technology Inc., Gainesville, Va, 1982.

저자 소개



劉 泳 甲

1948年 3月 22日生

1975年 서강대학교 전자공학과 졸업(공학사)

1981年 미시간 대학교(미국) 전기전산공학과(공학석사)

1986年 미시간 대학교(미국) 전기전산공학과(공학박사)

1975年 8月~1979年 8月 국방과학연구소 연구원
 1986年 2月~1988年 2月 (주) LG반도체 책임연구원
 1988年 3月~현재 충북대학교 정보통신공학과 교수
 1988年 10月~1989年 12月 (주) 한국실리콘 기술고문
 1993年 1月~1994年 12月 대한전자공학회 충북지부장
 1993年 8月~1994年 8月 아리조나대학교(미국) 객원교수
 1994年 5月~1995年 4月 Radiance Communication, Inc., (미국) 기술고문

주관심분야 : computer architecture, memory testing, 고속시스템 설계, HDTV, ATM, 가변익 항공기 제어 등



全 善 華

1968年 2月 20日生

1992年 충북대학교 전자공학과 졸업(공학사)

1996年 충북대학교 정보통신공학과 석사과정 재학중

주관심분야 : 고속 시스템 설계, VLSI설계 등