

저전압 전류모드 CMOS 필터 구현을 위한 새로운 연속시간 전류모드 적분기

正會員 방 준 호*, 조 성 익*, 平生會員 김 동 용**

A New Continuous-Time Current-Mode Integrator for Realization of Low-Voltage Current-Mode CMOS Filter

Jun Ho Bang*, Seong Ik Cho*, Dong Yong Kim** *Regular Members*

※이 논문은 1995년도 교육부 학술연구조성비(반도체분야)에 의하여 연구되었음

요 약

저전압 아날로그 전류모드 능동필터의 기본블럭으로 응용될 수 있는 새로운 구조를 갖는 연속시간 전류모드 적분기를 제안한다. 제안된 전류모드 적분기를 Zele 등이 설계한 기존 전류모드 적분기와 비교하여, 단위이득 주파수, 부하구동능력 및 소비전력이 개선될 수 있음을 소신호 해석 및 시뮬레이션을 통하여 입증하였다. 제안된 전류모드 적분기를 이용하여 전류모드 3차 저역 능동필터를 설계하고, 설계된 능동필터를 ORBIT사의 1.2 μ m double-poly double-metal CMOS n-well 공정을 이용하여 칩으로 제작하였다. 제작된 전류모드 능동필터의 측정결과, 단일 3.3V의 공급전압을 인가시 44.5MHz의 -3dB 차단주파수와 3.3mW의 소비전력 특성을 나타내었으며, 필터의 전체 칩면적은 0.12mm² 였다.

ABSTRACT

In this paper, a new continuous-time current-mode integrator as basic building block of the low-voltage analog current-mode active filters is proposed. Compared to the current-mode integrator which is proposed by Zele, the

*전북대학교 전기전자회로합성연구소
Electrical Electronic Circuit and System Research Institute,
Chonbuk National University

**전북대학교 공과대학 전기전자제어공학부
School of Electrical Engineering, Chonbuk National University

論文番號:95432-1218

接受日字:1995年 12月 18日

proposed current-mode integrator had higher unity gain frequency and output impedance in addition to lower power dissipation. And also, a current-mode third-order lowpass active filter is designed with the proposed current-mode integrator. The designed circuits are fabricated using the ORBIT's 1.2 μ m double-poly double-metal CMOS n-well process. The experimental results show that the filter has -3dB cutoff frequency at 44.5MHz and 3mW power dissipation with single 3.3V power supply and also 0.12mm² chip area.

I. 서 론

아날로그 능동필터의 설계법으로는 수동소자의 모의 방법에 따라서 스위치드-캐패시터 기법,¹¹⁻¹³ 트랜스 컨덕턴스-캐패시터 기법,¹⁴ 자이레이터 기법¹⁵ 등이 많이 이용되어 왔으나 이 방법들은 대부분 전압모드 회로로 구성되는 Op-Amp, OTA, 트랜스컨덕터등의 능동소자가 다수 필요하며 단일 3.3V이하의 저 공급 전압으로써 특성을 얻어 내거나 소비전력을 더욱 최소화하는데 여러가지 난점이 있어, 이러한 문제를 해결하기 위한 연구가 진행되어 왔다.

90년대 초부터 전류모드 회로설계 방법에 의한 저전압, 저전력 능동필터 설계 및 제작에 관한 다수의 연구논문¹⁶⁻¹⁸이 발표되고 있는데, 전류모드 능동필터는 낮은 내부전압을 가지므로 전압모드 능동필터에 비하여 훨씬 낮은 공급전압으로 동작이 가능하고, 저 임피던스의 분포 인덕턴스를 가지므로 고임피던스의 분포 캐패시턴스 성분을 갖는 전압모드 회로에 비하여 더욱 높은 주파수 특성을 얻기에도 유리하다고 보고되고 있다.¹⁹ 전류모드 능동필터 설계시에 신호흐름선도(Signal flow graph;SFG)를 이용하여 수동필터를 모의하며, SFG에서 발생하는 적분항을 전류모드 적분기로 구성하므로 전류모드 능동필터의 설계에 있어서 좋은 특성을 갖는 전류모드 적분기의 설계는 매우 중요하다. 최근 발표된 전류모드 필터 설계에 관한 논문들¹⁰⁻¹³을 살펴보면 대부분 Zele 등이 제안한 연속시간 CMOS 전류모드 적분기¹⁰를 이용하였거나, 일부는 그 특성이 개선된 구조를 이용하고 있다. 그러나 이들 전류모드 적분기들은 소비전력 및 주파수 특성에 있어서 더욱 개선될 여지가 있다.

본 논문에서는 Zele 등의 연속시간 전류모드 CMOS 적분기에 비하여 저전력 및 고주파 특성이 개선된 새로운 구조의 연속시간 전류모드 CMOS 적분기를 제안한다. 제안된 적분기는 CMOS 상보형 구조로 설계되었는데 이러한 구조에 의하여 Zele의 적분기가 NMOS

에서만 트랜스컨덕턴스를 얻었던 것에 비하여 NMOS와 PMOS에서 모두 트랜스컨덕턴스를 얻고 그 크기를 증가할 수 있어서 단위이득주파수 특성을 개선할 수 있고, 출력저항을 증가하여 부하 구동능력을 향상할 수 있다. 또한 자가 바이어스로 동작하도록 설계되어서 추가적인 바이어스 회로가 불필요하므로 소비전력을 줄일 수 있다.

2장에서 제안된 연속시간 전류모드 적분기의 설계 과정 및 단위이득 주파수등 개선된 특성을 기존의 적분기와 비교하여 나타내었다. 3장에서는 제안된 전류모드 적분기를 이용하여 단일 3.3V의 공급전압으로 50MHz의 차단주파수를 가지는 전류모드 3차 능동저역필터를 설계함으로써 제안된 전류모드 적분기의 응용 가능성을 확인하고자 하였다. 그리고 4장에서는 제안된 전류모드 적분기와 능동저역필터를 1.2 μ m double-poly double-metal CMOS n-well 공정을 통하여 칩으로 제작하고 그 측정결과를 고찰하였으며 5장에서 결론지었다.

II. 새로운 구조의 전류모드 적분기 제안

1. 연속시간 전류모드 CMOS 적분기

1989년 Hughes¹⁴등이 저전압, 저전력 특성을 효과적으로 얻어낼 수 있고, 집적화에도 용이하여 디지털 회로와 공존하기에 적합한 조건을 가지는 아날로그 전류 스위칭 회로를 제안하고 이를 이용하여 스위칭 전류모드 적분기를 설계하였다. 1990년대 초에 Zele 등의 회로 설계자들은 스위칭 전류모드 적분기에서 발생하는 잡음 등의 문제를 보완하기 위하여 그림 1의 연속시간 전류모드 적분기¹⁰로 변형하여 이용하였다. 그림 1의 연속시간 전류모드 적분기는 현재 전류모드 아날로그 연속시간 회로 설계에 폭넓게 응용되고 있다. 그림 1의 연속시간 전류모드 적분기의 특성은 소신호 해석으로부터 분석되었다.^{10,13}

그림 1(a)의 연속시간 전류모드 적분기에 대한 1차

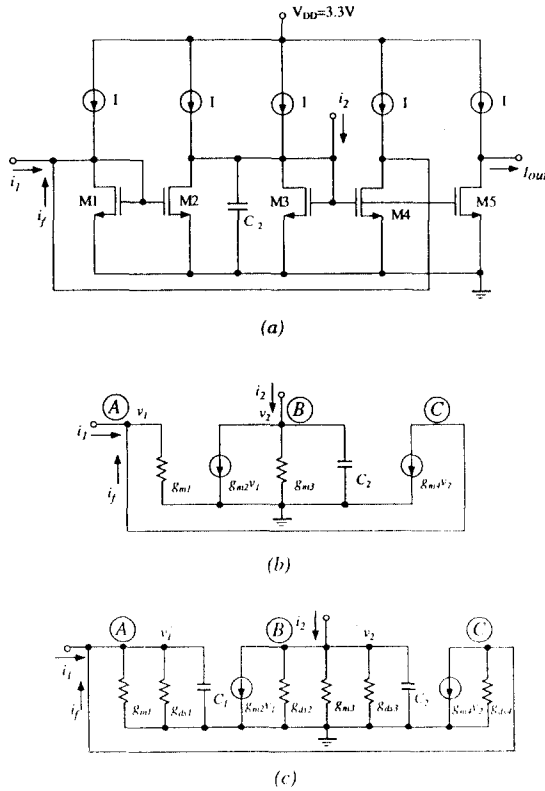


그림 1. 연속시간 전류모드 CMOS 적분기.

- (a) 회로 구조
- (b) 1차 소신호 등가회로
- (c) 2차 소신호 등가회로

Fig. 1. Continuous-time current-mode CMOS integrator

- (a) Architecture
- (b) First-order small signal equivalent circuit
- (c) Second-order small signal equivalent circuit

소신호 등가회로와 2차 등가회로를 그림 1(b) 및 (c)와 같다. 그리고 1차 및 2차 소신호 등가회로로부터 얻어진 적분기의 특성은 다음식과 같다.^[13]

$$\omega_0 \approx \frac{g_m}{C_2} \tag{1}$$

식(1)은 그림 1의 연속시간 전류모드 적분기의 단위이득 주파수가 내부 캐패시터(C_2)와 트랜스컨덕턴스(g_m)로 결정될 수 있음을 보인다.^[13]

$$i_f = \frac{k_1(s-z_1)i_1}{(s-p_1)(s-p_2)} - \frac{k_2(s-z_2)i_2}{(s-p_1)(s-p_2)} \tag{2}$$

$$k_1 = -g_{ds}/C_1 \tag{3}$$

$$p_1 = -4g_{ds}/C_2 \tag{4}$$

$$p_2 = -g_m/C_1 \tag{5}$$

$$z_1 = (g_m/C_2)(g_m/g_{ds}) \tag{6}$$

$$k_2 = g_m/C_2 \tag{7}$$

$$z_2 = -(g_m + g_{ds})/C_1 \tag{8}$$

위 식에서 z_1 과 z_2 값은 적분기의 zero들이며, p_1 과 p_2 값은 dominant pole 및 nondominant pole이다. pole 및 zero의 위치는 적분기의 주파수 특성과 관계되므로 이 식들로부터 그림 1의 연속시간 전류모드 적분기의 주파수 특성을 예측할 수 있다.

2. 새로운 구조의 연속시간 전류모드 CMOS 적분기 제안

본 논문에서는 그림 1의 연속시간 전류모드 적분기에 대한 소신호 해석의 결과를 바탕으로 소비전력 및 주파수 특성을 개선할 수 있는 새로운 연속시간 전류모드 CMOS 적분기를 제안한다. 제안된 연속시간 전류모드 적분기의 구조는 그림 1의 전류모드 적분기의 단위이득 주파수 특성을 개선하기 위한 방법으로 부터 유추되었다. 그림 1의 적분기의 단위이득 주파수 특성을 보여주고 있는 식(1)을 살펴볼 때, 적분기의 트랜스컨덕턴스 값은 주로 NMOS 한개에 의하여 얻어지고 있다. 이에 비하여 제안된 적분기는 그림 2와 같이 NMOS와 PMOS가 서로 보완적으로 동작하는 CMOS 상보형 회로를 사용하여 구성함으로써 단위이득주파수등의 특성이 개선될 수 있는데 이것을 소신호 해석을 통하여 분석하고 그 결과를 그림 1의 전류모드 적분기 특성과 비교하여 본다.

제안된 연속시간 전류모드 적분기의 1차 소신호 해석을 위하여 간략화된 소신호 등가회로는 그림 2(b)와 같다. 제안된 적분기를 구성하고 있는 모든 트랜지스터들이 이상적인 특성을 갖는다고 가정하고 노드 ㉑, ㉒와 ㉓에서 KCL방정식을 적용하면 식(9), (10) 및 (11)와 같이 3개의 방정식으로 나타낼 수 있다.

$$i_1 + i_f = v_1(g_{m1} + g_{m2}) \tag{9}$$

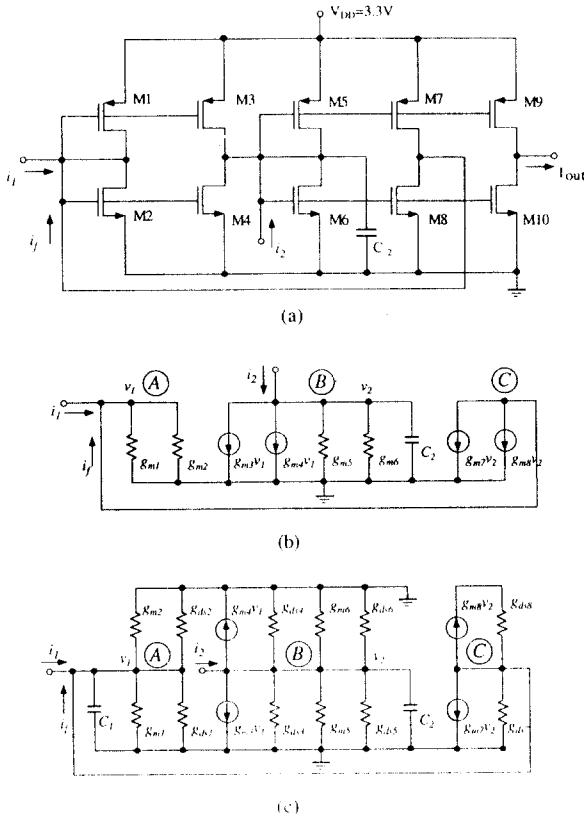


그림 2. 제안된 연속시간 전류모드 CMOS 적분기.
 (a) 회로 구조
 (b) 1차 소신호 등가회로
 (c) 2차 소신호 등가회로

Fig. 2. Proposed continuous-time current-mode CMOS integrator
 (a) Architecture
 (b) First-order small signal equivalent circuit
 (c) Second-order small signal equivalent circuit

$$(g_{m3} + g_{m4})v_1 + (g_{m5} + g_{m6} + sC_2)v_2 = i_2 \quad (10)$$

$$(g_{m7} + g_{m8})v_2 = -i_f \quad (11)$$

이때 제안된 전류모드 적분기를 구성하고 있는 트랜지스터 M1과 M3, M2와 M4, M5와 M7, 그리고 M6과 M8은 모두 전류미러로 구성되어 있으므로 모두 같은 크기로 설계하면 각각의 트랜스컨덕턴스 값들은 $g_{m1} = g_{m3}$, $g_{m2} = g_{m4}$, $g_{m5} = g_{m7}$, $g_{m6} = g_{m8}$ 이 된다. 이 값을 식(9)~(11)에 대입하면 식(12)를 얻을 수

있다.

$$i_f = \frac{g_{m7} + g_{m8}}{sC_2} (i_1 - i_2) \quad (12)$$

여기서 적분기의 출력전류 i_{out} 는 피이드백 전류 i_f 의 k 배로 설계되므로 최종 출력전류는 식(13)과 같고, k 가 1일 때 최대의 동적 범위를 가지게 되므로 이때의 단위이득 주파수는 식(14)와 같다.

$$i_{out} = k \frac{g_{m7} + g_{m8}}{sC_2} (i_1 - i_2) \quad (13)$$

$$\omega_0 \approx \frac{g_{m7} + g_{m8}}{C_2} \quad (14)$$

2차 소신호 해석을 통하여 나머지 파라미터에 대해서도 조사하여 본다. 1차 소신호 해석에서 무시하였던 C_1 과 g_{ds} 을 포함한 2차 소신호 등가회로를 그림 2(c)에 나타내었다. 그림 2(c)에서 KCL해석법을 통하여 식(15)~(17)를 얻을 수 있다. 이때 각 MOS에서 얻어지는 트랜스컨덕턴스 값들은 각각 같은 크기로 설계할 수 있으므로 $g_{m1} \sim g_{m8}$ 의 값을 g_m 으로 $g_{ds1} \sim g_{ds8}$ 의 값을 g_{ds} 으로 대표 하였다.

$$(2g_m + 2g_{ds} + sC_1)v_1 = i_1 + i_f \quad (15)$$

$$2g_mv_1 + (2g_m + 4g_{ds} + sC_2)v_2 = i_2 \quad (16)$$

$$2g_mv_2 + 2g_{ds}v_1 = -i_f \quad (17)$$

식(15), (16), (17)로 부터 다음식을 얻어낼 수 있다.

$$i_f = \frac{k_1(s - z_1)i_1}{(s - p_1)(s - p_2)} - \frac{k_2(s - z_2)i_2}{(s - p_1)(s - p_2)} \quad (18)$$

$$k_1 = -2g_{ds}/C_1 \quad (19)$$

$$p_1 = -8g_{ds}/C_2 \quad (20)$$

$$p_2 = -2g_m/C_1 \quad (21)$$

$$z_1 = 2(g_m/C_2)(g_m/g_{ds}) \quad (22)$$

$$k_2 = 2g_m/C_2 \quad (23)$$

$$z_2 = -2(g_m + g_{ds})/C_1 \quad (24)$$

z_1 과 z_2 는 zero이고, p_1 과 p_2 값은 적분기의 dominant pole 및 nondominant pole이다. 이상의 결과로 부터 그림 2의 제안한 전류모드 적분기가 그림 1의 기존 전류모드 적분기에 비하여 몇가지 특성이 개선될 수

표 1. 두 적분기의 소신호 해석 결과

Table 1. Results of small signal analysis of two integrators

Architecture	Typical continuous-time current-mode integrator	Proposed continuous-time current-mode integrator
Characteristics		
Unity gain frequency(ω_c)	g_m/C_2	$(g_m + g_{m2})/C_2$
Dominant pole(p_1)	$-4g_{ds}/C_2$	$-8g_{ds}/C_2$
Nondominant pole(p_2)	$-g_m/C_1$	$-2g_m/C_1$

있음을 알 수 있는데, 이들 개선점을 살펴본다.

소신호 해석의 결과를 살펴볼때, 제안된 적분기는 기존 적분기에 비하여 단위이득주파수가 개선되었다. 각 전류모드 적분기들에 대한 소신호 해석으로부터 주파수 특성과 관련된 몇 가지의 결과식을 표 1에 정리하였다.

표 1에 정리된 것과 같이 기존 전류모드 적분기에 비하여 제안된 전류모드 적분기의 단위이득 주파수가 두 배의 크기로 증가하였으며 주파수 특성과 비례적인 관계에 있는 pole들의 위치가 더욱 확장됨으로써 이득이 향상된다.

전류모드 회로의 경우, 출력저항이 클수록 출력측에 연결된 일부 부하쪽에 더 많은 출력전류가 인가되며, 그 만큼 부하부동 능력은 증가된다. 제안한 전류모드 적분기는 기존 전류모드 적분기에 비하여 출력저항이 증가된 구조를 이루고 있다. 즉, 제안된 적분기의 출력단은 CMOS 구조를 이루고 있으며 PMOS와 NMOS에서 얻어지는 드레인저항 R_{dp} 와 R_{dn} 의 병렬값이 출력저항으로 되고, 기존 적분기의 경우 MOS 전류원을 구성하는 PMOS와 신호경로에 존재하는 NMOS에서 얻어지는 각각의 드레인저항 R_L 과 R_{dn} 의 병렬값이 출력저항으로 되는데, 이때 R_L 값은 R_d 값들에 비하여 상대적으로 작은 크기를 가지므로 결과적으로 제안된 적분기의 출력저항은 증가하게 된다.

제안된 전류모드 적분기의 또 다른 개선점으로는 회로의 축소에 따른 소비전력의 감소효과이다. 그림 1의 전류모드 적분기의 경우에 전류원(I)을 회로적으로 구현을 하여야 하며, MOS를 삽입하여 드레인 전류를 전류원으로 이용할 때 MOS의 게이트에 공급전원이 필요하게 되고 이를 위하여 추가의 바이어스 회로가 필요하게 된다. 따라서 회로의 전체크기는 바이어스 공급회로를 포함한 크기가 된다. 그러나 그림 2의 제안된 전류모드 적분기는 모든 MOS가 자기 바이어스화 되어 있기 때문에 추가 바이어스 회로가 불필요하다.

이것은 제안된 적분기가 기존 적분기에서 바이어스 회로 구성에 필요하였던 크기만큼이 축소될 수 있으며 크기 축소에 의한 소비전력 감소 효과도 기대할 수 있다. 다수의 적분기를 이용한 필터 구성시 소비전력의 감소 효과는 더욱 커질 것이다.

그러나 제안된 적분기는 V_{DD} 에서 공급되는 전압원이 변화가 생길경우 이것에 따른 바이어스의 불균형과 특성저하가 초래되는 단점을 가질 수 있으나 이러한 단점은 정전압 공급에 의하여 보완될 수 있다.

III. 3.3V 전류모드 능동필터 설계

제안된 전류모드 적분기를 기본블럭으로 하여 전류모드 능동필터를 설계함으로써 저전력 및 고주파 특성을 요구하는 아날로그 전류모드 회로에 응용가능성을 확인하고자 한다.

실제한 전류모드 능동필터는 3차 저역 체비세프함수를 이용하였고 차단주파수와 통과대역리플은 각각 50MHz와 1dB로 설정하였다. 또한 공급전압을 3.3V으로 설정하였으며, 제자형 복중단 LC 수동 회로망으로부터 설계를 시작하였는데 제자형 회로망은 수동회로를 능동회로로 변환과정에서 낮은 감도 특성을 유지할 수^[5]가 있다고 보고되어 있다.

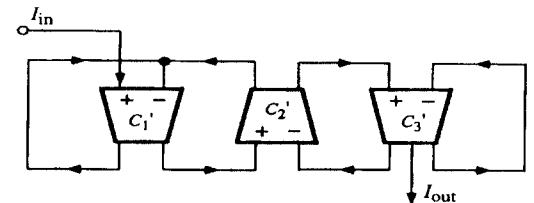


그림 3. 전류모드 3차 저역필터의 블럭다이어그램
Fig. 3. Block diagram of the current-mode 3rd-order lowpass filter

전류모드 수동필터를 전류모드 능동회로로 변환하기 위하여 SFG를 구성하고, SFG를 통하여 얻어진 필터의 블럭다이어그램은 그림 3과 같다.

그림 3의 블럭다이어그램에 의하여 전류모드 능동 필터는 3개의 전류모드 적분기로 직접모의 되며 전류모드 적분기 내부의 적분캐패시터의 값을 결정함으로써 설계가 완료된다. i 번째 전류모드 적분기의 적분 캐패시터 C_i 는 식(25)로부터 구해진다.

$$C_i = \frac{g_m X_i}{\omega_{c0}} \quad (25)$$

식(25)에서 g_m 은 전류모드 적분기의 트랜스컨덕턴스이며 X_i 는 i 번째 회로의 규준화(normalized)된 수동 소자값이고 ω_{c0} 는 전류모드 능동필터의 차단주파수이다.

제안된 전류모드 적분기를 이용하여, 최종적으로 구성된 전류모드 능동필터를 그림 4에 나타내었다. 전류모드 능동필터는 입력 및 출력단자 외에 외부 전압단자(V_c)가 연결되어 있는데, 연결된 전압단자는 칩제작후 여러가지 요인에 의하여 발생할 수 있는 전류모드 필터의 차단주파수 변동을 동조하기 위하여 구성하였다.

설계된 전류모드 3차 능동 저역필터의 SPICE 시뮬레이션으로부터 얻어진 크기특성은 그림 5와 같고, 그 밖에 특성을 설계사양과 비교하여 표 2에 나타내었다.

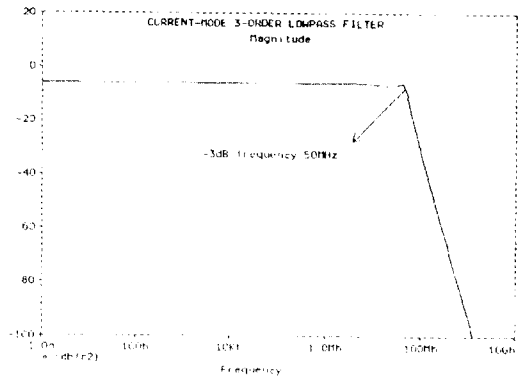


그림 5. 전류모드 3차 능동 저역필터의 크기 특성
Fig. 5. Magnitude characteristics of the current-mode 3rd-order active lowpass filter

표 2. 전류모드 3차 능동 저역필터의 시뮬레이션 결과
Table 2. Simulation results of the current-mode 3rd-order active lowpass filter

Parameter	Specification	Simulation
Passband ripple	1 dB	1 dB
Stopband attenuation	> 30 dB	> 35 dB
Cut-off frequency	50 MHz	50 MHz
Power supply voltage	3.3 V	3.3 V
Power dissipation	< 6 mW	3.6 mW

설계된 전류모드 능동 저역필터의 시뮬레이션 결과, 설정하였던 설계사양에 만족한 결과를 얻었다.

Continuous-time Current Mode 3-order Lowpass Filter

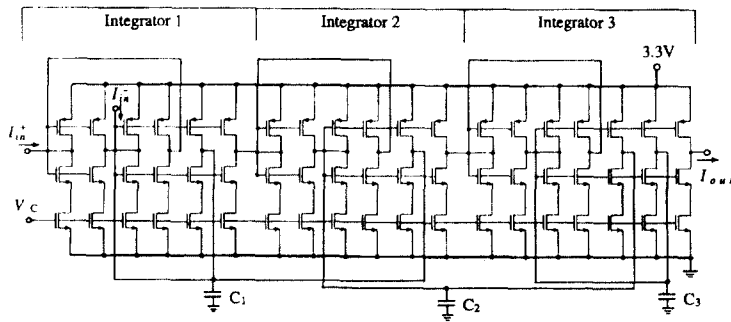


그림 4. 설계된 전류모드 3차 능동 저역통과 필터
Fig. 4. Designed current-mode 3rd-order active lowpass filter

IV. 실험 결과 및 고찰

설계한 전류모드 3차 능동 저역필터를 미국 ORBIT사의 1.2 μ m double-poly double-metal CMOS n-well 공정을 통하여 칩으로 제작하였다. 제작된 전류모드 3차 능동 저역필터의 특성을 측정하고 그 측정값을 시뮬레이션 결과와 비교하였다. 전류모드 3차 능동 저역필터의 현미경 사진을 그림 6에 나타내었고 측정 결과를 표 3과 그림 7에 나타내었다.

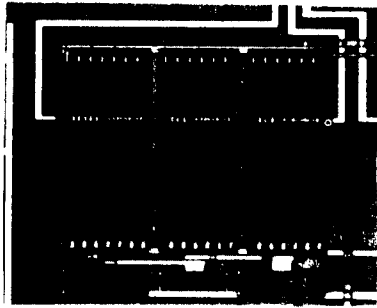


그림 6. 전류모드 3차 저역필터의 현미경 사진
Fig. 6. Microphotograph of the current-mode third-order lowpass filter

표 3. 전류모드 3차 저역필터의 특성 측정결과
Table 3. Testing results of the current-mode 3rd-order low-pass filter

Parameter	Simulation	Testing
Supply voltage	3.3 V	3.3 V
Cutoff frequency	50 MHz	44.5 MHz
Stopband attenuation	> 35 dB	30 dB
Power dissipation	3.6 mW	3.3 mW
Active area		0.12 mm ²

제작된 전류모드 3차 능동 저역필터의 차단주파수가 44.5MHz로써 측정되어 시뮬레이션 값인 50MHz에 비하여 4.5MHz의 오차와 차단대역 감쇄율의 경우 5dB의 오차가 발생한 반면 소미전력의 경우는 3.6mW의 시뮬레이션 값에 비하여 0.3mW가 적은 3.3mW로 측정되었다. 다른 측정값들에 비하여 주파수와 관련된 일부 특성들이 상대적으로 큰 오차를 발생하였는

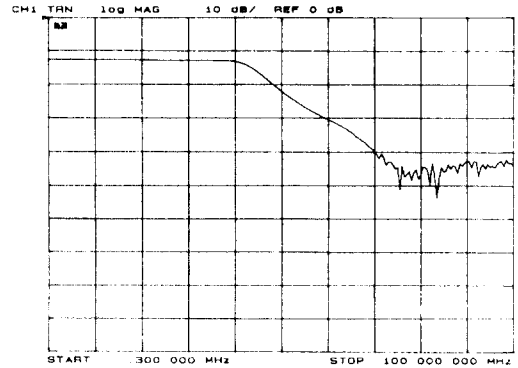


그림 7. 전류모드 3차 저역필터 크기특성 측정 결과
Fig. 7. Testing results of the magnitude of the current-mode third-order lowpass filter

데 이러한 이유는 측정시 발생한 오차와 함께 칩 제작과정시 잡음등의 영향으로 전류값 변동을 조래하여 주파수 특성의 변화를 일으킨 것으로 생각된다.

V. 결 론

본 논문에서는 저전압, 저전력 아날로그 집적회로 설계방식으로 주목받고 있는 전류모드 회로방식을 이용하여 새로운 구조를 갖는 전류모드 적분기를 제안하고 이를 이용하여 전류모드 3차 능동 저역필터를 CMOS 칩으로 구현하였다.

제안된 전류모드 적분기는 Zelig등에 의하여 설계되어 전류모드 회로에 폭넓게 응용되고 있는 기존 전류모드 적분기에 비하여 다음과 같은 특성이 개선되었다. 먼저 주파수 특성의 개선이다. 전류모드 적분기의 구조를 CMOS 상보형으로 설계하여 NMOS와 PMOS에서 트랜스컨덕턴스를 얻을 수 있게 함으로써 기존 전류모드 적분기에 비하여 두배에 가까운 트랜스컨덕턴스를 얻을 수 있었으며, 증가된 트랜스컨덕턴스에 의하여 단위이득 주파수가 확장되었다. 두 번째로 부하 구동능력의 개선되었는데 전류모드 회로의 부하구동 능력을 결정하는 출력 저항값이 기존 전류모드 적분기에 비하여 큰 값을 얻었다. 세 번째로, 전류모드 적분기를 자기 바이어스로 동작하도록 하여 여타의 전류모드 적분기들이 추가적으로 사용하는 바이어스 회로가 불필요하도록 하였다. 이 점은 회로

크기의 축소에 크게 도움이 될 수 있으며 전류모드 회로의 장점인 저전력 특성에 더욱 부합된다.

그리고 제안한 전류모드 적분기를 이용하여 전류모드 3차 능동 저역필터를 설계하고 1.2 μ m double-metal double-poly CMOS n-well 공정을 통하여 칩으로 제작하였으며 측정결과, 차단주파수가 44.5MHz(시뮬레이션:50MHz), 소비전력이 3.3mW(시뮬레이션:3.6mW)의 측정값을 얻었다. 측정결과에서 다소의 오차가 발생하였으나 본 논문에서 제안된 전류모드 적분기가 저전압 및 고주파 특성을 가지는 아날로그 전류모드 능동필터의 기본 블록으로 사용될 수 있음을 보였다. 집적회로 제작시에 발생하는 특성 오차는 추후 지속적인 연구활동으로 해결하여야 할 과제이다.

참 고 문 헌

1. K. Martin and A. S. Sedra, "Effects of the op amp finite gain and bandwidth on the performance of switched-capacitor filters," *IEEE Trans. Circuits and Systems*, vol. CAS-28, no. 8, pp. 822-829, Aug. 1981.
2. D. J. Allstot and W. C. Black, "Technological design considerations for monolithic MOS switched-capacitor filtering systems," *Proc. IEEE*, vol. 71, no. 8, pp. 967-986, Aug. 1983.
3. G. M. Jacobs, D. J. Allstot, R. W. Brodersen, and P. R. Gray, "Design techniques for MOS switched capacitor ladder filters," *IEEE Trans. Circuits and Systems*, vol. CAS-25, pp. 1014-1021, Dec. 1978.
4. C. S. Park and R. Schaumann, "Design of a 4-MHz analog integrated CMOS transconductance-C bandpass filter," *IEEE J. Solid-State Circuits*, vol. 23, no. 4, pp. 987-996, Aug. 1988.
5. H. Khorramabadi and P. R. Gray, "High frequency CMOS continuous-time filters," *IEEE J. Solid-State Circuits*, vol. SC-19, no. 6, pp. 939-948, Dec. 1984.
6. T. S. Fiez and D. J. Allstot, "CMOS switched-current ladder filters," *IEEE J. Solid-State Circuits*, vol. 25, pp. 1360-1367, Dec. 1990.
7. T. S. Fiez and D. J. Allstot, "A CMOS switched-current filter technique," in *ISSCC Dig. Tech. Papers*, Feb. 1990, pp. 206, 207, 297.
8. J. Ramirez-Angulo, M. Robinson, and E. Sanchez-Sinencio, "Current-mode continuous-time filters: Two design approaches," *IEEE Trans. Circuits and Systems II: Analog and Digital Signal Processing*, vol. 39, no. 6, pp. 337-341, June 1992.
9. T. S. Fiez, G. Liang, and D. J. Allstot, "Switched-current circuit design issues," *IEEE J. Solid-State Circuits*, vol. 26, pp. 192-202, Mar. 1991.
10. R. H. Zele, S. S. Lee, D. J. Allstot, and G. Liang, "A continuous-time current-mode integrator," *IEEE Trans. Circuits and Systems*, vol. 38, pp. 1236-1238, Oct. 1991.
11. S. L. Smith, E. S-Sinencio, "3v High-Frequency Current-Mode Filter," in *Proc. IEEE ISCAS*, pp. 1459-1462. 1993.
12. R. H. Zele, D. J. Allstot, and T. S. Fiez, "Fully Balanced CMOS Current-Mode circuits," *IEEE J. Solid-State Circuits*, vol. 28, no. 5, pp. 569-574, May 1993.
13. R. H. Zele, S. S. Lee and D. J. Allstot, "A 3V-125 MHz CMOS Continuous-Time Filter" in *Proc. IEEE ISCAS*, pp. 1164-1167, 1993.
14. J. B. Hughes, N. C. Bird and I. C. Macbeth, "Switched Currents A New Technique for Analogue Sample-Data Signal Processing," in *Proc. IEEE ISCAS*, pp. 1584-1587, May 1989.
15. L. T. Bruton, "Low-sensitivity digital ladder filters," *IEEE Trans. Circuits and System*, vol. CAS-22, no. 3, pp. 168-176, Mar. 1975.



방 준 호(Jun Ho Bang) 정회원
 1966년 9월 28일생
 1989년: 전북대학교 공과대학 전기공학과(공학사)
 1991년: 전북대학교 대학원 전기공학과(공학석사)
 1996년 2월: 전북대학교 대학원 전기공학과(회로 및 제어전공, 공학박사)

※주관심분야: 아날로그 및 혼합모드 집적회로설계



조 성 익(Seong Ik Cho) 정회원

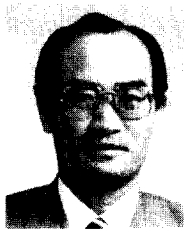
1961년 2월 10일생

1987년: 전북대학교 공과대학 전기
기공학과(공학사)

1989년: 전북대학교 대학원 전기
공학과(공학석사)

1994년 2월: 전북대학교 대학원
(공학박사)

※주관심분야: 아날로그 및 혼합모드 집적회로설계



김 동 용(Dong Yong Kim) 평생회원

1945년 7월 31일생

1985년: University of Manitoba,
CANADA, 공학박사

1989년~1990년: UNDP 연구교
수(일본동경공
업대학교)

1990년~1992년: 대한전자공학회
전북지부장

1991년~1992년: 한국통신학회 통신회로 및 부품연구
회 전문위원장

1991년~1992년: 한국산업기술진흥협회 IR52 장영실
상 전문분과 위원

1991년~1994년: 과학기술처 연구전산망 심의위원

1992년~현재: An International Journal "AICSP" 한
국대표 Editor

1992년~현재: 한국과학재단 한일기초과학교류 위원
회 전문위원

1992년~현재: 한국센서학회 이사

1992년~현재: 전북대학교 전기전자회로합성연구소
(교육부범정연구소) 소장

1993년~현재: IEEE 호남지부장

현재: 전북대학교 전기전자제어공학부 교수

※주관심분야: 회로망이론, 아날로그 능동필터설계,
아날로그 및 혼합모드 집적회로설계