

# 고속 행렬 전치를 위한 효율적인 VLSI 구조

正會員 金 堅 洙\*, 張 淳 華\*, 金 在 浩\*\*, 孫 慶 植\*\*

## An efficient VLSI architecture for high speed matrix transposition

Kyeounsoo Kim\*, Soon Hwa Jang\*, Jae Ho Kim\*\*, Kyung Sik Son\*\* *Regular Members*

### 요 약

본 논문은 행렬 전치를 고속으로 처리하기 위한 효율적인 VLSI 구조를 제시한다.  $N \times N$  행렬을 전치하는 경우,  $N^2$ 개의 전치 셀이 규칙적이고 정방형 구조를 가지며, 각 전치 셀들이 병렬로 동작하도록 파이프라인으로 구성된다. 전치 셀은 레지스터와 입력 데이터를 선택하기 위한 선택기로 구성된다. 본 구조의 특징은 전치 회로로 입력되는 데이터를 여러 개의 비트들의 묶음으로 분할하여 순차적으로 처리하는 것이다. 분할된 입력 데이터를 순차적으로 처리함으로써, 전치 셀의 하드웨어 복잡도가 줄어들고, 인접 전치 셀 사이의 배선이 단순하게 된다. 제안된 구조는  $0.5 \mu\text{m}$  VLSI 라이브러리를 이용하여 설계 및 구현되었다. 그 결과, 200 MHz에서 안정적으로 동작하였으며, 기존의 구조들에 비해서 하드웨어 복잡도가 줄었다.

### ABSTRACT

This paper presents an efficient VLSI architecture for transposing matrix in high speed. In the case of transposing  $N \times N$  matrix,  $N^2$  numbers of transposition cells are configured as regular and square shaped structure, and pipeline structure for operating each transposition cell in parallel. Transposition cell consists of register and input data selector. The characteristic of this architecture is that the data to be transposed are divided into several bundles of bits, then processed serially. Using the serial transposition of divided input data, hardware complexity of transposition cell can be reduced, and routing between adjacent transposition cells can be simple. The proposed architecture is designed and implemented with  $0.5 \mu\text{m}$  VLSI library. As a result, it shows stable operation in 200 MHz and less hardware complexity than conventional architectures.

### I. 서 론

다차원 변환 알고리즘은 대부분 가분성(separability)을 이용하는데, 1차원 변환과 행렬 전치를 번갈아 수행하는 연산 구조를 갖는다. 그 중 행렬 전치 회로는 하드웨어나 VLSI 구현 시 1차원 변환에 못지않은 복잡도와 처리 속도가 요구된다.

\*한국통신 연구개발본부 전송기술연구소  
\*\*부산대학교 전자공학과  
論文番號:96367-1118  
接受日字:1996年 11月 18日

전치 회로는 크게 입출력 데이터 포트와 어드레스를 갖는 SRAM과 같은 메모리 소자를 이용한 방법 [1-3]과 레지스터로 전치 네트워크를 구성하여 파이프라인으로 동작시키는 방법[8-12]으로 나눌 수 있다. SRAM을 이용하는 방법은 어드레스 발생 회로 및 제어 회로만 추가하면 되므로 설계가 간결해지나 동작 속도가 SRAM의 접근 시간(access time)에 좌우된다. 반면에 레지스터 네트워크로 구성할 경우 동작 속도는 레지스터에서 레지스터로의 데이터 전달 지연에만 의존한다. 통상 SRAM의 접근 시간 보다는 레지스터에서 레지스터로의 데이터 전달 시간이 수백~수십 배 빠르기 때문에, 동작 속도가 중요시되는 경우, 레지스터 네트워크로 구성하는 것이 유리하다.

본 논문에서는 레지스터 네트워크로 행렬 전치 회로를 구성함에 있어서, 복잡도를 줄이고 배선을 간략화 하기 위한 구조를 제시한다. 본 논문에서 제시하는 구조의 특징은 전치 회로로 입력되는 데이터를 여러 개의 비트들의 묶음으로 분할하여 순차적으로 처리하는 것이다. 이와 같이 함으로써 인접 전치 셀들 사이의 배선과 전치 셀 내부의 스위치에 대한 비트 폭을 약 1/N로 줄일 수 있다. 또한 2차원으로 배열된 전치 셀들 사이의 배선 채널은 행(열)으로만 형성시키고 열(행)로는 최대한 근접시켜 VLSI 구현 시 실리콘 면적을 최대한 줄이도록 하였다. 이러한 배선의 단순화는 특히 배선에 의한 실리콘 면적의 증가와 전달 지연이 중요시되는 서브-마이크론 급 반도체 공정 기술에서 유용하다.

본 구조는 상용 ASIC 라이브러리를 이용하여 설계 및 구현되었으며, 배치 및 배선을 수행하여 O'Leary [10], Carlach[11], Panchanathan[12] 등이 제시한 방법과 비교하였다.

## II. 기존 방법에 대한 고찰

행렬 전치를 수행하는 알고리즘과 구조는 컴퓨터 상에서 수행하는 것과 직접 하드웨어로 구현하는 것으로 나누어진다. 컴퓨터 상에서 수행되는 알고리즘은 이전 1차원 연산이 수행된 중간 결과를 외부 저장 매체(disk 등)에 저장하였다가 전치된 순서로 읽어내어 다음 1차원 연산의 입력 데이터로 사용하는 방법인데, 다차원 변환을 수행할 때 처리 속도에 심각한

영향을 주는 것은 외부 저장 매체에 데이터를 쓰거나 읽는데 걸리는 시간이다. 따라서 Bowel, Eklundh, Lim, Portnoff 등은 컴퓨터 상에서 다차원 변환을 고속으로 연산하고자 할 때 외부 저장 매체로의 입출력 동작 횟수를 줄여서 고속 및 효과적인 행렬 전치를 수행하는 알고리즘을 제시하였다. 이 알고리즘들은 컴퓨터 상에서의 고속 행렬 전치 알고리즘들이며 실시간 처리를 위한 하드웨어 구조에 관한 것은 아니다 [4-7].

행렬 전치를 하드웨어로 구현하는 방법은 다시 SRAM과 같은 메모리 소자를 이용하는 방법과 레지스터를 이용하여 네트워크를 구성하는 방법으로 나누어진다. Rao, Sun, Uramoto 등은 2차원 DCT의 행렬 전치를 위해서 SRAM을 이용하였다[1-3]. 특히 Uramoto 등은 0.8 마이크론의 공정 기술을 이용하여 100 MHz로 동작하는 2차원 DCT 코어를 구현하였다. 그러나 행렬 전치에 상용 ASIC 라이브러리에서 제공하는 SRAM을 사용할 경우에는 SRAM 접근 시간의 제한 때문에 고속 동작이 어렵다. 실제 VTI 0.5-마이크론, 표준 셀(standard cell) 라이브러리에서 제공하는 비 동기식

표 1. 비 동기식 SRAM의 W/C 타이밍  
Table 1. Worst case Timings for asynchronous SRAM (V<sub>dd</sub> = 2.7V, Temp. = 70°C, Process = Worst)

	Simulation Results	Computation Results[13]
Delay Factor	1.7068	1.75348
$\Delta W_{eb}$	10 ns	10 ns
$\Delta a_{ddout}$	13.71 ns	14.16 ns

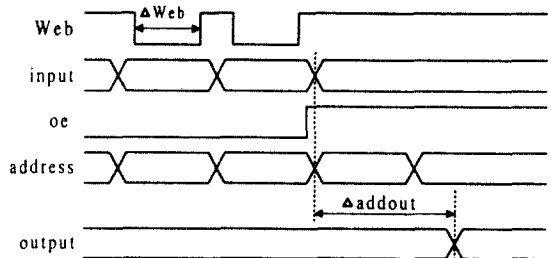


그림 1. 비 동기식 SRAM의 동작 타이밍 다이어그램  
Fig. 1. Operation timing diagram for asynchronous SRAM

SRAM의 경우, 표 1과 같은 최악 경우(W/C: Worst Case)의 타이밍을 가진다. 표 1은 W/C에, Compass CAD 툴을 이용하여 시뮬레이션 결과와 [13]에 제시된 데이터로 계산한 결과를 비교한 것이다. 표 1에 나타난 신호 및 지연 시간은 그림 1의 타이밍 다이어그램에 정의되어있다. 표 1에 나타난 바와 같이 실제로는 10 ns 이상의 접근 시간이 필요하기 때문에, SRAM을 이용한 방법은 100 MHz 이상의 고속 행렬 전치를 필요로 할 경우에 이용하기 어렵다.

Atallah, Ullman, 그리고 O'Leary 등은 전치 프로세서가 그물(mesh) 형태의 시스톨릭 어레이로 연결된 전치 회로를 제안하였다. 그물 구조에서 전치 셀들은 그림 2의 (a)와 같은 연결 구조를 갖는다. 전치 셀의 내부는 두개의 스위치로 구성되며 전치 셀과 전치 셀의 사이에 제어 신호를 저장하는 1비트 버퍼가 있다 [8-10]. 이 구조는 데이터 라인에 파이프라인 레지스터를 두면 고속으로 행렬 전치를 수행할 수 있는 구조이나, 이 경우에는 트랜지스터 수가 너무 증가하여 비효율적이다. 반면에 레지스터를 줄여서 트랜지스터 수를 감소시키면, 10 ns 이상의 지연을 가지므로 100 MHz 이상의 고속 동작이 어려운 단점이 있다. Carlach 등은 그림 2의 (b)와 같이 레지스터와 스위치로 구성된 전치 셀들을 서로 나비 모양(butterfly)으로 연결하여 레지스터의 갯수를 줄인 전치 회로를 제안하였다[11]. 이 구조들은 트랜지스터 수는 감소시켰지만 인접 전치 셀 사이의 연결, 제어 및 프로세서 설계가 복잡하다는 단점이 있다. Panchanathan은 레지스터 네트워크의 배선 복잡성을 개선하고 범용으로 행렬

전치를 수행 할 수 있는 구조를 제안하였다[12]. 이 구조는 그림 2의 (c)와 같이 코너-턴(corner-turn) 구조로 구성되며, 병렬 입력의 경우에는 인접한 전치셀 사이의 배선이 비교적 간단하나 순차 입력의 경우에는 대각선 방향으로 배선해야 하므로 비효율적이다. 그러나 구조가 비교적 간단하고 규칙적이어서, Carlach가 제안한 구조에 비해서 트랜지스터 수는 많지만 실제 실리콘 면적은 줄어든다.

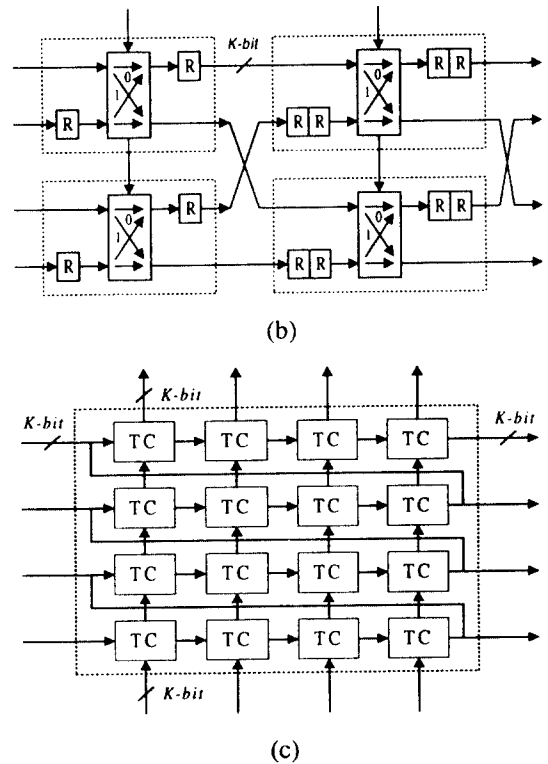
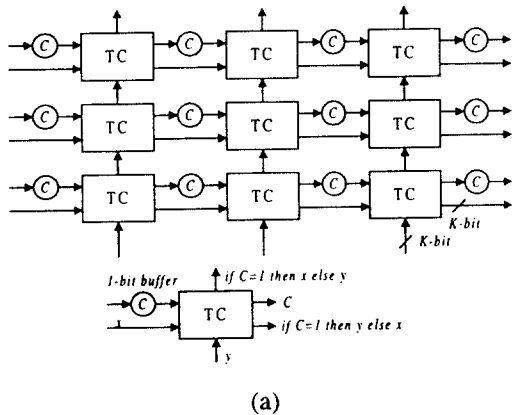


그림 2. 기존의 행렬 전치 회로 구조

- (a) 그물형으로 연결된 시스톨릭 어레이 구조
- (b) 나비형으로 연결된 레지스터 네트워크 구조
- (c) 코너-턴형으로 연결된 레지스터 네트워크 구조

Fig. 2. Existing architectures for matrix transposition

- (a) Systolic array structure connected with mesh type
- (b) Register network structure connected with butterfly type
- (c) Register network structure connected with corner-turn type

### III. 제안한 행렬 전치 회로의 구조

#### 1. 2차원 변환에서 전치 회로의 입출력 인터페이스

본 논문에서 제시하는 전치 구조는 1차원 변환기가 행렬-벡터의 곱셈으로 연산되어 행 혹은 열 단위로 데이터가 출력되는 경우에 적용된다.  $N \times N$  입력 벡터를 2차원 변환하기 위해서는 먼저  $N \times 1$  입력 벡터를  $N$  차례에 걸쳐서 첫번째 1차원 변환기에 입력시키면  $N \times 1$  출력 벡터가  $N$  차례에 걸쳐서 출력된다. 이때 출력되는  $N \times 1$  벡터 사이에는  $N$  클럭의 간격이 있으며, 이는 벡터의 입력과 행렬-벡터 곱셈 연산을  $N$ 개의 데이터로 구성된 행 혹은 열 단위로 수행하기 때문이다. 이렇게 출력된 벡터들의 각 데이터들을  $D$ -비트로 분할하여  $N$ 번에 걸쳐서 전치 회로에 입력된다. 여기서  $D$ 는  $K/N$ 를 소숫점 이하를 올림하여 얻어

진다. 예를 들어  $K=16$  비트이고  $N=8$ 인 경우,  $D=K/N=2$ 가 되며, 2-비트씩 8회에 걸쳐 입력된다. 만약  $N=8$ 이고  $K=14$  비트이면  $D=2$ 가 되는데, 8회 중 마지막으로 입력되는 2비트는 더미(dummy) 비트가 된다.

$D$ -비트씩 순차적으로 입력된 데이터는 본 전치 회로를 거쳐 전치가 완료된 후  $D$ -비트씩 출력되거나 혹은  $K$ -비트씩 출력되며, 전치된  $1 \times N$  1차원 변환 결과는 다음 1차원 변환기로 입력된다. 여기서 출력 비트 수는 다음 1차원 변환의 입력 형태에 따라서 결정된다. 전치 회로로 입력된 데이터는  $N^2$  클럭만에 입력이 완료되며, 이는 통상  $N \times N$  벡터를 1차원 변환하는데 필요한 클럭에 해당한다. 또한 입력 데이터는  $N^2$  클럭 동안 다음 1차원 변환기로 출력된다. 그림 3은 이 과정을  $4 \times 4$  변환의 예를 들어 설명한 것이다. 여기서 1차원 변환 후 결과 데이터의 비트 폭,  $K$ 는 8

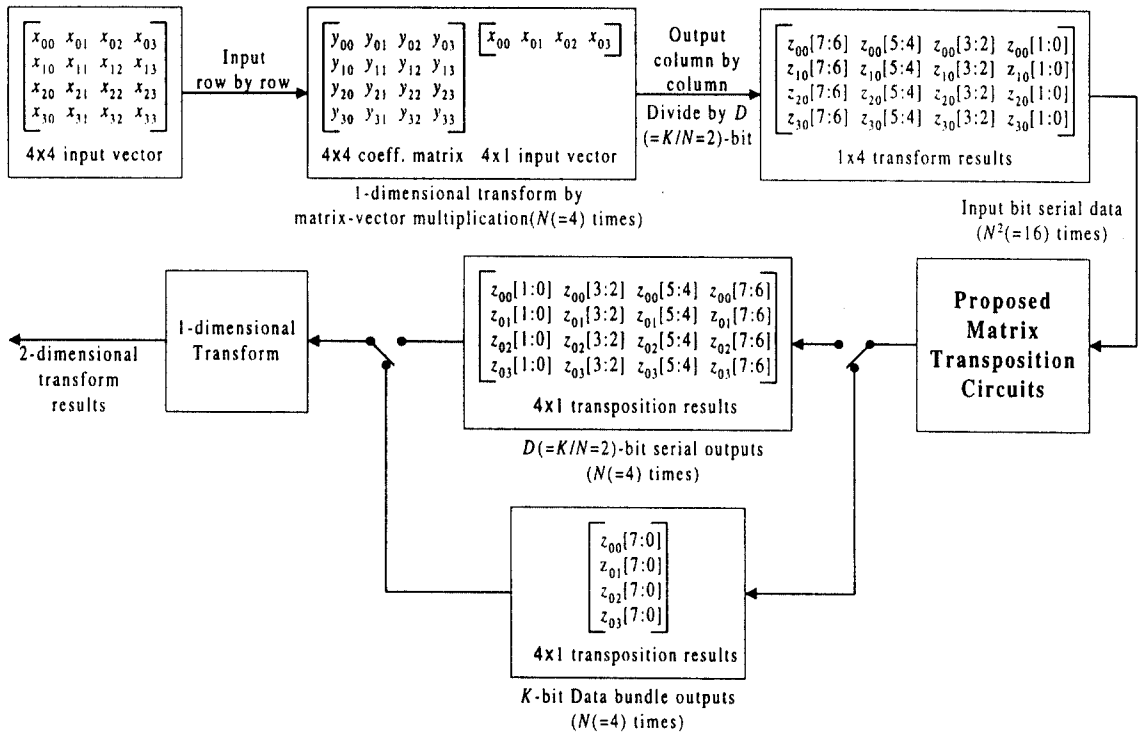


그림 3. 2차원 변환에서의 행렬 전치를 위한 입출력 동작 ( $N=4, K=8, D=2$ )

Fig. 3. Input/output operation for matrix transposing in 2-dimensional transform ( $N=4, K=8, D=2$ )

로 가정 하였다.

$N \times N$  행렬에 대한 비트 시리얼 전치기의 입력은  $K$ -비트로 된  $N$ 개의 데이터가  $N$ 사이클을 주기로  $N$ 회 반복하여 입력되므로, 행렬-벡터 곱셈기의 출력 레지스터를  $D$ -비트 쉬프트 레지스터로 대체하여 입력 인터페이스를 구성할 수 있다. 그리고 출력은 다음 행렬-벡터 곱셈기의 입력이나 최종 행렬 곱셈의 결과를 출력하는 형태에 따라서 비트 시리얼 혹은  $K$ -비트 워드로 묶어서 병렬로 출력할 수도 있고, PISO(Parallel In Serial Out)를 거쳐 순차적으로 출력할 수도 있다. 비트 시리얼 전치기의 입출력 인터페이스는 그림 4와 같이 간단하게 구성될 수 있으며, 입출력 조건에 따라 쉽게 가변적으로 구성 할 수 있다.

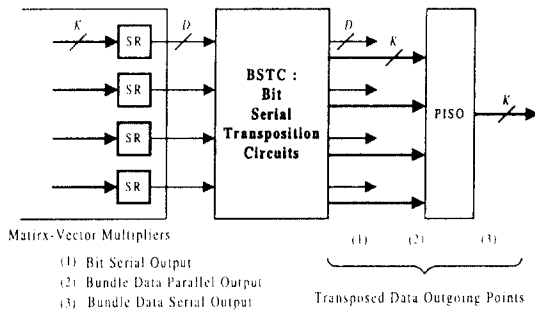


그림 4. 비트 시리얼 전치 회로의 입,출력 인터페이스 블럭 다이어그램  
Fig. 4. Input/output interface block diagram of the bit serial transposition circuits

### 2. 비트 시리얼 전치 구조

본 구조에서 사용되는 전치 셀의 구조는 그림 5와 같다. 입력은  $D$ -비트 크기를 갖는  $in_0$ 과  $in_1$ 이며, 이들 중 한 개를 선택하기 위한 제어 신호,  $control$ 이 있다. 출력은 동일한 결과를 인접한 두개의 전치 셀에 보내기 위해 2개를 갖는 구조로 되어있다. 내부에는  $D$ -비트 폭의 데이터가  $N$ 개 직렬로 연결되어 있다. 이 전치 셀은  $K$ -비트의 묶음 데이터를 입력으로 사용하는 전치 셀과 비교할 때, 레지스터의 수는 같지만 입력 단의 선택기는  $K$ -비트에서  $D$ -비트로 줄어든다.

행렬-벡터 곱셈기의 출력은 쉬프트 레지스터에 의해  $D$ -비트씩  $N$ 클럭 동안 전치 회로로 입력된다. 행렬-벡터 곱셈기의 출력이 8비트이고  $4 \times 4$  행렬을 전치

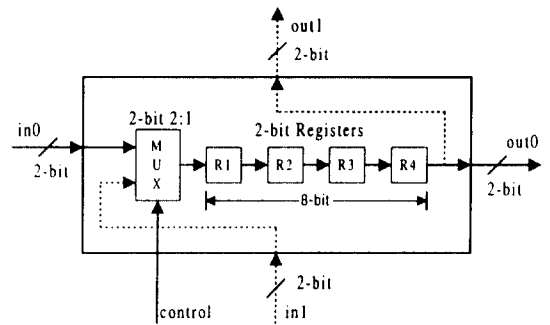


그림 5. 비트 시리얼 전치 셀의 구조( $N=4, K=8, D=2$ )  
Fig. 5. Architecture of bit serial transposition cell ( $N=4, K=8, D=2$ )

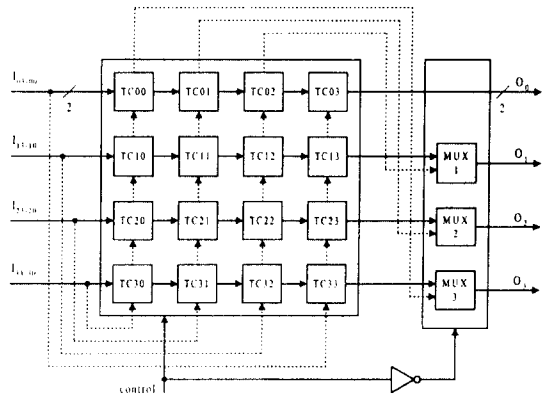


그림 6. 비트 시리얼 전치 회로의 구조( $N=4, K=8, D=2$ )  
Fig. 6. Architecture of bit serial transposition circuits( $N=4, K=8, D=2$ )

하는 경우에 2 비트 시리얼 전치기가 되며 그림 6과 같은 구조이다. 여기서 선택기 제어 신호,  $control$ 은 각 셀 들에 공통으로 분배된다. 2 비트 시리얼 전치기는 16개의 전치 셀과 3개의 멀티플렉서로 구성된다. TC03의 데이터는 MUX를 거치지 않고 직접 출력되며, MUX1~MUX3은 TC00~TC02의 수직 방향 출력 데이터와 TC13~TC33의 수평 방향 출력 데이터를 선택한다.

그림 6의 전치 구조에서 전치된 데이터를 비트 시리얼로 출력하려면 각 전치 셀들을 그림 5와 같이 구성하면 되나, 묶음 데이터(Bundle Data)으로 출력하려면 그림 7과 같이 최종 출력 단에 연결된 각 전치 셀 내의 각 레지스터 출력 데이터 선을 묶어주면 된

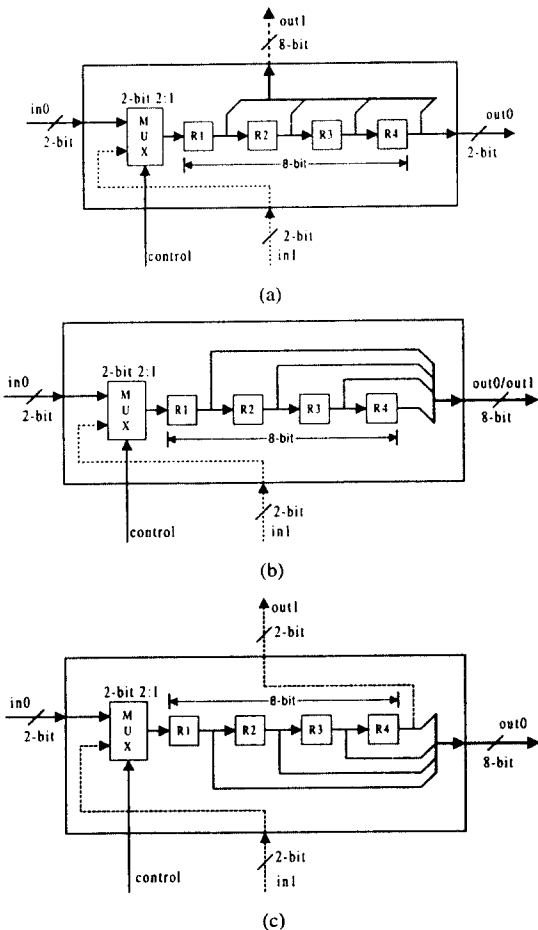
다. TC00~TC02는 그림 7의 (a)와 같은 구조를 가진다. 수평 방향으로로는 비트 시리얼 처리를 계속하고 수직 방향으로로는  $N(=8)$  클럭마다  $K$ -비트(8 비트)의 데이터가 출력된다. TC03은 그림 7의 (b)와 같이 구성되며 단지 하나의 출력만 가지도록 한다. TC13~TC33은 그림 7의 (c)와 같은 구조를 가지며, TC00~TC02와 대칭되는 구조이다. 즉, 수직 방향으로로는 비트 시리얼 처리를 계속하고 수평 방향으로로는  $N(=8)$  클럭마다  $K$ -비트(8 비트)의 데이터가 출력된다.  $K$ -비트의 MUX는 TC00~TC02에서 출력되는 수직 방향의 묶음 데이터 결과와 TC13~TC33에서 출력되는 수평 방향의 묶음 데이터 결과를 선택하여 최종 전치된 데이터를 출력한다.

그림 7. 묶음 데이터 출력 인터페이스를 위한 전치 셀의 구조( $N=4, K=8, D=2$ )

- (a) 묶음 데이터 출력을 위한 TC00~TC02 전치 셀 구조
- (b) 묶음 데이터 출력을 위한 TC03 전치 셀 구조
- (c) 묶음 데이터 출력을 위한 TC13~TC33 전치 셀 구조

Fig. 7. Architecture of transposition cell for interfacing bundle data output( $N=4, K=8, D=2$ )

- (a) Architecture of TC00~TC02 transposition cells for bundle data output
- (b) Architecture of TC03 transposition cell for bundle data output
- (c) Architecture of TC13~TC33 transposition cells for bundle data output



비트 시리얼과 묶음 데이터 출력은 동일한 전치 구조에 의해서 수행되며 전치 동작도 마찬가지로이다.  $D$ -비트( $=2$ )씩 시리얼로 입력되는 데이터는 실선과 점선으로 나누어 동시에 입력된다. Control 신호는 내부 전치 셀이 처음  $N^2(=16)$ 개 클럭 동안은 실선의 데이터를 선택하고 다음 16개 클럭 동안은 점선의 데이터를 선택하도록 생성된다. Control 신호가 실선을 선택하고 있는 동안의 처음  $N(=4)$  클럭 동안은  $TCi_0, i=0, 1, \dots, N$ 의 셀에 있는  $N$ 개의 레지스터가 채워지며, 이후  $TCi_1, TCi_2, TCi_3$ 의 순서대로  $N^2(=16)$ 동안 모든 전치 셀의 레지스터가 채워진다. 점선을 선택하고 있는 동안에는 이전에 입력되었던 데이터를  $TC0_i, TC1_i, TC2_i, TC3_i$ 의 순서로 수직 방향으로 출력하면서, 동시에  $TC3_i, TC2_i, TC1_i, TC0_i$ 의 순으로 새로운 데이터를  $D$ -비트씩 전치 셀의 레지스터에 채운다. 출력의 선택을 위한 출력 멀티플렉서도 같은 형태로 선택되며, 결국 16클럭의 초기 클럭 지연이 지난 후에 전치 결과가 출력되기 시작한다. 이와 같은 동작을 타이밍도로 표시한 것이 그림 8이다.

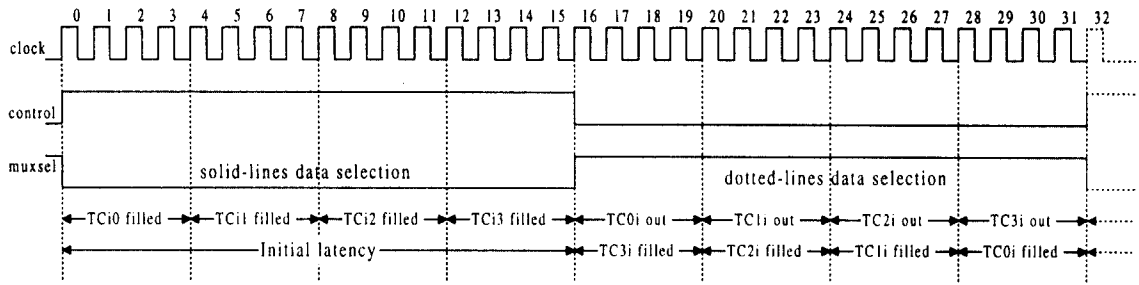


그림 8. 2 비트 시리얼 전치 회로의 동작( $N=4, K=8, D=2$ )

Fig. 8. Operations of two bits serial transposition circuits ( $N=4, K=8, D=2$ )

#### IV. 구현 결과 및 분석

디지털 시스템을 설계할 때, 설계한 시스템의 성능은 보통 최장 경로 지연(critical path delay)에서 데이터를 처리할 수 있는 최고 동작 속도로 측정될 수 있다[4]. 본 구조의 최장 경로 지연은 멀티플렉서와 레지스터를 통해서 데이터가 전송되는데 소요되는 시간이다. 제안된 전치 회로의 성능은 데이터가  $D$ -비트 2 입력 멀티플렉서와 레지스터를 통과하는데 걸리는 시간이며, 이는 배선으로 인한 지연과 클럭 skew를 감안해도 5 ns 이내에 안정적으로 동작할 수 있다.

본 논문에서는 O'Leary[10], Carlach[11] 등, 그리고 Panchanathan[12] 이 제안한 행렬 전치 회로와 비트 시리얼 전치 회로의 하드웨어 복잡도를 비교하였다.

표 2에서 O'Leary가 제안한 구조는 비교적 하드웨어 복잡도가 줄어든 구조이나, 입력 데이터가 행렬 전치 회로로 들어온 후 전치된 데이터가 출력될 때까지 데이터 라인에 대한 파이프라인 레지스터가 없으

므로 레지스터와 레지스터간의 지연이 너무 길다. 그리고 Carlach가 제안한 구조는 트랜지스터 수는 비교적 적지만 레지스터 네트워크가 복잡하여 행렬 전치 회로의 코어 면적이 Panchanathan이 제안한 구조 및 본 논문에서 제안한 구조에 비해서 크게 나타났다. 이와 같은 현상은 서브-마이크론 공정 기술을 이용할수록 더욱더 두드러지게 나타나므로, 트랜지스터 수에 못지않게 규칙적이고 간략한 라우팅을 가지는 하드웨어 구조가 VLSI 구조에 적합함을 의미한다. 그리고 보통 경우(T/C: Typical Case)와 W/C에 대한 최장 경로 지연을 기존의 구조와 비교한 결과 짧게 나타났다.

Panchanathan이 제안한 코너-턴 형식의 구조는 대각선 방향의 라우팅을 가지므로 레이아웃시에 라우팅이 비효율적이다. 그러나 제안된 구조는 전치 셀간의 직접적인 연결을 도모하므로 라우팅이 간편하다. 본 논문에서 제안한 비트 시리얼 전치 회로는 라우팅 시 인접 전치 셀과의 1:1 대응이 가능하므로  $N$ 개의 행 혹은 열에 대한 라우팅 채널을 없앨 수 있다.

표 2. 기존의 행렬 전치 구조와 제안한 구조의 하드웨어 복잡도 및 동작 속도 비교( $N=8, K=16, D=2$ )

Table 2. Hardware complexity and operating speed comparisons between the existing matrix transposition architectures and the proposed architecture( $N=8, K=16, D=2$ )

	O'Leary[10]	Carlach et. al[11]	Panchanathan[12]	Proposed
Number of Transistors	32.8 K Tr.	29.3 K Tr.	44 K Tr.	27 K Tr.
Core size[mm]	1.47 × 1.01	2.04 × 0.83	1.58 × 0.94	1.21 × 0.66
Critical Path Delay(T/C)	8.97 ns	2.54 ns	2.86 ns	2.27 ns
Critical Path Delay(W/C)	13.82 ns	4.17 ns	4.71 ns	3.61 ns

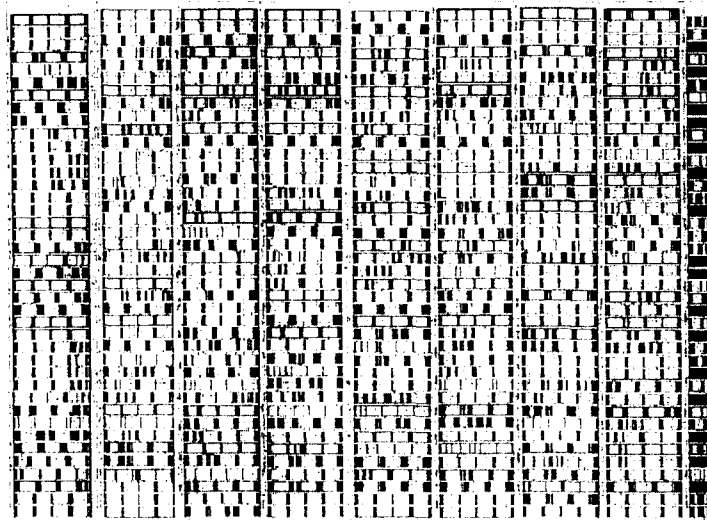


그림 9. 비트 시리얼 전치 회로의 배선 및 평면도( $N=8, K=16, D=2$ )

Fig. 9. Routing and floorplan of the bit serial transposition circuit( $N=8, K=16, D=2$ )

그림 9는 본 논문에서 제안한 비트 시리얼 전치 셀 간의 배선 및 평면도이다. 이는 8비트,  $8 \times 8$  행렬에 대한 것으로 상,하,좌,우, 그리고 세로로 9개의 채널을 형성하며 각 셀들을 상,하로 직접 배선한 것이다. 따라서 제안된 구조는 배선의 교차가 없고 인접 셀들 사이에만 배선하므로 배선에 소요되는 면적을 최소로 줄일 수 있다.

제안된 구조를 VTI(VLSI Technology Inc.)에서 제공하는  $0.5 \mu\text{m}$  표준 셀(standard cell), 3.3 V, TLM (Triple Layer Metal) 라이브러리와 Compass Chip Compiler를 이용하여 레이아웃한 결과 16 비트  $8 \times 8$  행렬에 대한 전치 회로에 대해 27K개의 트랜지스터가 소요되었으며, 1.21 (0.66 mm)의 실리콘 면적을 차지하였다. 또한 2입력 멀티플렉서와 레지스터에 의한 전달 지연은 최악 경우에 3.61 ns가 되어 200 MHz에서도 안정적으로 동작함을 확인하였다.

## V. 결 론

본 논문에서 비트 시리얼 전치 셀들을 이용한 고속 전치 회로의 효율적인 VLSI 구조가 제시되었다. 제시된 구조는 전치 회로로 입력되는 데이터를 여러 비트들의 묶음으로 분할하여 처리함으로써, 전치 셀의

복잡도를 줄이고, 인접 전치 셀 사이의 배선을 단순화 하였다. 이는 VLSI로 구현하기에 적합한 구조이며, 최장 경로가 2입력 멀티플렉서와 레지스터로 간략화 되어 200 MHz 이상의 고속 동작이 가능하였다. 따라서 제안한 전치 회로는 200 MHz 이상의 고속 2차원 변환기에 적용 가능하며, 다차원 변환에 확장시켜 적용할 수 있다.

## 참 고 문 헌

1. S. K. Rao, "The Matrix Transform Chip," *Proceedings of 1989 IEEE International Conference on Computer Design: VLSI in computers & processors*, pp. 86-89, Oct. 1989.
2. M. T. Sun, T. C. Chen, and A. M. Gottlieb, "VLSI Implementation of a  $16 \times 16$  Discrete Cosine Transform Chip," *IEEE Trans. Circuits and Syst.*, pp. 610-617, April 1989.
3. Shin-ichi Uramoto et al., "A 100-MHz 2-D Discrete Cosine Transform Core Processor," *IEEE J. of Solid-State Circuits*, Vol.27, No.4, pp. 492-499, APRIL 1992.
4. B. A. Bowen, and W.R. Brown, *Systems design*.



Vol. II. Prentice-Hall Inc., 1985.

5. J. O. Eklundh, "A Fast Computer Method for Matrix Transposing," *IEEE Trans. On Computers*, VOL. C-21, NO.7, pp.801-803, July 1972.
6. J. S. Lim, *Two-Dimensional Signal and Image Processing*. Englewood Cliffs, NJ:Prentice Hall, 1990.
7. M. R. Portnoff, "An Efficient Method for Transposing Large Matrices and Its Application to Separable Processing of Two-Dimensional Signals," *IEEE Trans. On Image Processing*, VOL. 2, NO. 1, pp. 122-124, Jan. 1993.
8. M. J. Atallah and S. R. Kosaraju, "Graph problems on a mesh connected processor array," *Proceedings 14th Annual ACM Symp. Theory Comput.*, pp.345-353, 1982.
9. J. D. Ullman, *Computational Aspects of VLSI*. Rockville, MD: Computer Science, 1984.
10. D. P. O'Leary, "Systolic Arrays for Matrix Transpose and Other Reorderings," *IEEE Trans. On Computers*, VOL. C-36, NO. 1, pp. 117-122, Jan. 1987.
11. J. C. Carlach, P. Penard, and J. L. Sicre, "TCAD: a 27 MHz  $8 \times 8$  Discrete Cosine Transform Chip," *proceedings ICASSP'89*, pp. 2429-2432, 1989.
12. S. Panchanathan, "Universal architecture for matrix transposition," *IEE Proceedings-E*, vol.139, No. 5, pp. 387-392, Sept 1992.
13. "0.5-micron HDI 3 V core cell-based libraries," VLSI Technology, Inc., Sept. 1995.



김 견 수(Kyeounsoo Kim) 정회원

1962년 11월 2일생

1996년 2월: 동아대학교 전자공학과 졸업(공학사)

1988년 8월: 부산대학교 산업대학원 전자공학전공(공학석사)

1997년 2월: 부산대학교 대학원

전자공학과 졸업(공학박사)

1990년 5월~현재: 한국통신 연구개발본부 전송기술연구소 전임연구원

※주관심분야: 영상부호화, VLSI 설계 등임



장 순 화(Soon Hwa Jang) 정회원

1963년 12월 8일생

1985년 2월: 연세대학교 전자공학과 졸업(공학사)

1987년 2월: 한국과학기술원 전기 및 전자공학과 졸업(공학석사)

1992년 2월: 한국과학기술원 전기

및 전자공학과 졸업(공학박사)

1992년~현재: 한국통신 연구개발본부 전송기술연구소 선임연구원

※주관심분야: 영상부호화, VLSI 설계

김 재 호(Jae Ho Kim)

정회원

통신학회지 제21권 5호 참조(1996년)

손 경 식(Kyung Sik Son)

정회원

통신학회지 제21권 5호 참조(1996년)