論文 96-21-12-21

고정밀 MOSFET 문턱전압 추출회로 설계

準會員 하 장 용* 正會員 전 석 희*, 박 종 태*, 유 종 근*

Design of a High-Precision MOSFET Threshold Voltage Extractor

Jang-Yong Ha*, Seok-Hee Jeon*, Jong-Tae Park*, Chong-Gun Yu* *Regular Members*

※본 연구는 '95년도 교육부 반도체분야 학술연구조성비(ISRC 95-E-2025)에 의하여 연구되었음.

요 약

하나의 추출대상 MOSFET만을 사용하여 문턱전압을 추출하는 방법을 제안하였다. 기존의 다른 방법들에 비해 제안된 방법은 단 하나의 추출대상 MOSFET만을 사용하기 때문에 MOSFET의 매칭에 영향을 받지 않는다. 또한 회로구성에 필요한 다른 디바이스들의 매칭에도 영향을 받지 않도록 설계하였다. 주요 구성회로인 스위치드-커패시터 감산 증폭회로와 다이나믹 전류복사회로의 정확도를 저해하는 여러 에러요인들, 즉 증폭기의 옵셋전압 및 유한한 전압이득, 커패시터간의 매칭오차, 그리고 MOS 스위치에서의 전하주입 등을 분석하고 보상하였다. 이들 회로를 ISRC 1.5μm CMOS process parameter를 이용하여 설계하고 서울대 반도체 공동연구소에서 IC제작을 하여 성능을 고찰하였다.

ABSTRACT

A threshold voltage extraction scheme which does not need matched replica of the MOSFET under test is proposed. In contrast to alternative methods, the accuracy of the proposed scheme does not depend on the matching of the test transistors. The proposed scheme has been implemented in a matching-free way using a switched-capacitor subtracting amplifier and a dynamic current mirror. Nonideal effects associated with these circuits, such as non-zero offset voltages and finite gains of op-amps, capacitor mismatches, and charge injection of MOS switches, are investigated and compensated. The circuit has been designed using ISRC 1.5μm CMOS process parameters and fabricated at Inter-University Semiconductor Research Center, and its performance has been evaluated.

*인천대학교 전자공학과
論文番號:96300-0914
接受日字:1996年 9月 14日

Ⅰ. 서 론

MOS 트랜지스터의 문턱전압(V_T)을 추출하기 위해 기존에 많이 사용되고 있는 방법으로는 수치해석 방법이 있다.[1] 이 방법은 추출대상 MOSFET에 여러 다른 V_{GS}를 가하고 이에 따른 I_{DS}값들을 측정한 다음, 측정값들에 linear regression을 적용하여 V_T를 계산한다. 이 수치해석 방법은 정확하기는 하나, 계산이 복잡하고 실시간 처리에 부적합하다.

따라서 최근에는 여러 실시간 V_T 추출방법들이 제안되고 집적회로로 구현되어 왔다. 그러나 이들 기존의 방법들[2]-[4]은 추출대상 MOSFET을 여러개 필요로 하므로 V_T 추출의 정확도는 이들 트랜지스터들의 매칭(matching)에 영향을 받는다. 이들 방법들은 측정대상 MOSFET 이외에 회로구성에 필요한 다른 디바이스들, 예를 들어 전류복사(current mirror) 회로의 구성 트랜지스터들이나 저항들의 매칭을 필요로 한다. 따라서 기존의 V_T 추출 방법들은 이들 디바이스들의 mismatch에 의해 정확도가 떨어진다. 또한 이 방법들은 여러 개의 측정대상 MOSFET이 필요하므로 많은 다른 크기를 갖는 MOSFET들의 V_T를 측정하는데는 부적합하다.

본 논문에서는 하나의 추출대상 MOSFET만을 사용하여 V_T를 추출하는 방법을 제안하고 집적회로로 구현하였다. 단 하나의 추출대상 MOSFET를 사용하기 때문에 이 방법은 MOSFET의 매칭에 영향을 받지 않는다. 또한 문턱전압을 추출하기 위해 단 하나의 추출대상 MOSFET만을 필요로 하기 때문에 다른 크기와 다른 바이어스 조건을 갖는 많은 트랜지스터들에 적용될 수 있다. 또한 회로 구성에 필요한 다른 디바이스들의 매칭에도 영향을 받지 않도록 matching-free 방식으로 회로를 설계하여 정확한 V_T를 추출할 수 있도록 하였다. 표 1은 기존의 V_T 추출방법과 본 논문에서 제안한 방법의 특성을 비교한 것이다.

Ⅱ. Matching-free V_T 추출 원리

본 논문에서 제안하고 있는 V_T 추출방법의 기본개념을 그림 1에 나타내었다. 그림에서 알 수 있듯이 이 방법은 스위치 S1과 S2를 사용하여 V_T 추출시 단지 하나의 MOSFET를 필요로 한다. 트랜지스터가 포화영역에서 동작하므로 전류 방정식은 다음과 같다.

$$K(V_{GS1}-V_T)^2 = I_{D1} \tag{1}$$

$$K(V_{GS2}-V_T)^2 = I_{D2} \tag{2}$$

여기서

$$I_{D2} = nI_{D1} \tag{3}$$

$$K = \frac{\mu C_{OX}}{2}\frac{W}{L} \tag{4}$$

이다. 단지 하나의 추출대상 트랜지스터를 사용하므로, 식 (1)과 (2)에서 K와 V_T는 값이 같다. 이 두 식으로부터 문턱전압 V_T는 다음과 같이 나타낼 수 있다.

$$V_T = \frac{1}{\sqrt{n}-1}\left(\sqrt{n}V_{GS1}-V_{GS2}\right) \tag{5}$$

표 1. V_T 추출방법들의 특성 비교

Table 1. Feature comparison of V_T extraction schemes

	필요한 추출 대상 Tr 수	Matching이 필요한 소자	다른 크기의 Tr에 적용가능성	다른 바이어스 조건에 적용 가능성	특 성
수치해석[1]	없다	없다	효율적	가능	정확하지만 실시간 처리에 부적합
Wang[2]	9	전류복사 Tr	비효율적	불가능	Tr 배열 사용
Tsividis[3]	3	전류복사 Tr	비효율적	불가능	Tr 일열배치 사용
Alini[4]	2	전류복사 Tr 및 저항	비효율적	가능	RICMOS로 구현
Lee[5]	없다	없다	효율적	가능	간단하지만 부정확
이 연구에서 제안한 방법	없다	없다	효율적	가능	다이나믹회로 사용

그림 1로부터 출력전압은

$$V_{out}=q(pV_{GS1}-V_{GS2}) \tag{6}$$

가된다. 만약 $p=\sqrt{n}$, $q=1/(\sqrt{n}-1)$이면 $V_{out}=V_T$가 된다. 따라서 n=4를 선택하면 p=2, q=1가되고 출력전압이 결국 추출대상 MOSFET의 문턱전압과 같게 된다.

$$V_{out}=2V_{GS1}-V_{GS2}=V_T \tag{7}$$

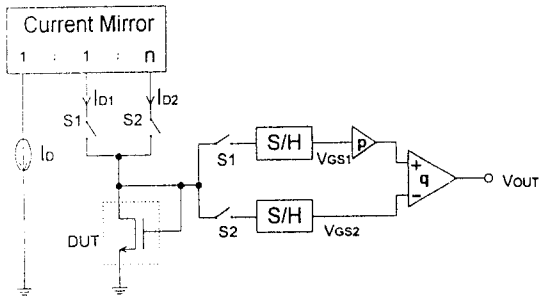


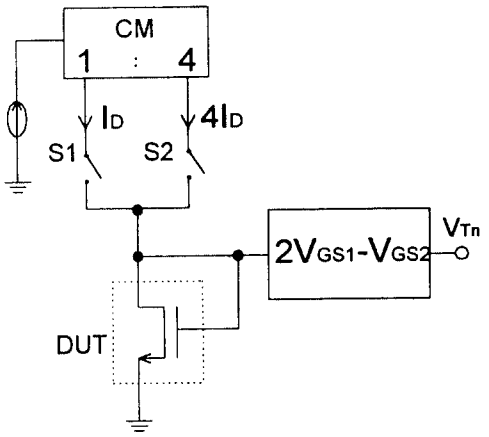
그림 1. 제안된 V_T 추출회로의 블럭도

Fig. 1 Conceptual schematic of the proposed V_T extraction scheme

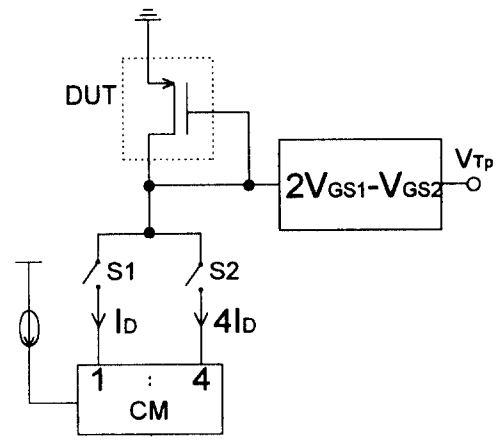
지금까지 기술한 방법은 NMOS 트랜지스터의 문턱전압 추출을 위한 것이나, PMOS 트랜지스터에도 쉽게 적용될 수 있다. NMOS의 문턱전압 V_{Tn}과 PMOS의 문턱전압 V_{Tp}를 추출하기 위한 회로 구성을 그림 2의 (a), (b)에 각각 나타내었다.

대부분의 모든 다른 방법과 마찬가지로 제안된 문턱전압 추출 방법 또한 MOS 트랜지스터가 포화영역에서 식 (1), (2)에서 주어진 제곱 법칙(square law)을 만족한다는 가정에 바탕을 두고 있다. 채널 길이변화(channel length modulation)와 이동도 감소(mobility degradation)효과를 고려하면 드레인 전류는 다음과 같이 나타낼 수 있다.

$$I_{DS}=\left[\frac{\mu_0}{1+\theta(V_{GS}-V_T)}\right]\left[\frac{1}{L(1-\lambda V_{DS})}\right] C_{OX}\frac{W}{L}(V_{GS}-V_T)^2 \tag{8}$$



(a)



(b)

그림 2. 문턱전압 추출을 위한 회로 구성 (a) NMOS의 문턱전압 V_{Tn}을 추출하기 위한 회로 (b) PMOS의 문턱전압 V_{Tp}을 추출하기 위한 회로

Fig. 2 Two configurations to extract threshold voltages (a) V_{Tn} for NMOSFETs (b) V_{Tp} for PMOSFETs

여기서 λ는 채널길이 변화 변수이고, θ는 이동도 감소 변수이다. λ와 θ효과에 의한 모델 오차 전압은 식 (1), (2) 대신 식 (8)을 사용하여 유도할 수 있다. 보통 λ와 θ는 1보다는 훨씬 작은 값이므로 이들 변수의 제곱항 이상을 무시하면 결과적인 수식은 다음과 같다.

$$2V_{GS1}-V_{GS2}\simeq V_T+\frac{1}{2}(\lambda-\theta)V_{ex1}V_{ex2}$$

$$\simeq V_T + \frac{1}{4}(\lambda - \theta)V_{ex2}^2 \qquad (9)$$

따라서 λ와 θ효과에 의한 모델오차전압은

$$V_{Terr1} \simeq \frac{1}{2}(\lambda - \theta)V_{ex1}V_{ex2}$$

$$\simeq \frac{1}{4}(\lambda - \theta)V_{ex2}^2 \qquad (10)$$

이다. 여기서 V_{ex1}은 드레인전류가 I_D일 때 초과전압 $V_{GS1}-V_T$이고, V_{ex2}는 드레인전류가 $4I_D$때 초과전압 $V_{GS2}-V_T$이다. 따라서 낮은 초과전압이 모델오차를 줄이는데 도움이 된다는 것을 알 수 있다. 제안된 V_T 추출 방법을 matching-free 방법으로 구현하기 위해서는 그림 1의 좌측상단의 전류복사 회로와 우측의 산술계산 회로, 즉 $(2V_{GS1}-V_{GS2})$를 수행하기 위한 회로도 매칭에 영향을 받지 않도록 설계해야만 한다.

Ⅲ. SC 감산 증폭회로

제안된 방법에 필요한 산술계산 $(2V_{GS1}-V_{GS2})$ 블럭은 switched-capacitor(SC) 회로로 구현하였다. SC 회로에는 정확도를 저해하는 여러 가지 에러요인들이 있는데 그 대표적인 에러요인들은 다음과 같다.

① OP-AMP의 옵셋전압에 의한 에러
② OP-AMP의 유한한 전압 이득에 의한 에러
③ 커패시터간의 매칭오차에 의한 에러
④ MOS 스위치에서 전하주입에 의한 스위칭 노이즈 에러

처음 세가지 에러를 보상하기 위하여 ratio independent 개념[6], [7]과 gain insensitive 기술[8], [9]을 이용하여 SC 감산 증폭회로를 설계하였다. 네 번째 MOS 스위치에서 전하주입에 의한 스위칭 노이즈 에러를 보상하기 위해 절반 크기의 부가(dummy) 스위치와 빠른 falling 속도를 갖는 클럭을 사용하였다.

설계된 SC 감산 증폭 회로의 구조를 그림 3에 보였다. 이 회로는 6개의 겹치지 않는 클럭 $\phi_1-\phi_6$으로 동작하며, 아날로그 산술계산 $(2V_{GS1}-V_{GS2})$을 수행한다. 단 하나의 테스트 트랜지스터를 사용하기 때문에 V_{GS1}과 V_{GS2}가 동시에 이용가능하지 않다. 따라서, SC 증폭회로의 입력 V_G는

$$V_G = \begin{cases} V_{GS1} & \text{for } \phi_1 \text{ and } \phi_4 \\ V_{GS2} & \text{for } \phi_2 \text{ and } \phi_3 \end{cases}$$

물론, 그림 1의 전류복사 회로는 ϕ_1과 ϕ_4 동안은, I_D를 ϕ_2와 ϕ_3 동안은 $4I_D$를 테스트 트랜지스터에 공급하도록 설계되어야 한다. 커패시터 C1과 C2는 회로의 주동작을 위해 사용되며, C3와 C4는 증폭기의 유한이득에 의한 오차를 보상하기 위한 예비동작시 사용되는 보조 커패시터들이다. C3와 C4의 크기는 C3/C4 = C1/C2 조건에 맞게 선택된다. 커패시터 C_C는 회로의 예비동작시 증폭기의 유한 이득과 옵셋전압에 의한 오차를 저장하는데 사용된다.

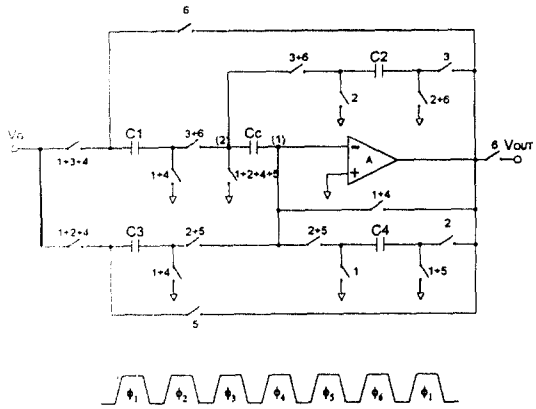


그림 3. 제안된 스위치드-커패시터 감산 증폭회로의 구조와 클럭

Fig. 3 Schematic of the proposed ratio-independent SC subtracting amplifier and clock sequence

회로의 단계별 동작을 그림 4에 나타냈다. 클럭 ϕ_1 동안 입력 신호 V_{GS1}이 C1과 C2에 동시에 샘플링된다. 클럭 ϕ_2 동안 $V_{GS1}-V_{GS2}$에 해당하는 전하가 C3에서 C4로 이동한다. 이때 증폭기의 유한이득과 옵셋전압에 의해 반전 입력 단자에 나타나는 에러 전압이 C_C에 저장된다. 이 에러 전압을 $V_1(2)$로 표시하자. 여기서 아래 첨자는 노드번호(그림 3 참조)를 나타내고 괄호 안은 클럭을 나타낸다. 클럭 ϕ_3 동안 $V_1(2)$는 $V_1(3)$으로부터 감산되어 가상 그라운드 전압 $V_2(3)$는 $V_1(3)-V_1(2)$이 된다. 전압차 $V_1(3)-V_1(2)$는 아주 작은 값이기 때문에 C1에서 C2로 주 전하 전송은 정확하게 이루어진다. $V_1(3)-V_1(2)$ 값이 0이라고 가정하

면 C2에 저장된 전하량은 정확하게 C1($V_{GS1}-V_{GS2}$)가 될 것이다. 클럭 ϕ_4 동안 입력 신호 V_{GS1}이 C1과 C2에 다시 샘플링된다. 클럭 ϕ_5 동안 C4에 저장되어 있던 전하가 C3으로 전달되며 이 동작시 발생되는 에러 전압 역시 C_C에 저장된다. 마지막으로 클럭 ϕ_6 동안 C2에 저장되어 있던 전하는 C1으로 전달되고 클럭 ϕ_4 동안 C1에 저장되었던 전하와 합쳐지게 된다. 클럭 ϕ_6 동안의 가상 그라운드 전압인 $C_2(6)$도 역시 $V_1(6)-V_1(5)$로 아주 작아서 정확한 동작이 이루어진다. $V_1(6)=V_1(5)$이라면 C1에 저장되는 전하량은 C1($2V_{GS1}-V_{GS2}$)가 되며, 출력 전압은 커패시터 비에 독립적으로 정확하게 $2V_{GS1}-V_{GS2}$가 된다. 비록 $V_1(3)-V_1(2)$와 $V_1(6)-V_1(5)$의 전압 차는 여러 에러 요인으로 인해 정확하게 0이 되지는 않지만 이들 에러 요인에 의한 오차전압은 상당히 작음을 분석을 통해 확인할 수 있었다. 증폭기의 유한한 이득(A)에 의한 에러전압은 A^2에 반비례하고 증폭기의 옵셋전압에 의한 에러와 커패시터 비 오차에 의한 에러는 A에 반비례한다.[10]

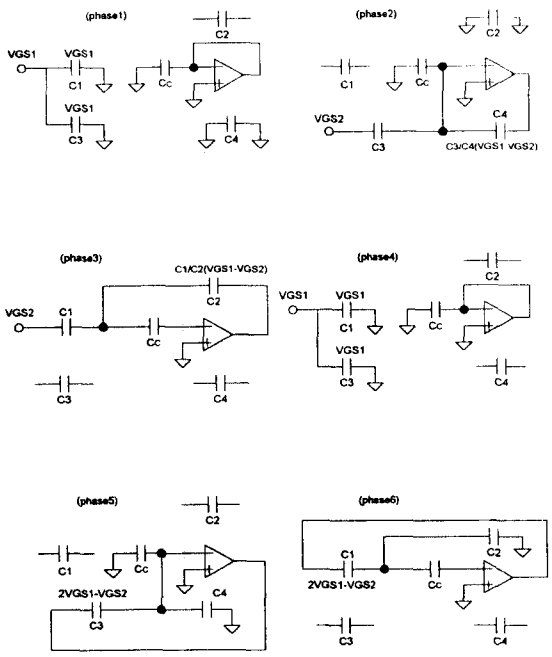


그림 4. SC 감산 증폭회로의 단계별 동작특성
Fig. 4 Step-by-step operation of the SC subtracting amplifier

SC 감산 증폭회로에 필요한 증폭회로로는 그림 5의 folded-cascode 구조를 사용하여 설계하였다. 설계된 증폭회로를 시뮬레이션한 결과, 개방루프 전압이득(open-loop voltage gain)은 83dB, 단위이득 주파수(unity-gain frequency)는 $C_L=5$pF인 경우 32MHz, CMRR은 86dB의 특성을 보였다.

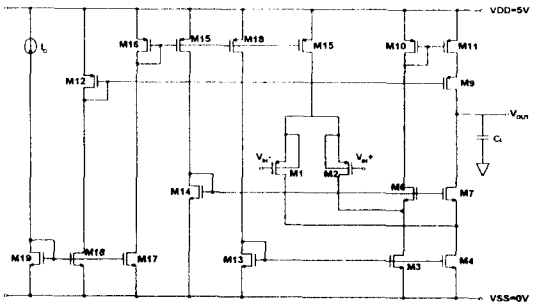


그림 5. CMOS folded-cascode 증폭회로
Fig. 5 CMOS folded-cascode amplfier

SC 감산 증폭회로의 정확도를 저해하는 전하주입 현상을 보상하기 위해 사용한 방법은 다음과 같다. 본 회로에서는 동작속도는 그리 중요하지 않기 때문에, 보상해야 할 전하량을 줄이기 위해 최소 크기의 MOS 트랜지스터를 스위치로 사용하였다. 커패시터들의 크기는 $C1=C2=C3=C4=4$pF, $Cc=8$pF으로 선택하였다. 절반 크기의 부가스위치를 본 스위치와 함께 사용하여, 본 스위치에서 주입되는 전하를 보상할 수 있도록 하였다. 게이트 클럭의 falling 속도가 너무 빠른 경우에는 채널전하가 substrate로 많이 빠져나가는 charge pumping 현상[11]이 심각해지고, falling 속도가 느린 경우에는 낮은 임피던스 노드로 대부분의 채널전하가 빠져나가므로 게이트 클럭의 falling 속도를 신중히 선택해야 한다. 본 연구에서는 게이트 클럭의 falling 속도를 5V/5nsec로 선택하였다. 이 경우 charge pumping 현상은 심각하지 않다는 것이 실험적으로 입증된바 있다.[12] 또한 양쪽 노드의 임피던스가 다른 경우에도 5% 이내의 에러 범위 내에서 채널전하가 양분됨을 SPICE 시뮬레이션을 통해 확인하였다.

그림 6은 SC 감산 증폭회로를 SPICE 시뮬레이션한 결과이다. 그림 3의 입력 V_G에 ϕ_1과 ϕ_4 동안에는

1.4V를 (즉 $V_{GS1}=1.4V$) 그리고 ψ_2와 ψ_3 동안에는 1.8V를 (즉 $V_{GS2}=1.8V$)를 인가하고, 증폭기의 옵셋전압을 고려하기 위해 30mV의 옵셋전압을 비반전 입력단에 연결한 후 시뮬레이션한 출력 파형이다. 이상적으로 이 회로의 출력 V_{out}은 $2V_{GS1}-V_{GS2}$, 즉 1V가 되어야 한다. ψ_5동안의 예비동작시 출력은 증폭기의 옵셋과 유한한 이득에 의해 1V에서 많이 벗어나지만, ψ_6의 주동작시 이들 에러가 보상되어 출력이 거의 1V가 됨을 그림 6의 파형에서 확인할 수 있다.

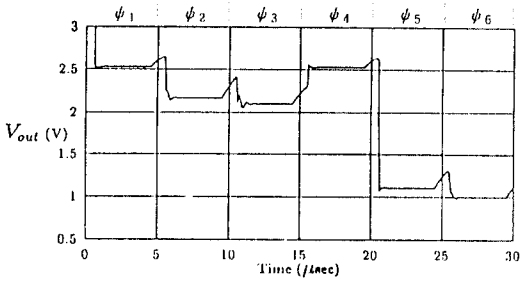


그림 6. SC 감산 증폭회로의 출력파형 ($V_{GS1}=1.4V$, $V_{GS2}=1.8V$, $V_{offset}=30mV$)

Fig. 6 Simulated output waveform of the SC subtracting amplifier ($V_{GS1}=1.4V$, $V_{GS2}=1.8V$, $V_{offset}=30mV$)

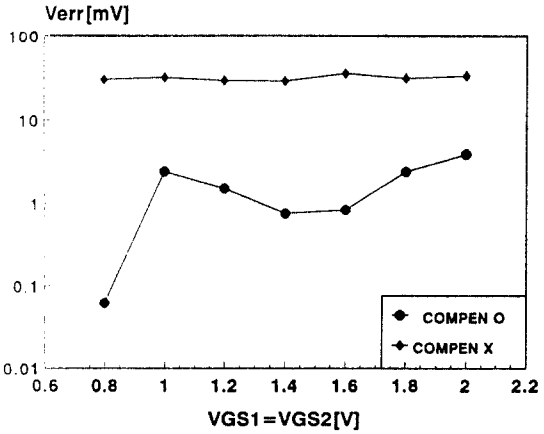


그림 7. SC 감산 증폭회로의 에러전압 (위 파형 : 전하주입을 보상안한 경우, 아래 파형 : 전하주입을 보상한 경우)

Fig. 7 Simulated error voltages of the SC subtracting amplifier (upper : without compensation, lower : with compensation)

설계된 SC 감산 증폭회로의 정확도와 부가 스위치에 의한 전하주입 보상 정도를 알아보기 위해 입력 V_G(즉 $V_{GS1}=V_{GS2}$)를 0.8V에서 2V까지 변화시키면서 부가스위치를 단 경우와 달지 않은 경우에 대해 시뮬레이션한 결과를 그림 7에 나타냈다. 이 결과로부터 SC 감산 증폭회로의 오차전압은 전하주입을 보상하지 않은 경우 수십 mV에서 전하주입을 보상한 경우 수 mV로 감소함을 알 수 있다.

Ⅳ. 다이나믹 전류 복사 회로

테스트 트랜지스터에 1:4의 전류를 공급하기 위한 전류복사회로도 그 정확도가 디바이스들의 매칭에 영향을 받지 않도록 하기 위해 다이나믹 방법을 사용하였다. 또한 출력 컨덕턴스를 감소시키기 위해 self-biased stacked 구조[13], [14]를 사용하였다.

설계된 다이나믹 전류복사 회로를 그림 8에 나타내었다. 이 회로는 6개의 전류복사 셀[15]로 구성되어 있고 각각의 셀은 샘플링 스위치 $S_{id}(i=1, 2, \cdots, 6)$, 저장 커패시터 C_i, 그리고 PMOS 트랜지스터로 구성된다. 스위치 S_{ib}와 S_{ic}는 주기적으로 셀들을 입력 I_D와 연결시켜서 저장된 정보를 재충전 하고, 출력과 연결시켜서 복사된 전류를 공급하는데 사용된다. 6개의 셀중 어느 하나는 항상 노드(1)에 연결되어 전류 $I_1(\simeq I_D)$을 공급하고, 4개의 셀들은 노드(2)에 연결되어 전류 $I_2(\simeq 4I_D)$를 공급한다. 나머지 하나의 셀은 정보 재충전을 위해 입력에 연결된다. 예를 들어 S_{2b}와 S_{2a}가 닫히고 S_{2c}가 열린 경우는 그림 9에서 처럼 두 번째 셀이 입력에 연결되어 I_D에 해당하는 전압이 C2에 저장된다. 첫 번째 셀은 노드(1)에 연결되어 I_1을 공급하고, 세 번째부터 여섯 번째 셀들은 노드(2)에 연결되어 $I_2(\simeq 4I_1)$을 공급하게 된다.

S_{ia}와 S_{ib}가 닫혀서 입력전류 I_D를 C_i에 저장한 후, 이 두 스위치가 열릴 때 C_i에 저장된 정보를 더럽히지 않기 위해서는 S_{ib}보다 먼저 열려야만 한다.(그림 8의 클럭 참조) S_{ia}가 열린 후에는 스위치에서의 누설전류를 무시하면, 게이트 전압은 일정하게 되고 드레인전류는 항상 I_D와 같게된다. S_{ib}가 열리고 S_{ic} 또는 S_{id}가 닫히면 저장된 전류는 출력에 공급된다. 이 전류 복사회로가 SC 감산 증폭회로의 클럭 ψ_1과 ψ_4 동안에는 I_D를 ψ_2와 ψ_3동안에는 $4I_D$를 테스트 트랜지스터에 공

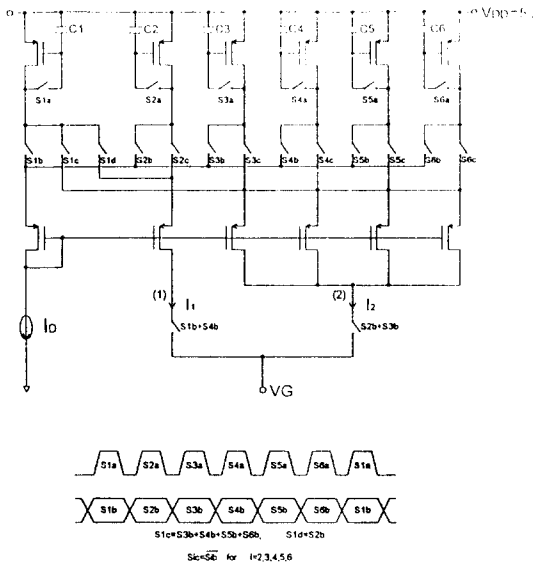


그림 8. 다이나믹 전류복사회로의 구조와 클럭

Fig. 8 Schematic of the dynamic current mirror and required clock phase

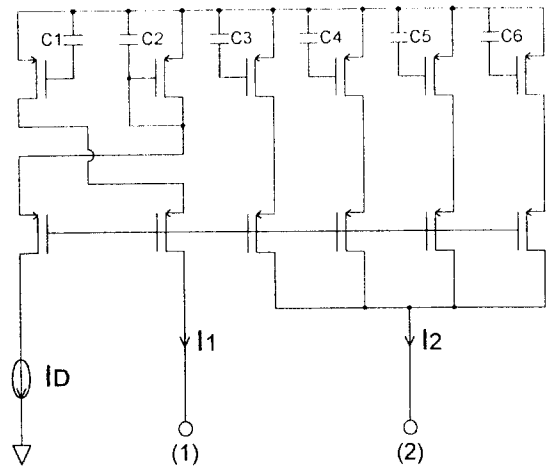


그림 9. S_{2b}와 S_{2a}가 닫히고 S_{2c}가 열린 경우 다이나믹 전류 복사회로의 동작특성

Fig. 9 Operation of the dynamic current mirror when S_{2b} and S_{2a} are closed and S_{2c} is open

급하기 위해서는 S_{ia}와 ψ_i사이에는 다음과 같은 관계가 만족되어야 한다.

$$\psi_i = \overline{Sia}, \qquad i = 1, 2, \cdots, 6$$

전류복사회로에서는 PMOS를 스위치로 사용했기 때문에 극성은 서로 반대이다. PMOS 스위치에서 전하 주입에 의한 에러는 SC 감산 증폭회로에서와 같이 절반 크기의 부가 스위치를 사용하여 보상하였다.

그림 8의 노드(1)과 (2)를 직접 테스트용 NMOS 트랜지스터에 연결하고 설계된 다이나믹 전류 복사회로를 SPICE 시뮬레이션하였다. 시뮬레이션된 출력 파형 I_1, I_2를 그림 10에 나타내었다. 이 그림에서 1:4의 출력 전류를 공급하기 위한 전류 복사 셀들의 초기 행동을 $t = 30\mu$sec까지 관찰할 수 있다. 이 초기 과

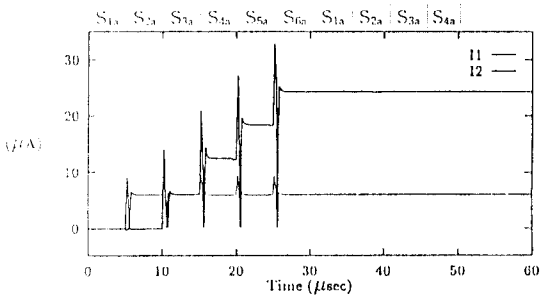


그림 10. 다이나믹 전류복사회로의 출력 전류 파형 I_1, I_2

Fig. 10 Output currents I_1 and I_2 of the dynamic current mirror

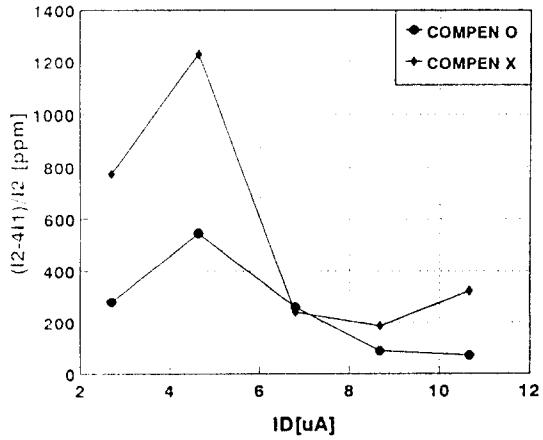


그림 11. 다이나믹 전류복사회로의 전류비 오차 $(I_2-4I_1)/I_2$ (위 파형 : 전하주입을 보상안한 경우, 아래 파형 : 전하주입을 보상한 경우)

Fig. 11 Simulated current ratio error $(I_2-4I_1)/I_2$ of the dynamic current mirror (upper : without compensation, lower : with compensation)

정이 지나면 전류 복사회로는 출력에 연속적으로 1:4의 전류를 공급한다. 부가스위치를 사용하여 전하주입을 보상한 경우와 안한 경우에 대해 입력 전류 I_D값에 따른 출력 전류비 오차 $(I_2-4I_1)/I_2$를 그림 11에 보였다. 전류비 오차는 전하주입이 보상된 경우 600ppm보다 작음을 알 수 있다.

V. 전체회로 시뮬레이션 결과 및 측정 결과

설계된 다이나믹 전류 복사회로와 SC 감산 증폭회로를 테스트 트랜지스터에 연결하고, 다이나믹 전류 복사 회로의 바이어스 전류 입력으로 $I_D=5\mu A$을 인가하여 전체회로를 시뮬레이션하였다. 여러 다른 크기의 테스트 트랜지스터들에 대해 본 논문에서 제안된 방법에 의해 추출된 문턱전압 V_{Text}와 linear regression 방법에 의해 추출된 문턱전압 V_{Tlr} 그리고 SPICE가 내부적으로 계산한 문턱전압 V_{Tspice}를 그림 12에 비교하여 나타내었다. 그림에서 알 수 있듯이 제안된 문턱전압 추출회로는 다양한 크기의 MOS 트랜지스터들의 문턱전압을 linear regression 방법과 비교시 1%이내 정도의 오차 범위 내에서 정확하게 추출할 수 있음을 확인할 수 있다.

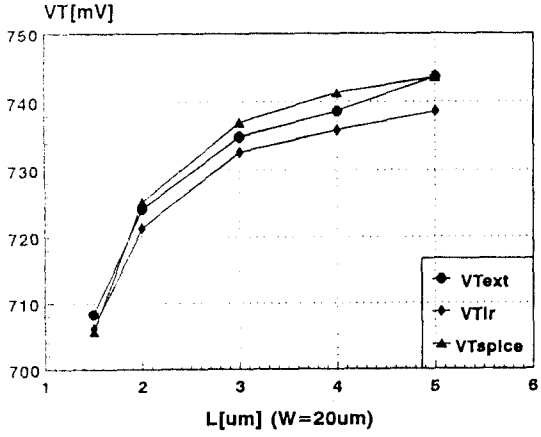


그림 12. 제안된 V_T추출회로의 정밀도 비교(V_{Text} : 제안된 방법, V_{Tlr} : linear regression, V_{Tspice} : SPICE에 의해 계산된 값)

Fig. 12 Accuracy comparison of the proposed V_T extractor (V_{Text}) with the linear regression method (V_{Tlr}) and the threshold voltages computed by SPICE (V_{Tspice})

제안된 V_T 추출회로는 ISRC 1.5μm CMOS nwell process parameter를 사용하여 설계하였고, 서울대 반도체 공동연구소에서 IC 제작을 하였다. 제작된 IC의 chip layout을 그림 13에 보였다. 패드를 포함한 전체 chip크기는 2.8mm×2.8mm이며, 패드 수는 40개이다. 전체 chip은 여러 개의 테스트용 회로를 포함하며, V_T 추출회로(그림 13의 좌측하단)의 실제 chip 면적은 1.13mm×0.74mm이다. 다이나믹 전류 복사회로와 SC 감산 증폭회로의 동작에 필요한 겹치지 않는 (non-overlapping) 클럭을 위해 on-chip 클럭 발생회로를 사용하였다. on-chip 클럭 발생회로 (그림 13의 좌측상단)의 면적은 540μm×836μm이다. 5V 단일 전원을 사용하였고 전력소모는 약 25mW이다.

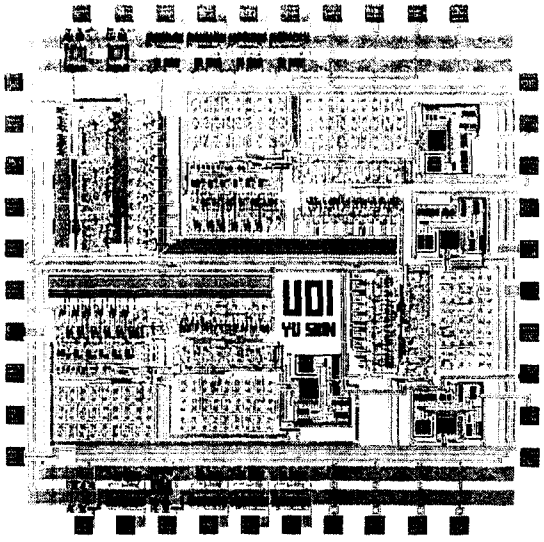


그림 13. 문턱전압 추출회로의 칩 레이아웃

Fig. 13 Chip layout of the V_T extractor

그림 8의 다이나믹 전류 복사회로의 출력 V_G에 저항을 연결하고 입력 전류원 I_D로 사용된 트랜지스터의 게이트 전압 VIB를 1.2V에서 1.7V까지 변화시키면서 에러 값을 측정한 결과 1:4 전류비 오차는 입력전류 전범위에서 2.5%이내였다. 그림 14는 VIB가 0.23V일 때 측정된 출력 파형으로 ψ_1과 ψ_4 동안에는 I_1이 ψ_2, ψ_3 동안에는 $I_2(\simeq 4I_1)$가 공급됨을 알 수 있다. I_1은 86.4μA이고 I_2는 350.5μA로 전류비 오차는 0.9%이다.

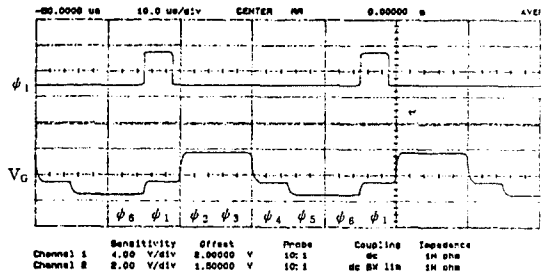


그림 14. 측정된 다이나믹 전류복사회로의 출력파형 (아래 파형), 클럭 ϕ_1 (위파형)

Fig. 14 Output waveform of the dynamic current mirror (lower trace) and clock ϕ_1 (upper trace)

SC 감산 증폭 회로의 측정을 위해 그림 3의 입력 V_G ($V_{GS1}=V_{GS2}$)를 −1.2V에서 +1.2V로 변화시키면서 단계별 동작 상태를 측정하였다. 측정된 SC감산 증폭회로의 오차전압은 수십 mV 정도로 SPICE 시뮬레이션 결과만큼의 정확도는 얻지 못했지만 제대로 동작함을 확인할 수 있었다. 그림 15는 입력 $V_G(V_{GS1}=V_{GS2})$에 0.4V를 인가한 경우 측정된 출력 파형이다. 이상적인 경우 출력전압 V_{out}은 ϕ_6동안 $2V_{GS1}-V_{GS2}$ 즉 0.4V가 되어야 한다.

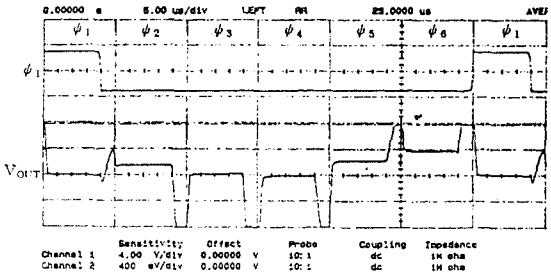


그림 15. $V_{GS1}=V_{GS2}=0.4$V인 경우 측정된 SC 감산증폭회로의 출력파형 (아래파형), 클럭 ϕ_1 (위 파형)

Fig. 15 Output waveform of the SC subtracting amplifier (lower trace) and clock ϕ_1 (upper trace)

Ⅵ. 결 론

매칭된 테스트 디바이스의 복사 본이 필요 없는 정확한 실시간 문턱 전압 추출방법을 제안하였다. 매칭에 영향을 받지 않도록 구현하기 위해 이득에 영향을 덜 받고, 커패시터 비에 독립적인 스위치드-커패시터 감산 증폭회로와 다이나믹 전류 복사회로를 사용하여 설계하였다. SPICE 시뮬레이션 결과 SC 감산 증폭회로의 오차전압은 전하주입을 보상하지 않은 경우 수십 mV에서 전하 주입을 보상한 경우 수 mV로 감소하였고, 다이나믹 전류 복사회로의 전류비 오차는 600ppm 이하이다.

전체 회로 시뮬레이션 결과 제안된 문턱전압 추출회로는 다양한 크기의 MOS 트랜지스터들의 문턱전압을 linear regression 방법과 비교시 1% 이내의 오차범위내에서 정확하게 추출할 수 있음을 확인할 수 있었다. 제작된 IC을 측정한 결과 다이나믹 전류 복사회로의 전류비 오차는 2.5% 이내이고, SC 감산증폭회로의 오차전압은 수십mV 정도로 SPICE 시뮬레이션 결과만큼의 정확도는 얻지 못했지만 이들 회로는 제대로 동작함을 확인할 수 있었다. 제안된 문턱 전압 추출 방법은 MOSFET의 실시간 on-chip 문턱 전압 측정이 요구되는 다양한 응용 즉 MOSFET characterization, temperature sensing 그리고 V_T 자체가 설계변수로 사용되는 많은 아날로그 설계 응용분야에 적용될 수 있다.

참 고 문 헌

1. P. E. Allen and D. R. Holberg, CMOS Analog Circuit Design, Holt, Rinehard and Winston, pp. 153-160, 1987.
2. Z. Wang, "Automatic V_T extractors based on an nxn^2 MOS transistor array and their application," IEEE J. of Solid-State Circuits, vol. 27, pp. 1057-1066, Sep. 1992.
3. Y. P. Tsividis and R. W. Ulmer, "Threshold voltage generation and supply-independent biasing in CMOS integrated circuits," Electronic Circuits and Systems, vol. 3, pp. 1-4, Jan. 1979.
4. R. Alini, A. Baschirotto, R. Castello, and F. Montecchi, "Accurate MOS threshold voltage detector for bias circuitry," IEEE International Symposium on Circuits and Systems, pp. 1280-1283, May 1992.
5. H. G. Lee, S. Y. Oh, and G. Fuller, "A simple and accurate method to measure the threshold voltage

of an enhancement-mode MOSFET," IEEE Trans. on Electron Devices, vol. ED-92, no. 2, pp. 346-348, Feb. 1982.

6. P. W. Li, M. J. Chin, P. R. Gray, and R. Castello, "A ratio-independent algorithmic analog-to-digital conversion technique," IEEE J. of Solid-State Circuits, vol. SC-19, no. 6, pp. 828-836, Dec. 1984.
7. S. Y. Chin and C. Y. Wu, "A ratio-independent and gain-insensitive algorithmic analog-to-digital converter," IEEE International Symposium on Circuits and Systems, pp. 1200-1203, 1993.
8. K. Nagaraj, T. R. Viswanathan, K. Singhal, and J. Vlach, "Switched-capacitor circuits with reduced sensitivity to amplifier gain," IEEE Trans. on Circuits and Systems, vol. CAS-34, pp. 571-574, May 1987.
9. K. Nagaraj, K. Singhal, T. R. Viswanathan, and J. Vlach, "Reduction of the finite gain effect in switched-capacitor filters," Electron Lett., vol. 21, pp. 644-645, July. 1985.
10. 고정밀 MOSFET 문턱전압 추출회로 설계, 최종 연구보고서, 교육부 반도체 분야 과제, ISRC 95-E-2025, pp. 14-23, 1996.
11. J. Brugler and P. Jespers, "Charge pumping in MOS devices," IEEE Transactions on Electron Devices, vol. ED-16, pp. 297-302, March 1969.
12. C. Eichenberger and W. Guggenbuhl, "On charge injection in analog MOS switches and dummy switch compensation techniques," IEEE Transactions on Circuits and Systems, vo 37, pp. 256-264, Feb. 1990.
13. G. Wegmann and E. A. Vittoz, "Analysis and improvements of accurate dynamic current mirrors," IEEE J. of Solid-State Circuits, vol. 25, no. 3, pp. 699-706, June 1990.
14. G. Wegmann and E. A. Vittoz, "Basic principles of accurate dynamic current mirrors," IEE Proceedings, vol. 137, pt. G, no. 2, pp. 95-100, April 1990.
15. S. J. Daubert, D. Vallancourt, and Y. P. Tsividis, "Current copier cells," Electron. Lett., vol. 24, no. 25, pp. 1560-1562, Dec. 1988.

하 장 용(Jang-Yong Ha) 준회원
1970년생
1996년 2월 : 인천대학교 전자공학과(학사)
1996년 3월~현재 : 인천대학교 전자공학과 석사과정중

전 석 희(Seok-Hee Jeon) 정회원
1959년생
1981년 2월 : 연세대학교 전자공학과(학사)
1983년 2월 : 연세대학교 전자공학과 대학원(석사)
1990년 2월 : 연세대학교 전자공학과 대학원(박사)
1991년~현재 : 인천대학교 전자공학과 부교수

박 종 태(Jong-Tae Park) 정회원
1958년생
1981년 2월 : 경북대학교 전자공학과(학사)
1983년 2월 : 연세대학교 전자공학과 대학원(석사)
1987년 2월 : 연세대학교 전자공학과 대학원(박사)
1987년~현재 : 인천대학교 전자공학과 부교수

유 종 근(Chong-Gun Yu) 정회원
1963년생
1985년 2월 : 연세대학교 전자공학과(학사)
1987년 2월 : 연세대학교 전자공학과 대학원(석사)
1993년 12월 : 美 Iowa State Univ. 전자 및 컴퓨터 공학과(박사)
1994년~현재 : 인천대학교 전자공학과 조교수