

패턴인식을 위한 디지털 DBNN의 설계

正會員 송 창 영*, 문 성 룡*, 김 환 용*

Design of Digital DBNN for Pattern Recognition

Chang Young Song*, Sung Ryong Moon*, Hwan Yong Kim* *Regular Members*

요 약

본 논문에서는 이진 패턴분류나 음성신호처리에 이용되는 DBNN 알고리즘을 이용하여 입력데이터의 크기와 패턴의 종류에 따라 가변적 확장성을 갖는 디지털 DBNN 회로를 설계하였다. 설계한 디지털 DBNN의 PE(processing element)는 기준패턴과 입력패턴간의 유사도 측정을 위한 시냅스와 MAXNET 회로로 구성되며, 또 각 PE에서 선택된 국부승리자중 전체승리자를 선택할 수 있는 Global MAXNET을 설계하였다. 모의실험 결과, 시냅스 회로는 입력패턴과 기준패턴의 일치여부를 판별하고, 각 PE와 Global MAXNET은 패턴이 불일치되는 경우 입력 패턴과 가장 유사한 기준패턴을 찾아내는 동작특성을 검증하였다.

ABSTRACT

In this paper, using DBNN algorithm which is used in the binary pattern classification or speech signal processing the digital DBNN circuit is designed having the variable expansion depending the size of input data and pattern type. The processing element(PE) of the proposed network consists of the synapse and MAXNET circuits for the similarity measurement between reference and input pattern. Global MAXNET selects the global winner among the local winners which is selected in each PE. Through the several simulations, it is proved that the synapse circuit distinguishes whether input pattern coincides with the reference pattern, and thus each PE and global MAXNET search the reference pattern that was the most similar to input pattern for the discord of the pattern.

I. 서 론

일반적인 디지털 계산 방법은 그들의 직렬특성에 기

인되어 심각한 병목현상을 일으킨다. 이러한 문제점을 해결하기 위하여 인간의 신경단위인 뉴런을 모델링한 신경망(neural network)이라고 하는 새로운 계산 모델을 집적회로화 하고 있다.⁽¹⁾ 신경회로망의 주요 특징은 비동기 병렬처리, 연속시간 동적 및 전체적 상호 네트워크 요소로 구성할 수 있으며, 이러한 신경망의 특징을 적용한 응용분야로써는 최적화 시스템,

*원광대학교 전자공학과
Dept. of Electronic Eng. Wonkwang University
論文番號:95420-1211
接受日字:1995년 12월 11일

선형 및 비선형 프로그래밍, 연상메모리, 패턴인식, 컴퓨터 비전과 같은 다양한 영역에서 응용되고 있다.^(2,3)

신경망을 이용한 패턴인식에 있어 대부분의 신경망 알고리즘은 직렬연산과 연산 가중치(weight)를 지도학습(supervised learning) 방식에 의해 처리하는 아날로그 회로로 구현하거나 시뮬레이션에 의한 알고리즘 연구가 진행되고 있다. 그러나, 신경망을 아날로그 방식으로 구현할 경우에는 그 회로에 대한 신뢰성과 잡음에 대한 면역성이 적고 소자간의 불안정한 상호연결에 의해 오동작이 발생할 수 있다는 단점을 지니고 있다.

따라서, 본 논문에서는 신경망 알고리즘중 지도학습방식으로써 이진 패턴분류나 음성신호처리에 이용되는 DBNN(Decision-Based Neural Network) 알고리즘^(2,4,6)을 회로의 동작에 대한 신뢰성 및 잡음에 대한 면역성이 강한 디지털 방식으로 설계함으로써 자율학습 기능을 갖도록 기준패턴과 입력패턴간의 유사도 측정을 위한 시냅스와 MAXNET 회로를 디지털 회로로 구현한 PE(processing element)를 설계하였으며, 설계된 각 PE에서 선택된 국부승리자에 의해 전체승리자를 선택할 수 있는 Global MAXNET 회로로 구성되는 디지털 DBNN 회로를 설계하였다.

설계된 디지털 DBNN 회로는 Verilog-XL 시뮬레이터를 이용하여 기준패턴의 증가에 따라 PE를 가변적으로 설계하므로써 확장성을 가지며, 병렬처리가 가능한 계층적 구조로 설계하여 향후에는 패턴 인식과 CDMA 수신기의 IQ 필터 Bank에 적용 설계하여 기존의 정합 필터 설계시 한계점으로 지적되고 있는 Time Bandwith 문제점을 해결함으로써 고속의 초기 동기 시스템에 적용 가능성을 찾고자 한다.

II. DBNN 알고리즘의 고찰

패턴인식에 적용하기 위한 DBNN 알고리즘의 지도학습 네트워크는 검색단계(retriving phase)과 학습단계(learning phase)으로 나누어지는데 학습단계에서는 패턴들을 정확하게 분류하기 위한 가중치들을 훈련시키고 최상의 판별함수(discriminant function)에 의해서 결정 경계치(decision boundary)를 결정한다. DBNN 모델은 Rosenblatt에 의해 제안되었던 퍼셉트론(perceptron)에 근거한다.⁽²⁾

선형 판별함수를 갖는 선형 퍼셉트론의 기본 구조는^(2,7) 식 (1)과 같으며,

$$y = \phi(X, W) = \sum_j^p w_j x_j + \theta \quad (1)$$

가중치 파라미터를 첨가한 임계치 $\theta = w_{p+1}$ 을 대입하면 식 (2)와 같고,

$$W = [w_1, w_2, \dots, w_p, \theta]^T \quad (2)$$

Z는 증가된(augmented) 패턴 X로써 식 (3)과 같다.

$$Z = [x_1, x_2, \dots, x_p, 1]^T \quad (3)$$

식 (2)와 (3)을 이용하여 선형 판별함수를 표현하면 $y = \phi(X, W) = W^T Z$ 이 되고, m번째 훈련패턴 $Z^{(m)}$ 은 가중치 벡터 $W^{(m)}$ 로 나타낼 수 있으며 식 (4)와 같다.

$$W^{(m+1)} = W^{(m)} + \eta(t^{(m)} - d^{(m)}) Z^{(m)} \quad (4)$$

여기서, η 는 양의 학습율이고, $t^{(m)}$ 은 m번째 임계치(threshold value), $d^{(m)}$ 은 Decision 값으로 $y > 0$ 이면 1을, $y \leq 0$ 이면 0의 값을 갖는다.

결정 경계치는 판별함수 $\phi(X, W)$ 에 의존되기 때문에 가중치 벡터 W가 선형 판별함수의 gradient방향이면 긍정학습(reinforced learning)이고, 반대방향이면 부정학습(antireinforced learning)으로 수정되며, 그때의 가중치 벡터 변화값 ΔW 는 식 (5)와 같고,

$$\Delta W = \pm \eta \nabla \phi(X, W) \quad (5)$$

가중치 벡터 W에 대한 함수 ϕ 의 gradient 벡터는 식 (6)과 같다.

$$\begin{aligned} \nabla \phi(X, W) &= \frac{\partial \phi(X, W)}{\partial W} \\ &= \left[\frac{\partial \phi}{\partial W_1}, \frac{\partial \phi}{\partial W_2}, \dots, \frac{\partial \phi}{\partial W_N} \right]^T \end{aligned} \quad (6)$$

신경망 L클래스 ($\Omega_i, i=1, \dots, L$) 중에서 일치되는 $s = (X^{(1)}, X^{(2)}, \dots, X^{(M)})$ 은 주어진 입력패턴의 집합이라고 가정하면, 각 클래스는 식별함수 $\phi(X, W_i)$ 을 갖

는 하부 망(subnet)으로 모델화된다. m번째 입력패턴 $X^{(m)}$ 은 클래스 Ω_j 에 속한다고 가정하면 식 (7)과 같이 표현할 수 있다.

$$\phi(X^{(m)}, W_j^{(m)}) > \phi(X^{(m)}, W_l^{(m)}) \quad \forall l \neq j \quad (7)$$

따라서, 입력패턴에 대한 Winning 클래스는 j번째 클래스(하부망)가 되며 패턴에 대한 수정은 다음 조건을 따른다.

① $j=i$ 이면 패턴 $X^{(m)}$ 은 이미 정확하게 분류되었기 때문에 수정할 필요가 없다.

② $j \neq i$ 이면 $X^{(m)}$ 은 아직 분류되지 않았기 때문에 식 (8)과 (9)의 학습조건에 의해서 수정되어야 한다.

$$W_i^{(m+1)} = W_i^{(m)} + \eta \nabla \phi(X, W_i): \text{긍정 학습} \quad (8)$$

$$W_j^{(m+1)} = W_j^{(m)} - \eta \nabla \phi(X, W_j): \text{부정 학습} \quad (9)$$

전체승리자(global winner)는 각 클래스의 서브 클러스터(subclusters) 사이의 국부승리자(local winner)를 결정하여 이들 국부승리자에 의해서 결정되며, l번째 클래스의 국부승리자를 선택하는 함수는 식 (10)과 같이 표현할 수 있다.

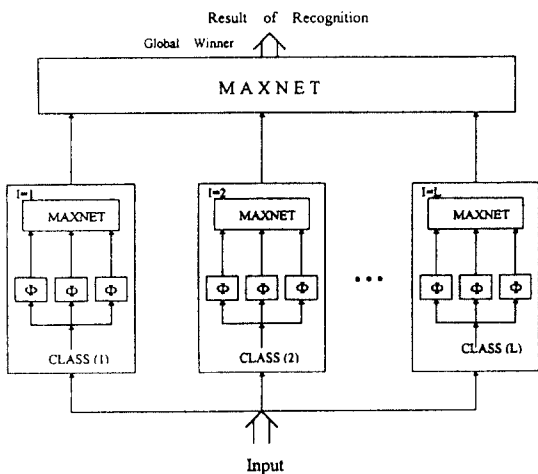


그림 1. 계층적 구조의 DBNN 모델
Fig. 1 DBNN model of hierarchical structure

$$s_l = \text{Arg max}_{S_l} \phi_l(X, W_{s_l}) \quad (10)$$

여기서, s_l 은 클래스의 국부승리자

DBNN 알고리즘은 지도학습 네트워크로써 식 (8)과 (9)의 긍정학습과 부정학습에 의해 반복 훈련과정을 통해 원하는 출력을 도출하게 되므로 연산 가중치에 의한 많은 내부처리 시간이 필요하게 된다. 따라서, 실시간처리를 위해서는 복잡한 가중치 연산이 필요하지 않은 자율학습 방식을 이용한 디지털 회로 구현이 있어야 하며 계층적 구조의 DBNN 모델은 그림 1과 같다.

III. 디지털 DBNN의 하드웨어 설계

신경망 회로를 이용한 패턴인식을 위해 많은 알고리즘이 제안되고 있으나 모든 방식이 직렬 연산 방식을 채택하고 있어 연산 가중치 때문에 아날로그 회로의 구현에 많은 어려움이 있다. 따라서, 패턴의 실시간 처리를 위해 병렬연산 방식과 회로의 디지털화가 요구되고 있다.^(5, 6, 7)

패턴인식에 적용하기 위한 계층적 구조의 디지털 DBNN은 임의의 입력패턴이 입력되면 기준 패턴중에서 입력패턴과 패턴 유사도가 가장 큰 기준패턴을 찾아 국부승리자로 선택하고, 국부 승리자 중에서 전체승리자를 선택하여 최종 출력으로 한다. 그러므로, 구현한 디지털 DBNN 알고리즘의 하드웨어는 입력 패턴과 기준패턴의 Pixel을 1:1 mapping에 의해 디지털 시냅스 회로에서 패턴의 일치여부를 판별하고 불일치시 다음 기준패턴과 비교하게 되므로 지도학습의 연산 가중치 선택에 의한 지연시간 요소를 제거하였다.

또한, 본 논문은 가중치를 0과 1로 제한하여 자율 학습기능을 시스템 자체내에서 제외시킴으로써 입력 패턴과 기준패턴, 그리고 가중치를 최종 출력값에 종속시켜 학습하게 함으로써 처리과정에서의 학습이 아닌 한 주기의 처리단계가 완료된 상태에서 출력값에 의해 자율학습을 수행한다. 그림 2는 계층적 구조의 디지털 DBNN의 하드웨어 블록도이다.

그림 2는 기준패턴을 9개로 하였을때 3개의 패턴을 1개의 클래스로 설정하여 3개의 클래스 PE와 1개의

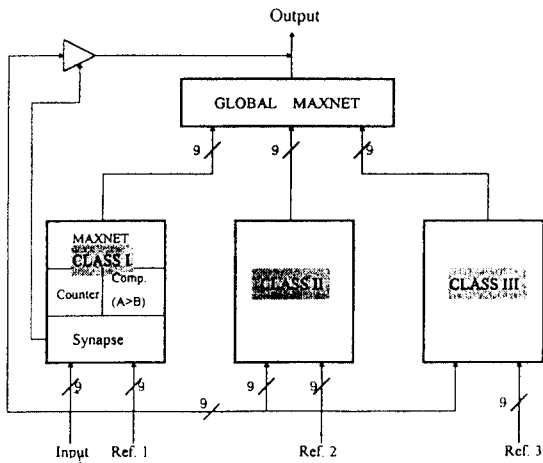


그림 2. 디지털 DBNN의 하드웨어 블록도
Fig. 2 Hardware Block diagram of digital DBNN

Global MAXNET 블록으로 구성된다. 임의의 입력 패턴에 대해 9개의 기준패턴을 병렬적으로 비교하여 가장 유사한 기준패턴을 선택하여 출력할 수 있도록 설계된 디지털 DBNN의 동작을 살펴보면, 각 클래스에서는 레지스터에 들어 있는 기준패턴과 임의의 입력패턴을 시냅스 회로에서 비교하여 패턴이 일치하

면 이때의 기준 패턴을 최종 출력으로 하고, 불일치 시에는 3개의 기준패턴이 MAXNET 회로에 의해서 일치도가 높은 기준패턴을 찾는다. 위와 같은 동작이 각 클래스에서 동시에 이루어지므로 각 클래스에서 선택된 기준패턴들 중에서 입력패턴과 유사도가 높은 기준패턴을 Global MAXNET 회로에서 선택할 수 있어 입력패턴과 가장 유사한 패턴을 얻을 수 있다. 또한, 기준패턴의 크기에 따라 클래스 PE를 확장 가능하도록 설계하므로써 연산 처리시 패턴 크기에 따라 적절한 계층적 구조의 DBNN을 구현할 수 있도록 설계하였다.

3.1 클래스 PE 설계

클래스 PE는 기준패턴 레지스터, 시냅스 블록, 카운터 블록, MAXNET 블록으로 구성되며, 그림 3과 같다.

1) 기준패턴 레지스터

기준패턴 레지스터는 기준패턴(9bit)을 저장하기 위하여 9개의 D F/F으로 설계하였으며, 입력패턴과 기준패턴의 패턴매칭을 위해 기준패턴을 3개로 분할하여 기준패턴 레지스터에 저장하고 MUX의 선택신호(s1,

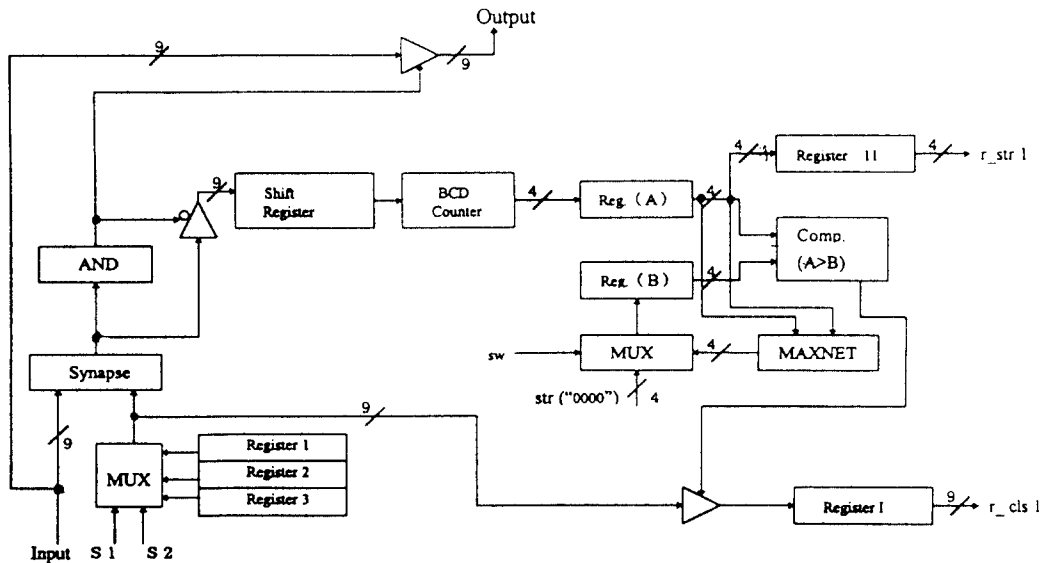


그림 3. 클래스 PE
Fig. 3 Class PE

s2)에 의해 3개의 레지스터를 차례로 선택하여 시냅스와 MAXNET 블록의 동작에 의해 패턴의 유사도가 가장 높은 기준 패턴의 값을 레지스터 I에 전송 시킴으로써 각 클래스에서 극부승리자를 선택할 수 있도록 하며, 다양한 기준패턴의 비트수와 종류에 따라 레지스터를 임의로 확장할 수 있도록 설계하였다.

2) 시냅스 블록

시냅스 블록은 입력패턴과 기준패턴의 패턴일치 여부를 검사하는 시냅스 회로, 출력단 Tri-state buffer와 카운터 블록의 입력 데이터 제어용 Tri-state buffer를 제어하는 AND 회로로 구성된다. 그림 4의 시냅스 회로는⁽⁸⁾ 입력패턴과 기준패턴을 입력으로 하는 9개의 XNOR 회로를 설계하였으며, 각 비트별로 일치시에는 “1”을, 불일치시에는 “0”으로 출력된다. 또한, AND 회로에는 두 패턴이 일치할 경우 9비트 입력이 전부 “1”이므로 출력이 “1”이 되어 Tri-state buffer를 제어하여 입력패턴 값이 출력될 수 있도록 한다. 불일치시에는 입력패턴과 가장 유사한 기준패턴을 찾을 수 있어야 하므로 3개의 기준패턴을 가지고 MAXNET 동작을 수행하여야 한다. 따라서, 두패턴이 불일치될 경우에는 AND 회로의 값이 “0”이 되므로 이를 반전시켜 Tri-state buffer의 제어신호로 사용한다. Tri-state buffer의 스위칭 동작에 따라 9비트의 시냅스 출력값이 카운터 블록으로 전달된다.

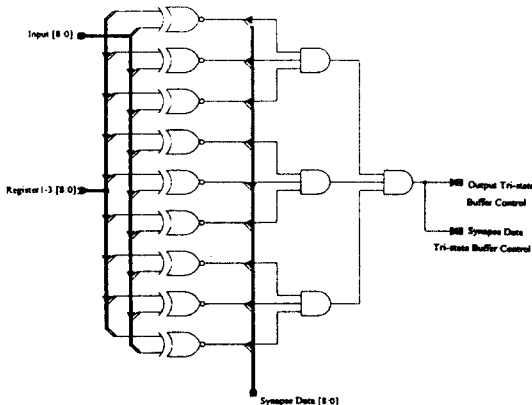


그림 4. 시냅스 블록 회로도
Fig. 4 Circuit of synapse block

3) 카운터 블록

시냅스 출력값에 의해 입력패턴과 기준패턴의 일치여부를 식별할 수 있으므로, 출력값 중에서 “1”의 갯수가 가장 많은 패턴이 일치도가 높은 것이 된다. 따라서, 1의 갯수를 셀 수 있는 카운터회로를 설계하기 위해 시냅스 출력이 9비트 병렬로 출력되므로 이를 1비트씩 카운팅할 수 있도록 병렬-입력, 직렬-출력 (parallel-in, serial-out) 시프트 레지스터를 사용하였고, 시프트 레지스터의 출력을 1비트씩 전송받아 T/F/F으로 구성된 BCD 카운터에서 1의 갯수에 의한 BCD 코드를 발생한다. 그림 5는 1의 갯수를 셀 수 있는 카운터 블록 회로도이다.

4) MAXNET 블록

MAXNET 블록은 3개의 기준패턴 중에서 입력패턴과 패턴 매칭을 할 경우 두 패턴의 유사도가 가장 높은 패턴을 찾아내는 블록으로 그림 6과 같다.⁽⁸⁾ 먼저 BCD 카운터의 4비트 출력값을 레지스터 A에 저장시키고 레지스터 B의 값은 MUX 선택선(sw)의 값이 “0”이면 초기치 “0000”으로, “1”이면 MAXNET의 값을 저장할 수 있도록 하여 이 두 레지스터의 값을 MAXNET과 비교기(A > B)에 보내 최대값 선택동작과 비교동작을 동시에 수행하며 MAXNET의 출력값은 MUX 선택선이 “1”일 경우 MUX를 통해 레지스터 B에 저장된다. 또한, 비교기는 관계연산 A > B를 수행하여 비교기의 출력값이 “1”이면 기준패턴 레지스터에 연결된 Tri-state buffer를 제어하여 기준패턴의 값이 기준패턴 레지스터 I에 저장될 수 있도록 한다. 비교기의 값이 “0”이면 기준패턴 레지스터 1의 기준패턴에 의한 동작을 중단하고 기준패턴 레지스터 2의 값에 의해 위의 과정을 반복하여 수행한다. 여기서, 비교기의 값이 “1”이 될때까지 3개의 기준패턴에 의한 BCD 카운터의 크기출력중에서 가장 큰 값을 찾는다. 카운터 데이터중 최대값이 선택되면 이때의 레지스터 B의 값(str_01)을 레지스터 11(r_str1)에 저장한다. 위의 동작에 의해 최종적으로 선택된 9비트의 기준패턴 값(r_cls1)과 카운터의 4비트 크기출력(r_str1)을 Global MAXNET 블록으로 전송한다.

3.2 Global MAXNET 설계

Global MAXNET은 식 (10)의 MAX 값을 구하는

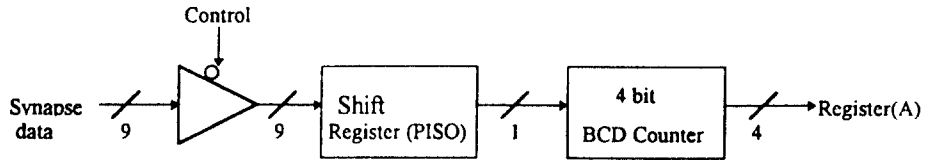


그림 5. 카운터 블록 회로도
Fig. 5 Circuit of counter block

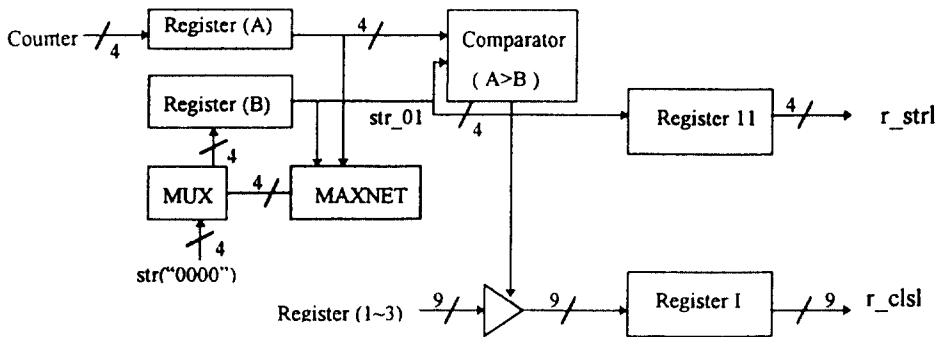


그림 6. MAXNET 블록 회로도
Fig. 6 Circuit of MAXNET block

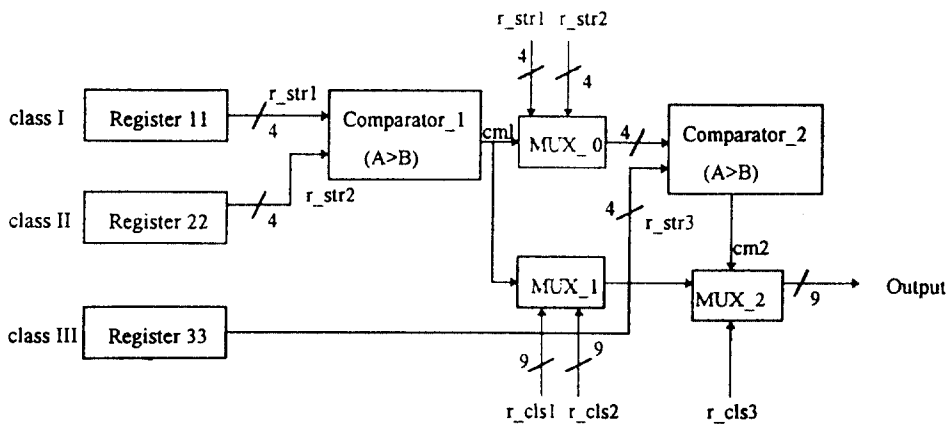


그림 7. Global MAXNET 회로
Fig. 7 Global MAXNET circuit

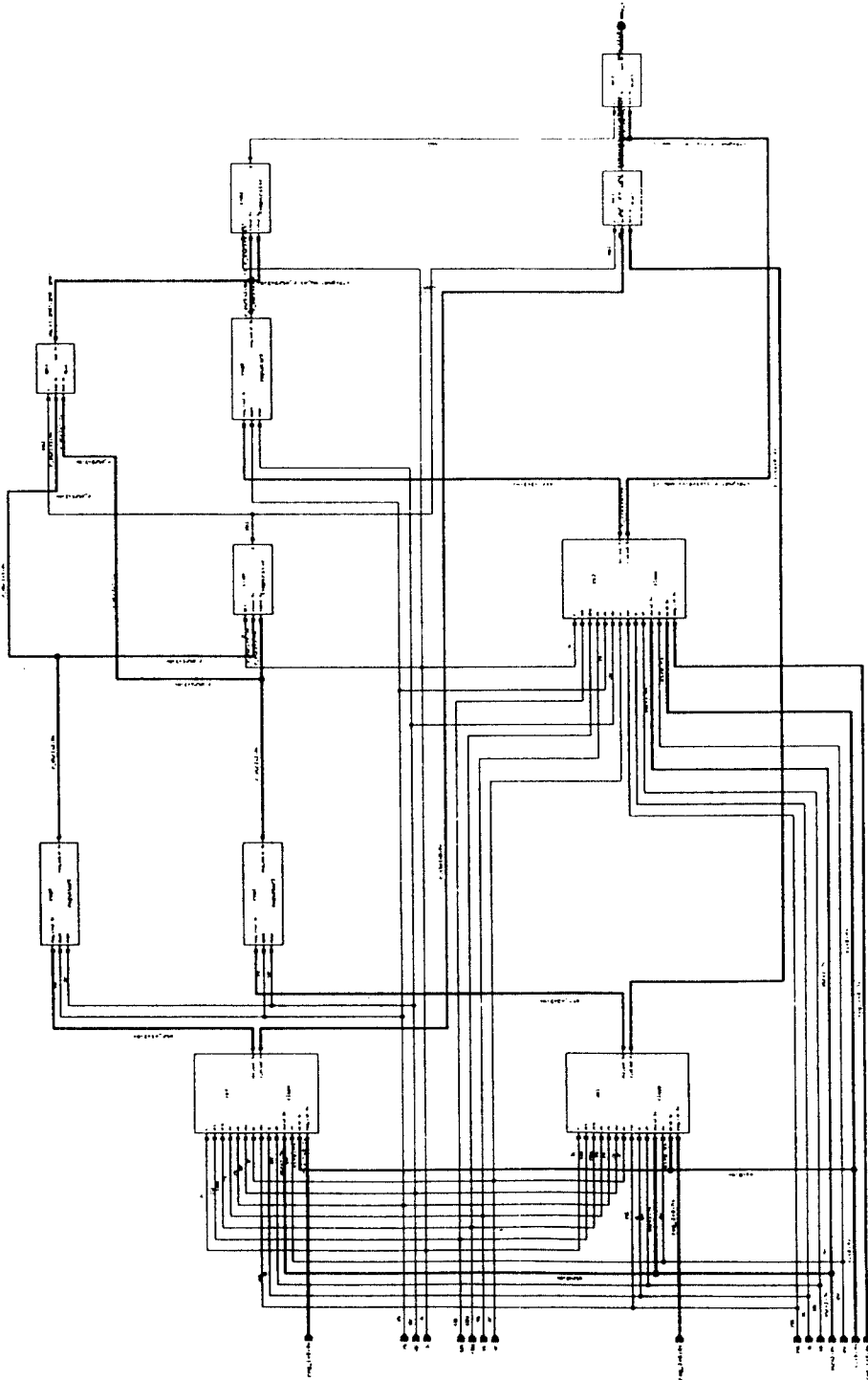


그림 8. Verilog-HDL로 설계한 계층적 디지털 DBNN의 회로도

Fig. 8 Circuit of designed hierarchical digital DBNN using Verilog-HDL

회로로써 각 클래스에서 선택된 국부승리자에 대해 전체승리자(global winner)를 선택하는 동작이 이루어지며, 회로는 그림 7과 같다.

3개의 클래스에서의 크기출력(str_01, str_02, str_03)중 가장 큰 값을 선택하고 이들 크기출력에 해당되는 기준패턴(r_cls1, r_cls2, r_cls3) 중에서 가장 유사도가 높은 기준패턴을 구하기 위해서, 먼저 두 크기출력을 비교기(comparator_1)에서 비교하여 그 출력을 4비트 MUX_0의 선택선(cm1)과 9비트 MUX_1에 입력시켜 선택선의 값에 따라 4비트 MUX_0에서 출력된 크기값에 해당하는 기준패턴을 MUX_1에서 출력한다. 마지막으로 4비트 MUX_0에서 출력된 값과 세번째 크기출력을 비교기(comparator_2)를 이용하여 비교하고 그 출력을 9비트 MUX_2의 선택선(cm2)으로 입력시켜 가장 큰 크기출력에 해당되는 기준패턴을 출력시킨다. 이와 같이 3개의 국부승리자를 병렬적으로 선택하여 최종적으로 전체승리자를 선택하므로 전체 동작을 직렬 인산방식에 비해 약 1/3로 줄일 수 있어 실시간 처리가 가능하다. 그림 8은 Verilog-HDL에 의해 생성된 계층적 구조의 디지털 DBNN의 회로도이다.

IV. 모의실험 및 검증

본 논문에서 설계한 디지털 DBNN 하드웨어의 시뮬레이션은 Cadence의 Verilog-XL Simulator를 이용해 Function simulation을 수행하여 회로의 동작특성을 검증하였으며, 설정한 기준패턴은 나타내면 표 1과 같다.

표 1. 기준패턴
Table 1. Reference pattern

Class	레지스터 번호	기준패턴
I	1	111001001 (1C9)
	2	000111000 (038)
	3	100100111 (127)
II	4	100111100 (13C)
	5	100110100 (134)
III	6	001011001 (059)
	7	100010001 (111)
	8	000010000 (010)
	9	101010001 (151)

시냅스 블록에서는 입력패턴과 기준패턴 사이의 패턴의 일치도를 판별하는데 패턴이 일치하면 입력패턴을 최종 출력으로, 불일치시에는 MAXNET 블록이 동작될 수 있는 제어회로로 사용된다. 그림 9는 시냅스 블록의 동작특성으로 패턴이 일치하면 16진수 '1FF'를 불일치시에는 'xxx'(don't care)의 값이 출력됨을 보인다.

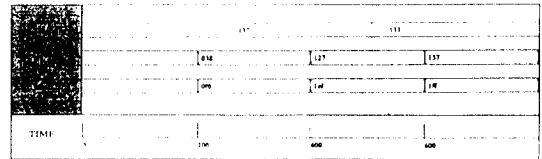


그림 9. 시냅스 블록의 동작특성
Fig. 9 Operation characteristic of synapse block

각 클래스는 패턴의 일치 여부를 시냅스 블록에서 판별하고 이 값에 의해 1의 갯수중 가장 큰 값을 찾기 위한 MAXNET 블록이 동작된다. 따라서, 각 클래스에서는 시냅스 결과값중 1의 갯수가 가장 많은 값을 국부승리자로 선택한다. 클래스 I에서의 입력패턴과 기준패턴 사이의 패턴 일치도는 표 2와 같다.

표 2. 클래스 I의 패턴 일치도
Table 2. Pattern matching degree of class I

입력패턴	기준패턴	시냅스 결과	1의 갯수
100110111	111001001 (1C9)	100000001	2
	000111000 (038)	011110000	4
	100100111 (127)	111101111	8

클래스 I에서의 출력특성은 그림 10과 같으며, 표 2에서와 같이 1의 갯수가 가장 많은 16진수 "127"값이 입력패턴과 가장 유사한 기준패턴으로 선택됨을 확인할 수 있다.

클래스 II의 패턴 일치도는 표 2와 같으며, 출력특성은 그림 11과 같다.

클래스 II에서의 출력특성은 3개의 기준패턴 값중 표 3에 보인 바와 같이 1의 갯수가 가장 많은 "134"가 가장 유사한 기준패턴 값으로 선택됨을 확인할 수 있다.

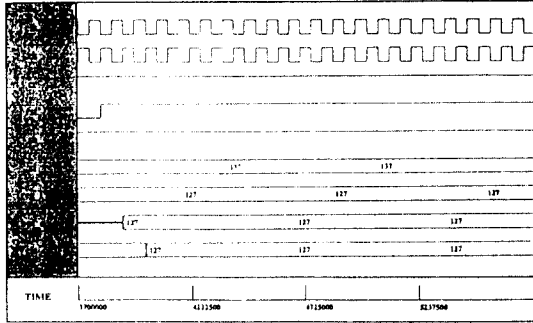


그림 10. 클래스 I의 출력특성
Fig. 10 Output characteristic of class I

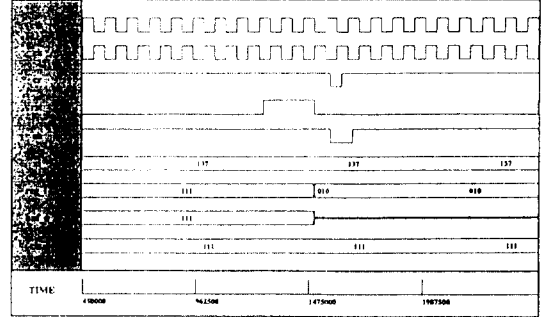


그림 12. 클래스 III의 출력특성
Fig. 12 Output characteristic of class III

표 3. 클래스 II의 패턴 일치도

Table 3. Pattern matching degree of class II

입력패턴	기준 패턴	시냅스 결과	1의 갯수
100110111	100111100 (13C)	111110100	6
	100110100 (134)	111111100	7
	001011001 (059)	010010001	3

표 4와 그림 12는 클래스 III의 패턴 일치도와 출력 특성이다.

클래스 III에서의 출력 특성은 표 4와 같이 3개 패턴의 크기출력 중에서 가장 큰 값인 “111”을 입력패턴과 가장 유사한 패턴으로 선택한다.

그림 13은 본 논문에서 설계한 계층적 디지털 DBNN 회로의 전체 블록에 대해 시뮬레이션한 결과이다.

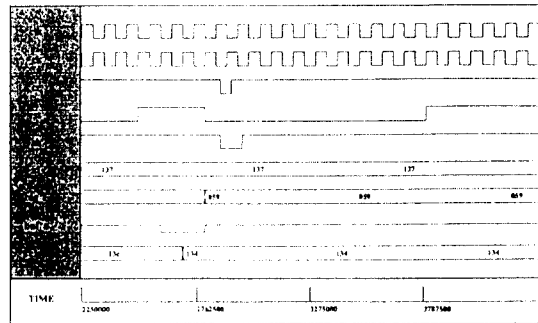


그림 11. 클래스 II의 출력특성
Fig. 11 Output characteristic of class II

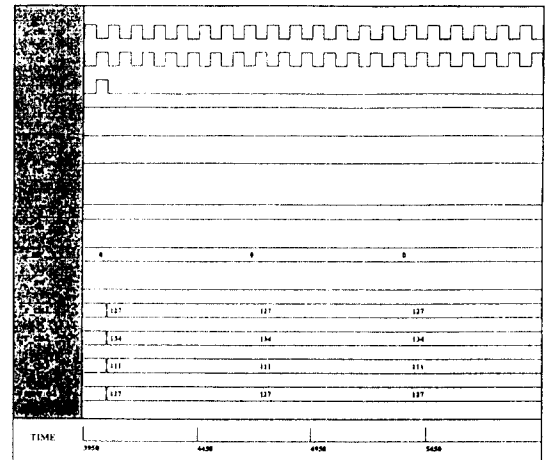


그림 13. 계층적 디지털 DBNN의 출력특성
Fig. 13 Output characteristic of hierarchical digital DBNN

표 4. 클래스 III의 패턴 일치도

Table 4. Pattern matching degree of class III

입력패턴	기준 패턴	시냅스 결과	1의 갯수
100110111	100010001 (111)	111011001	6
	000010000 (010)	011011000	4
	101010001 (151)	110011001	5

표 2, 3, 4에서와 같이 각 클래스에서 1의 갯수가 가장 큰 값인 8에 해당하는 기준패턴 “127”이 선택됨을 검증할 수 있어 각 클래스의 국부승리자를 찾아 Glo-

bal MAXNET에서 전체승리자를 선택하는 동작이 계층적 구조에 의해 이루어지는 것을 확인하였다.

본 논문에서는 DBNN 알고리즘의 하드웨어를 디지털 회로로 구현하므로 이미지 또는 패턴의 각 Pixel을 연산 가중치가 없는 디지털 값으로 정규화시켜 클래스 PE에서 1:1 mapping 과정을 통해 국부승리자를 선택한다. 그러므로, 클래스 PE는 가중치에 의한 학습과정이 아닌 조건적 처리과정을 수행하는 동작을 검증하였다.

V. 결 론

최근 신경망 회로가 복잡한 데이터를 병렬처리할 수 있고, 학습모델에 따라 시스템 종류가 다양하게 구성되고, 각 적용분야에 따라 신경망 시스템의 연구가 활발하게 이루어지고 있다. 그러나, 현재까지 발표된 신경망 회로는 대부분 직렬연산과 아날로그 방식으로 설계되었으며, DBNN의 알고리즘에 대한 연구는 아날로그 회로에 국한되어 있다.

따라서, 본 논문에서는 패턴인식에 적용하기 위하여 기준패턴을 9개로 설정하고, 3개의 기준패턴을 하나의 클래스로 구성된 3개의 클래스 블록과 Global MAXNET 블록으로 계층적 구조의 디지털 DBNN 하드웨어를 설계하였다. 설계된 디지털 DBNN 회로는 입력 데이터 크기와 패턴의 종류를 확장할 경우 입력단에 기준패턴 레지스터와 클래스 PE를 병렬로 연결하여 설계하면 임의의 입력패턴에 대해서 가변적 확장성을 갖는다.

설계된 각 클래스 PE 블록을 모의 실험한 결과 입력패턴과 기준패턴의 일치 여부를 판별하고, 불일치 시 입력패턴과 가장 유사도가 큰 기준패턴을 찾아내는 동작특성을 그림 10~12에서 확인하였다. 또한, 전체 블록에서는 각 클래스 PE 블록에서 선택된 기준패턴 중에서 입력패턴과 가장 유사도가 큰 패턴을 Global MAXNET 블록에서 선택됨을 그림 13에서 검증하였다.

그러므로, 본 논문에서 설계한 디지털 DBNN 회로에서 출력되는 값은 가중치가 있는 이진 값이거나, 처리과정중의 이진 값은 가중치가 없는 값이므로 정지 영상의 한 프레임에서 각각의 화소를 $x \times y$ 개 Bit로 설정할 경우 이진 값으로 영상을 정규화하여 영상

패턴을 처리할 수 있다. 또한, 이동통신의 초기동기 시스템에 사용될 경우 임의의 주파수가 입력단으로 들어올때 기준 값들과 비교하여 가장 유사도가 큰 주파수를 선택하고, 선택된 주파수는 DCO(Digital Controlled Oscillator)의 입력으로 들어가 전체 주파수 영역이 아닌 한정된 주파수 영역에서 탐색을 하며, 또 Hand Off에 의해 주파수가 변동될 때 일정한 주파수 범위에서 빠른 동기가 이루어질 수 있으므로 CDMA의 초기동기 시스템에 적용할 수 있다.

참 고 문 헌

1. Robert L. Harvey, Neural Network Principles, Prentice-Hall, Inc., 1994.
2. S. Y. Kung, Digital Neural Networks, PTR Prentice-Hall, Inc, 1993.
3. K. Fukushima, "A Neural Network for Visual Pattern Recognition", IEEE Computer Magazine, pp. 65-76, March, 1988.
4. K. Wojtek Przytula, Viktor K. Prasanna, Parallel Digital Implementations of Neural Networks, Prentice-Hall, Inc, 1993.
5. R. C. Gonzalez, R. E. Woods, Digital Image Processing, Addison-Wesley Publishing Company, 1992.
6. S. Y. Kung, J. N. Hwang, "Parallel architecture for artificial neural nets", In Proceeding IEEE, International Conference on Neural Networks, vol. 2, pp. 165-172, July 1988.
7. S. Y. Kung, J. S. Taur. Decision based neural networks with signal/image classification applications. In Proceeding, IEEE Transactions on neural networks for Signal Processing, 1993.
8. 김대순, 김환용, "2진 패턴분류를 위한 신경망 해밍 MAXNET 설계", 대한전자공학회 논문지, Vol. 31-B, No. 12, pp. 100-107, Dec. 1994.



宋 昌 泳(Chang Young Song) 정회원
 1991년 2월:원광대학교 공과대학
 전자공학과 공학사
 1993년 2월:원광대학교 대학원 전
 자공학과 공학석사
 1996년 2월~현재:원광대학교 대
 학원 전자공학과 박
 사과정

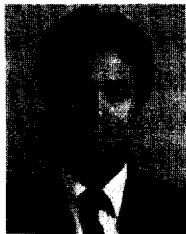
※주관심분야: 회로 및 시스템, 신호처리 VLSI, 신경
 망 회로 VLSI, 이동통신 회로설계



文 成 龍(Sung Ryong Moon)정회원
 1982년 2월:원광대학교 공과대학
 전자공학과 공학사
 1986년 8월:전북대학교 대학원 전
 자공학과 공학석사
 1993년 2월:전북대학교 대학원 전
 자공학과 공학박사
 1990년 3월~1994년 2월:전주공

업전문대학 전자계산과 조교수
 1994년 3월~현재:원광대학교 공과대학 전자공학과 조
 교수

※주관심분야: 영상신호처리, 패턴인식, 신경망 회로
 VLSI



金 煥 熔(Hwan Yong Kim) 정회원
 1973년 2월:전북대학교 공과대학
 전기공학과 공학사
 1978년 2월:전북대학교 대학원 전
 기공학과 공학석사
 1984년 8월:전북대학교 대학원 전
 기공학과 공학박사
 1986년 9월~1987년 8월:캐나다

마니토바대학교 객원교수
 1994년 11월~1996년 11월:대한전자공학회 전북지부장
 1979년 3월~현재:원광대학교 공과대학 전자공학과 교수

※주관심분야: 회로 및 시스템, 신호처리 VLSI, 신경
 망 회로 VLSI, 이동통신 회로설계