

# Linked-list 구조를 갖는 ATM용 공통 버퍼형 메모리 스위치 설계

正會員 이 명 희\*, 조 경 록\*

## Design of a shared buffer memory switch with a linked-list architecture for ATM applications

Nyoung-Hee Lee\*, Kyoung-Rock Cho\* *Regular Members*

본 논문은 1995, 1996년도 한국과학재단의 연구비에 의해서 연구되었음

### 요 약

본 논문에서는 linked-list 구조로 버퍼 메모리를 제어하여 셀 손실율을 감소시킨 공통 버퍼형 메모리 스위치 회로를 설계하였다. 스위치 규모는, 입/출력 포트의 크기는  $8 \times 8$ 이고 56바이트로 구성된 256개의 ATM 셀을 저장할 수 있는 버퍼 메모리와 메모리 제어부, 그리고 FIFO 메모리로 구성되어 있다. 버퍼 메모리의 어드레스를 관리하기 위한 linked-list 방식은 공유 메모리상에서 기록 어드레스와 판독 어드레스가 address chain pointer를 사용하여 시간적으로 연결되어 있는 구조로써 논리적으로 FIFO로 동작하며, 이는 개별 포트별로 address FIFO를 사용할 때에 비해 회로 규모를 줄일 수 있는 잇점이 있다. 또한, 제안된 회로는 버퍼 메모리 액세스에서 address chain이 끊어지는 경우를 방지하기 위해 각각의 address별로 slip-flag 비트를 생성하며, 그 값을 사용하여 address chain을 유지할 수 있도록 하였다. 설계된 회로는 시뮬레이션 결과 입력측에서의 무효셀 입력시에는 셀 누락기가 동작하여 무효셀을 누락시키고, 출력측에서는 특정 출력 포트로의 셀 출력이 없을시에는 slip을 표시하고 무효셀을 출력시켜서 스위치 전체로 볼 때 셀들의 가변 입/출력에 따른 동작을 수행하였다.

### ABSTRACT

This paper describes the design of ATM switch LSI of shared buffer type with linked-list architecture to control memory access. The size of port in switch LSI is  $8 \times 8$  and the buffer memory is 256 cells with 56 bytes.

\*충북대학교 정보통신공학과  
Dept. Computer & Communication Eng., Chungbuk Nat'l Univ.  
論文番號: 96221-0723  
接受日字: 1996年 7月 23日

The proposed switch LSI consists of the buffer memory, controller and FIFO memory blocks and two special circuits to avoid the cell blocking. One of the special circuit is a new address control scheme with linked-list architecture which maintains the address of buffer memory serially ordered from write address to read address. All of the address is linked as chain is operated like a FIFO. The other is slip-flag register it will be hold the address chain when read address missed the reading of data. The circuits control the buffer memory efficiently and reduce the cell loss rate.

As a result the designed chip operates at 33ns and occupied on 2.7x2.8mm<sup>2</sup> using 0.8μm CMOS technology.

### I. 서 론

ATM(Asynchronous Transfer Mode)은 셀이라는 고정된 정보블럭을 비동기적으로 전달하는 새로운 전달 방식이다. 본 방식이 B-ISDN에 도입되기 위하여는 고속으로 동작하는 대규모의 스위치 LSI의 설계가 중요한 부분이 된다.

ATM용 스위치는 큐잉을 위해 ATM 셀을 저장하는 버퍼 메모리와 셀이 입력 포트에서 출력 포트로 전달될 수 있는 스위치 요소로 구성되며, 메모리 기록과 메모리 판독간의 순서를 변화시키는 메모리 스위치는 큐잉과 스위칭 기능 모두를 위해 buffering을 수행한다. 그림 1(a)와 같이 스위치 요소의 앞단에 큐잉을 위해 입력 버퍼를 두는 입력 버퍼형 스위치는 HOL(Head of Line) blocking 때문에 이용 효율은 스위치 요소의 최대 대역 폭의 60% 미만이다. 그림 1(b)는 스위치 요소의 끝단에 출력 버퍼를 가지는 출력 버퍼형 스위치로서 HOL blocking 같은 출력 충돌 요소가 없기 때문에 높은 이용 효율을 가질 수 있으나 각 포트별로 메모리가 필요하다. 그림 1(c)처럼 입/출력 포트가 하나의 메모리를 공유하는 공통 버퍼형은 출력 버퍼형 스위치보다 더 작게 만들어질 수 있고, 모든 입/출력단에서 다중화된 셀들을 다루기 때문에 스위칭 회로와 제어 회로는 복잡해 질지라도 메모리 사용은 보다 효율적일 수 있다[1].

공통 버퍼형 메모리 스위치에서 버퍼 메모리를 공유하는 방법은 개별 포트별로 셀 저장을 위한 버퍼 메모리 어드레스를 저장할 수 있는 FIFO 메모리를 두고 다수의 소규모 버퍼 메모리를 공유하는 방법이 일반적이다[2]. 이때 각 포트가 버퍼 메모리의 모든 영역을 액세스하기 위해서는 버퍼 메모리 어드레스를 모두 저장할 수 있는 크기의 FIFO 메모리가 포트

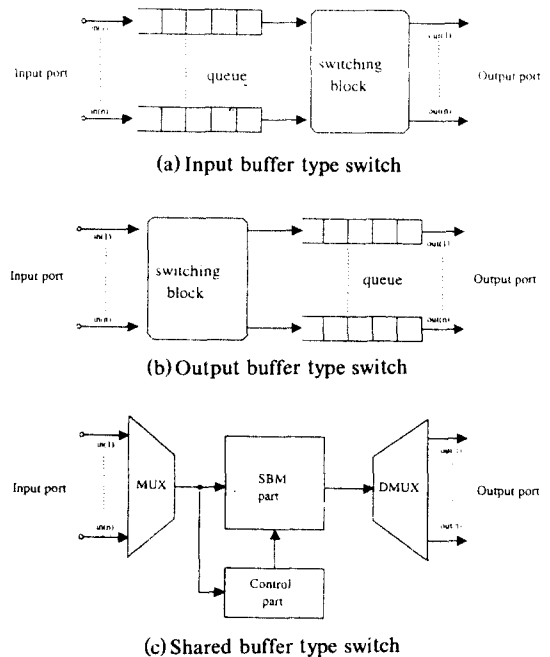


그림 1. 버퍼의 위치에 따른 스위치의 분류  
Fig. 1 Buffer types for ATM switch LSI

의 갯수만큼 있어야 하는데 이러한 방식은 소요되는 버퍼량이 많고 사용되지 않은 버퍼를 효과적으로 선택해서 셀을 저장하는 복잡한 제어 알고리즘이 필요한 단점이 있다[3].

본 논문은 임의의 시간 슬롯 동안에 특정 출력 포트에 스위칭되고자 하는 셀이 폭주하는 버스트 트래픽의 경우에 APA(Address Pointer Area)와 IAF(Idle Address FIFO)를 사용하여 버퍼 메모리 어드레스를 제어함으로써 버퍼 메모리에 FIFO 기능을 갖도록 하여 입력되는 셀들을 출력 특성에 따라 버퍼 메모리에 저장하는 linked-list 방식을 적용하여 소규모의 제어

회로로서 버퍼 메모리를 운용할 수 있도록 하였으며, 버퍼 메모리 액세스에서 linked-list로 구성되어진 address chain이 끊어지는 경우를 방지하기 위해 각각의 address 별로 slip-flag 비트를 생성하며, 그 값을 사용하여 address chain을 유지할 수 있도록 하였다. 또한 스위치는 모든 입/출력 포트가 버퍼 메모리를 공유하므로 버퍼 메모리의 이용 효율을 향상시킬 수 있다.

본 논문의 구성은 II장에서 제안된 linked-list 방식의 공통 버퍼형 메모리 스위치의 구조와 동작 방법을 제시하고, III장에서 스위칭 셀의 구조와 각각의 기능 블록을 설계한 회로를 제시하며, IV장에서는 시뮬레

이션한 결과와 요구되는 메모리 액세스 시간을 계산한 결과를 제시한다. 그리고 V장에서는 스위치 성능에 있어서 버퍼 크기가 셀 손실율에 미치는 영향을 조사하여 스위치의 성능 평가를 수행하고 개별 버퍼형 메모리 스위치와 비교한 결과를 제시하며, VI장에서 결론을 맺는다.

## II. Linked-list 방식의 스위치 구조 및 동작

그림 2는 본 논문에서 제안한 linked-list 구조를 갖는 공통 버퍼형 메모리 스위치(SBMS: Shared Buffer

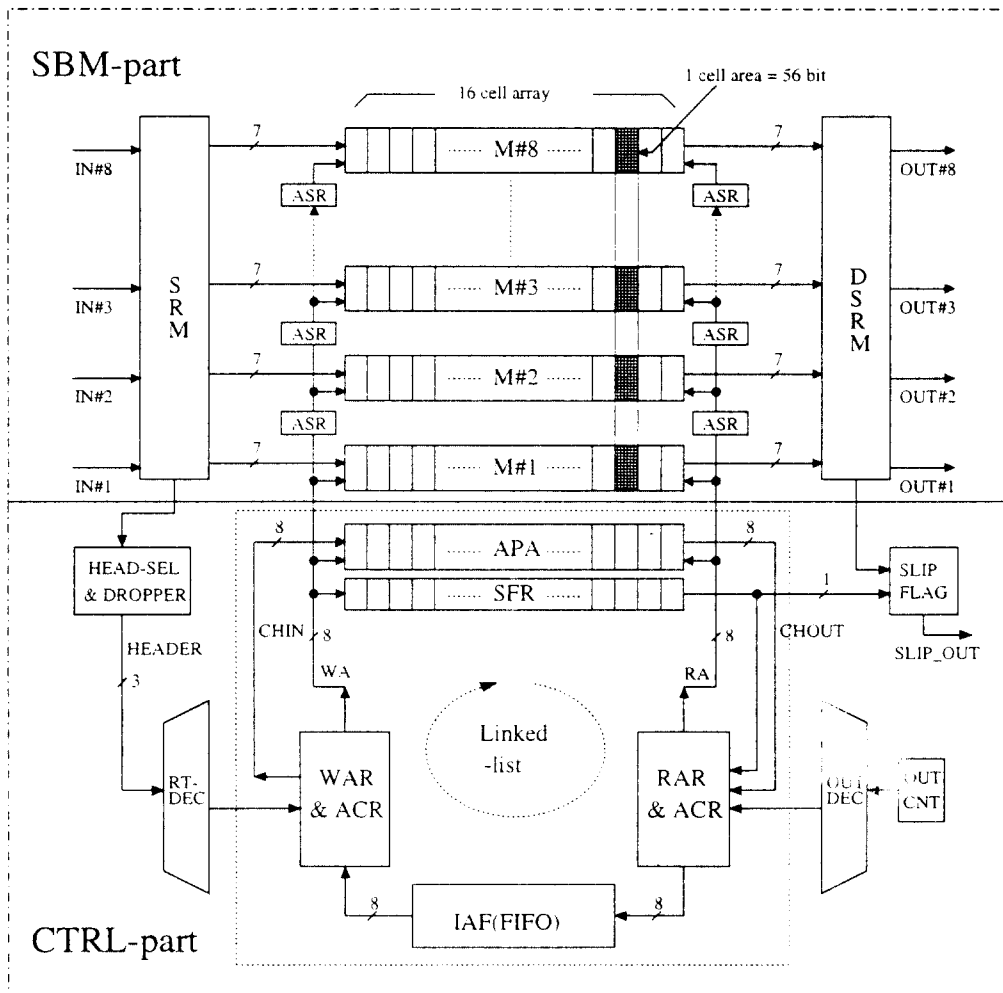


그림 2. 8 × 8 공통 버퍼형 메모리 스위치(SBMS)의 구조

Fig. 2 Architecture of 8 × 8 shared buffer memory switch (SBMS)

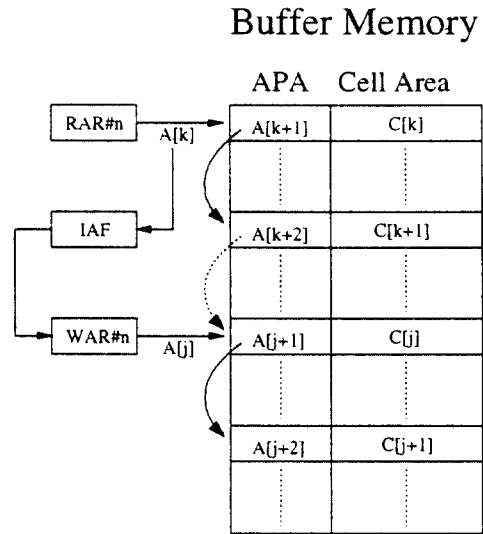
Memory Switch)의 구성도이다. 스위치 구조는 크게 버퍼 메모리부(SBM: Shared Buffer Memory)와 버퍼 메모리 제어부(CTRL: Controller)로 구성되는데, 우선 버퍼 메모리부는 SRM(Shift Rotation Matrix), 메모리, DSRM(De-Shift Rotation Matrix)으로 구성되며, 입력되는 셀 데이터는 SRM에서 7 비트씩 bit-slice 되어 병렬 데이터열이 되고 메모리에서는 7 비트씩 병렬화된 데이터를 기록하고 읽으며 DSRM에서는 병렬 데이터열을 직렬로 변환시키고 bit-slice 된 데이터를 조립하여 완전한 셀을 출력시킨다. 그리고 버퍼 메모리 제어부는 셀의 헤더를 추출하는 헤더 추출기, 셀의 루팅과 출력을 위한 디코더, 기록과 판독을 위한 어드레스 레지스터, 사용되지 않은 어드레스를 저장하기 위한 FIFO, 사용된 어드레스를 저장하기 위한 APA(Address Pointer Area)로 구성되어 있다.

그림 2에서 셀 데이터 기록시의 과정을 보면, 먼저 입력되는 데이터는 SRM을 거쳐 헤더 추출기(HEADSEL)에서 셀의 헤더 부분만 추출되어 루팅 디코더(RT-DEC)에서 디코딩되어 그 출력 링크에 대응하는 기록 어드레스 레지스터(WAR: Write Address Register)로부터 기록 어드레스를 SBM에 출력한다. 동시에 SBM의 어드레스를 저장하는 미사용 어드레스 FIFO(IAF: Idle Address FIFO)의 선두에 저장된 어드레스가 다음에 사용될 어드레스로 출력되고 동시에 WAR 및 어드레스 지정영역인 APA에 저장된다.

한편, 데이터의 판독시에는 SBM으로부터 읽어낸 셀은 읽어낸 타이밍에 따라 DSRM에서 각 출력 링크로 나누어진다. 그림 2에서 CTRL부의 출력 카운터(OUT-CNT)는 이 타이밍에 맞추어 출력 링크를 지정하고 그 출력 링크에 대응하여 판독 어드레스 레지스터(RAR: Read Address Register)로부터 읽어낸 판독 어드레스를 SBM에 출력한다. 이때, SBM에서 셀과 함께 저장된 APA의 어드레스가 읽어지고, 이제 셀이 저장된 영역은 사용된 메모리 영역이므로 다시 IAF에 저장되어 미사용 영역으로 확보된다.

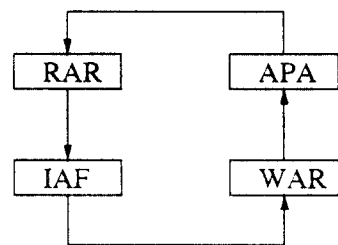
따라서 본 논문의 SBM 어드레스는 그림 3과 같이 IAF에서 WAR(A[j])로 이동되어 SBM의 어드레스를 지시하고, 이때 SBM의 APA를 거쳐 RAR(A[k])로 셀 데이터가 판독되고 난 후에는 IAF로 돌아가는 linked-list 방식을 취하고 있다. 이는 셀 데이터가 자신의 어드레스를 갖고 이동되므로 데이터의 유실을 줄일 수 있

고, SBM의 메모리를 효율적으로 사용할 수 있는 이점이 있다. 따라서 그림 2의 CTRL부의 점선으로 이루어진 블럭내에서 셀의 저장 및 판독을 위한 어드레스는 IAF→WAR→APA→RAR→IAF로 계속적으로 순환되어 linked-list로 동작하므로 버퍼 메모리 제어기가 간단한 장점이 있다.



(a) 동작도

Address Chain



- RAR ; Read Address Register
- IAF ; Inavailable FIFO
- WAR ; Write Address Register
- APA ; Address Pointer Area

(b) 구성도

그림 3. Linked-list 방식의 address chain  
Fig. 3 address chain on linked-list method

### Ⅲ. 회로 설계

제안된 회로는 ATM 셀을 저장할 수 있는 버퍼 메모리부와 버퍼 메모리를 FIFO처럼 동작시켜 셀을 스위칭할 수 있는 버퍼 메모리 제어부로 나누고, 포트 크기는  $8 \times 8$ 이고 셀 길이는 53 바이트의 ATM 셀에 3바이트의 경로 정보가 부착된 56바이트의 스위칭 내부셀로 하며 버퍼 메모리의 크기는 256개의 셀을 저장할 수 있는 규모로 설계하였다. 이것은 입/출력 포트수와 셀 길이를 1:7의 간단한 정수비로 하므로써 버퍼 메모리부내에서 다중 분리의 구성을 간단히 할 수 있기 때문이다[3].

일반적으로  $N$ 개의 출력 포트를 어드레싱하기 위해서는  $n(n = \log_2 N)$ 개 만큼의 비트가 소요된다. 따라서  $8 \times 8$  스위치의 경우 루팅 비트를 3비트로 할당하여 점대점(point-to-point)의 스위칭 서비스가 이루어지고 있다.

본 논문에서 스위칭되는 셀 길이는 그림 4에 보는 바와 같이 56바이트이며, 가입자 정합 장치에서 3비트의 루팅 비트(routing bit)가 선두에 부착되고, 4번째 비트에 유효셀인지 무효셀인지를 나타내는 1비트의 cell-type 비트를 부착하고 나머지 20비트는 다른 기능을 위해 예비로 두었다.

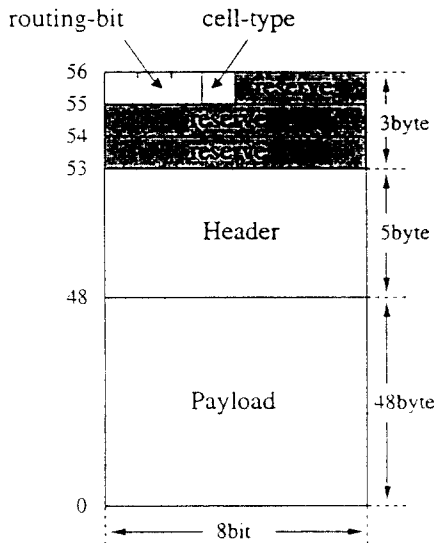


그림 4. 스위칭 셀 구조  
Fig. 4 structure of switching cell

본 논문에서 제안한 스위치 구조를 사용하여 그림 5에서처럼 bit-slice 방식으로 1개의 CTRL-LSI와 8개의 개별 SBM-LSI를 병렬로 조합하여 스위치 시스템을 구성할 수 있다[3]. 일반적으로 공통 버퍼형 메모리 스위치는 포트 크기가 커질수록 버퍼 메모리에 대한 액세스 시간이 적어져야만 한다. 그러므로 대규모의 메모리 스위치( $32 \times 32$  이상)를 구성할 때 스위치 시스템의 I/O interface부분에서 byte-level에서 bit-level로 전송 속도를 낮추고 병렬 처리하면 메모리 액세스 속도 문제를 극복할 수 있다.

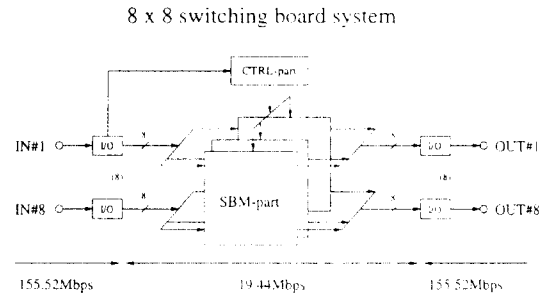


그림 5. 스위치 시스템 구조  
Fig. 5 structure of switch system

본 논문에서 셀의 입/출력 과정은 셀 동기 비트를 이용하여 수행된다. 즉, 동기 비트를 기준으로 하여 셀의 선두 위치를 추출하여 스트림으로 전송되는 셀의 경로 정보를 해석하여 스위칭 기능을 수행한다.

#### 3.1 버퍼 메모리부

다중화된 ATM 셀 데이터는 스위칭을 위해 각각의 셀별로 분리되어서 가입자 정합 장치(I/O interface)를 거치면서 경로 정보가 부착되어 SRM으로 입력된다.

입력 링크 IN#1~IN#8의 타이밍은 1셀 56비트마다의 주기를 가지고 각각의 포트는 시간적으로 7비트씩 어긋나 있다. 즉, SRM에서는 한개의 출력에 주목하면 각 입력셀에 대해 동일한 비트가 출력되도록 스위칭되고, 셀은 56비트로 전개되어 출력된다. 이때의 타이밍은 같은 셀에 주목하면 데이터는 7비트씩 같은 타이밍으로 출력되고, 또 옆의 7비트에 대해서 1주기의 타이밍이 어긋나서 출력된다. 또한 ASR(Address Shift Register)에서는 각 RAM에 써넣는 셀 데이터가

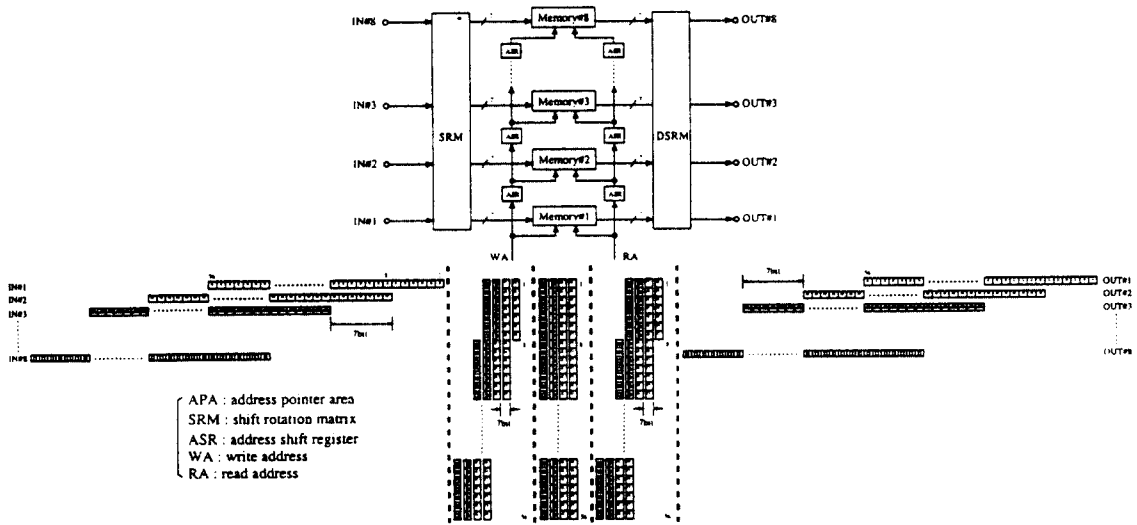


그림 6 SRM의 셀 handling 기법  
Fig. 6 Cell handling method in SRM

같은 어드레스가 되도록 타이밍이 조정된다.

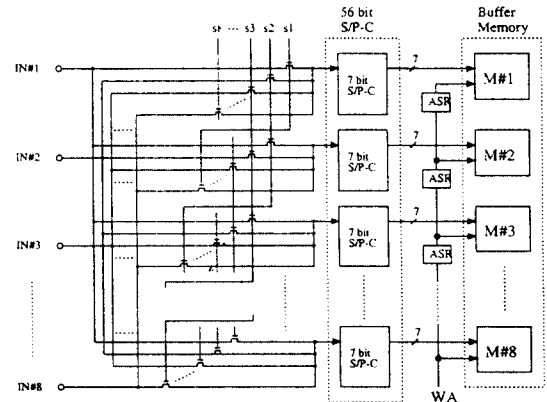
SRM의 회로 크기 및 변환 지연을 줄이기 위하여 본 논문에서는 그림 6와 같이 모든 입력 포트에 대해서 시분할 다중화 방식을 이용해서 각 입력 포트의 직렬 데이터를 병렬 데이터로 변환시키는 기능을 한다.

이 방식은 각 포트별로 직/병렬 변환기를 필요로 하지 않고 전체적으로 한 개의 직/병렬 변환기가 8개의 포트에 들어오는 셀을 처리한다. 이것을 위해서는 타이밍 발생기와 데이터가 선택적으로 통과할 수 있는 스위치 트랜지스터, 그리고 순차적으로 데이터를 변환시켜주는 7비트 직/병렬 변환기 8개로 구성하였다. 이와 같이 SRM에서 데이터를 처리하는 과정을 간략하게 도시하기 위해 그림 7에서는 SRM이 56비트의 셀을 병렬 처리할 수 있는 회로도(a)와 타이밍도(b)를 구체적으로 나타내었다.

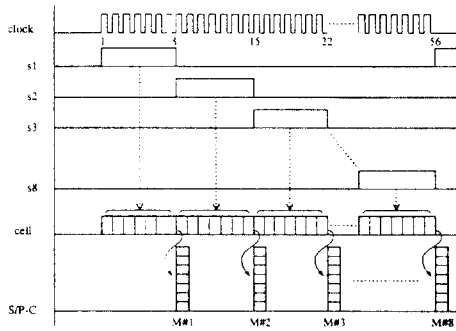
그림 7에서 SRM이 셀 데이터를 다루는 방법은, 각 입력 포트로부터 SRM으로 입력되는 8개의 56비트의 셀 데이터는 SRM에서 각각 7비트씩 병렬로 변환되어 처음 7비트(1bit~7bit)는 M#0에 입력되고 다음의 7비트(8bit~14bit)는 M#1의 입력 데이터로써 7비트 만큼 지연된뒤에 들어온다. 이러한 과정을 8번 거치게 되면 동일 어드레스에 56비트의 셀 데이터가 병렬로 정렬된다. 또한 셀 데이터의 출력 과정은 이의 역

과정으로 이루어지게 된다.

버퍼 메모리는 SRM에서 병렬로 변환된 셀을 저장할 수 있는 영역으로써 dual-port static RAM으로 구성하며 메모리 액세스 속도에 대한 제약을 줄이고, 한개의 메모리 어레이에 대해 쓰고 읽기를 동시에 수행할 수 있도록 하였다. 본 논문에서는 7비트×256워드의 메모리가 8개 쓰인다. 최초의 메모리에서 받은 어드레스는 셀의 처음 7비트의 데이터를 해당 메모리에 저장하고 그 어드레스는 ASR을 거쳐 다음 메모리의 주소로 쓰인다.



(a) SRM의 구성도



(b)SRM의 타이밍도

그림. 7 SRM의 구성도 및 타이밍도  
Fig. 7 Block diagram and timing of SRM

또한, 그림 6에서 보는 바와 같이 DSRM는 SRM의 역기능을 수행하는 회로로서 메모리에 7비트씩 저장된 데이터를 조립하여 셀을 출력시킨다.

3.2 버퍼 메모리 제어부

스위치는 가입자 정합 장치로부터 셀 동기 신호를 받고 이 동기 신호를 이용하여 셀의 선두 위치를 파악하여 3비트의 루팅 비트를 추출한다. 이 루팅 비트는 헤더 선택기(HEAD-SEL)에서 추출되어 출력 포트와 관계된 기록 어드레스 레지스터를 활성화하여 셀이 저장될 주소를 얻게 된다. 루팅 디코더(RT-DEC)는 입력되는 셀의 루팅 정보를 판독하여 셀이 출력되고자 하는 포트와 관계된 WAR에서 기록 어드레스를 SBM으로 내보낸다.

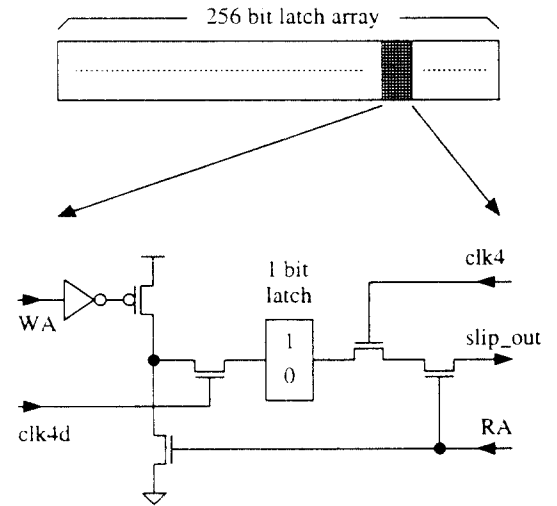
출력 디코더(OUT-DEC)는 OUT-CNT로부터 발생된 카운터 출력을 이용하여 순차적으로 RAR의 판독 어드레스를 SBM으로 내보내기 위한 회로이다. 즉, RT-DEC에서 루팅 정보에 의해 각각의 출력 포트와 관계된 WAR에서 기록 어드레스를 출력하여 셀을 저장하고 OUT-DEC에서는 순차적으로 RAR에서 판독 어드레스를 출력하여 셀을 출력시킴으로써 스위치 전/후에서 다중화된 ATM 셀들은 그 시간적인 순서를 바꾸게 된다. 이로써 스위치는 self-routing을 실현할 수 있게 된다.

본 논문에서는 무효셀이 메모리에 저장하는 것을 방지하기 위하여 셀 누락기(DROPPER)를 도입하였다. 그림 2에서 보는 바와 같이 셀 누락기는 스위치

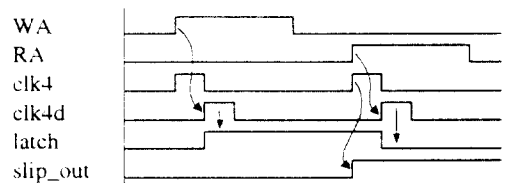
내부셀 구조에서 cell-type 비트가 '0'이면 무효셀이고, '1'이면 유효셀이므로 이 값을 이용하여 기록 어드레스 레지스터를 활성화시킬 것인지를 결정한다. 또한, 이에 대응하여 각각의 출력포트에서는 셀을 출력시킬 수 없는 cell slip인 경우에 155.52Mb/s라는 일정한 전송 속도를 유지하기 위해 무효셀을 삽입한다. 그러므로 일정한 타임 슬롯 동안에 스위칭되는 입/출력 셀 수는 가변적일 수 있다.

Slip이란 출력측에서 메모리에 저장된 셀을 읽지 못할 때 발생하는데, 이는 스위치의 시동 과정과 입력측에서 특정 출력에 해당하는 버스트적인 셀이 많이 입력될 경우에 특정 출력이 아닌 포트에서 셀을 출력시키지 못할 때 발생한다. 그리하여 출력측의 관

Slip-flag register



(a)구성도



(b)타이밍도

그림 8. Slip-flag 발생 회로  
Fig. 8 Circuit scheme of slip-flag generation

독 레지스터에서 특정출력 이외의 출력 포트로 셀이 출력될 수 없는 상황이 생기는데 이러한 경우를 표시해 줄 수 있는 회로가 그림 2에서 slip-flag 발생 회로(SFR: Slip-Flag Register)이다. 본 논문에서는 그림 8과 같이 버퍼 영역에 1비트를 저장할 수 있는 레지스터를 만들어 slip-flag 비트를 생성할 수 있도록 한다. 이때 slip-flag 레지스터의 크기는 SBM의 cell array × 1 bit로 256비트 레지스터로 구성된다. 셀이 버퍼 영역에 기록되었는지 또는 판독되었는지를 표시하는 정보를 기입하는 방법은 SBM의 버퍼 영역에서 기록 어드레스 및 판독 어드레스를 지정한 후에, 기록을 할 경우에는 WA와 clk4d 신호로 '1'을 저장하고 판독한 후에는 RA와 clk4d 신호로 '0'을 저장하도록 한다. 물론 초기에는 reset 신호를 이용하여 모두 '0'으로 set 한다. 따라서 slip-flag 레지스터값을 읽어서 '1'인 경우에는 판독이 가능하고 '0'인 경우에는 그 주소에 해당하는 메모리 영역의 데이터는 이미 1회 이상 판독이 되었고 새로운 셀 데이터가 쓰여지지 않았으므로 slip이 발생하는데 이때 slip-flag 신호를 발생시키고 DSRM에서는 출력되는 무효셀과 slip-flag 비트를 조합하여 셀을 출력시키지 않는다.

본 논문에서는 셀 저장을 위한 메모리 액세스를 linked-list 방법을 사용하여 수행한다. 이 방식은 특정 출력 포트에 출력되는 셀들이 저장된 주소가 시간 슬롯(time slot)상에서 서로 연결되어 있는 구조이다. 그러나 slip이 발생하면 출력 포트별로 존재하는 RAR에서 출력 sequence를 유지하는 address chain이 끊어지게 된다. 즉, WAR와 RAR은 address chain pointer로 구성된 FIFO로 동작하며, 하나의 출력 포트에 출력되는 셀들은 그 셀들이 저장된 주소들의 시간적인 관계가 linked-list 형태로 연결되어 있는데, slip 발생 시는 이 APA 영역에서 더 이상 주소를 읽어내지 못하므로 RAR에서 address chain은 끊어지게 된다.

본 논문에서는 이러한 문제를 방지하기 위해 address chain을 계속 유지할 수 있도록 그림 9(a)의 점선 부분과 같이 ACR(Address Chain Registration) 회로를 추가하였다. 예를 들어 임의의 타임 슬롯에서 RAR#2가 활성화되어 그 주소를 버퍼 메모리에 출력한다. 버퍼 메모리에서는 그 주소에 해당하는 셀과 APA 영역에 있는 다음 시간 슬롯에서 사용될 어드레스, 그리고 slip-flag 비트를 출력한다. 이때 slip-flag 비트가

'1'이면 유효셀으로써 셀은 출력되고, 다음에 사용될 어드레스는 RAR#2에 갱신된다. 그러나 그림 9(a)에서 slip-flag 비트가 '0'이면 RAR#2에 저장된 주소는 그대로 유지되고 WAR과 RAR간의 address chain은 linked-list를 계속 유지하여 동작할 수 있다. 그림 9(b)는 cell drop이 발생할 때 address chain을 유지하는 회로이다.

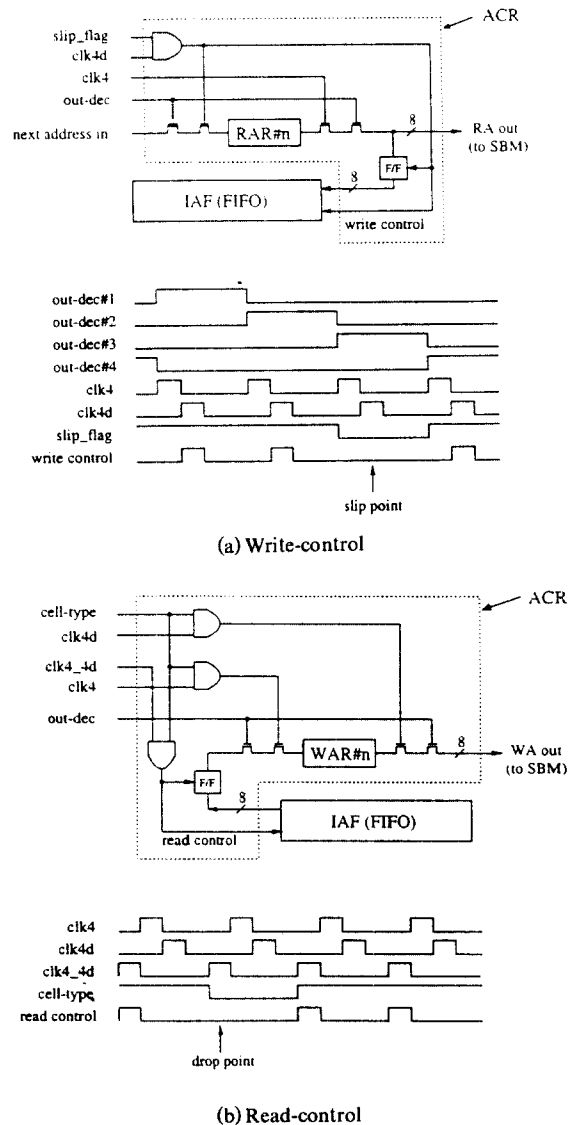


그림 9. IAF의 쓰기/읽기 제어 신호 생성  
Fig. 9 Generation of write/read control signal in IAF



미사용 어드레스 저장 버퍼(IAF)는 SBM의 미사용 메모리 공간과 셀이 판독되고 난후 새로운 메모리 공간으로 확보되는 어드레스를 저장하기 위한 회로로서 FIFO 동작을 수행하도록 설계되어 있다.

IAF는 SBM의 미사용 어드레스를 저장하기 위하여 쓰기 신호에 대한 IAF의 내부 주소를 출력하는 write controller, 입/출력되는 8비트의 미사용 어드레스를 저장하기 위한 address memory, 저장된 미사용 어드레스를 출력시키기 위해 IAF의 내부 주소를 출력시키는 read controller로 구성되며, address memory는 8bit x 256 word를 저장할 수 있는 규모이다.

#### IV. 시뮬레이션 결과

그림 10은 입/출력 포트 크기를 4×4로 스위치 규모를 축소 설계한 SBMS 회로도이다. 설계한 회로는 2-입력 NAND 게이트를 기준으로하여 약 13,000개의 게이트로 구성되었으며, 계층 구조상으로 top level을 나타내고 있다. 또한 3장에서 언급한 내용들이 기능 블록으로 나타나 있으며, 각 블록들의 연결 상태를 보이고 있다.

그림 11은 4×4로 설계한 SBMS 회로의 전체 시뮬레이션 결과이며, 셀 크기가 16비트로 구성된 내부셀을 처리하는 모습을 보이고 있다. 입력셀(in[1]-[4])의 선두 위치에서 헤더(head[1]-head[2])를 추출하여 출력 포트에 해당하는 기록 어드레스 레지스터를 활성화하여 기록 어드레스(w[1]-w[4])를 받아서 버퍼 메모리에 셀을 저장하고, 출력 카운터를 이용하여 출력 포트에 해당하는 판독 어드레스 레지스터를 활성화하여 판독 어드레스(r[1]-r[4])를 사용하여 버퍼 메모리로부터 셀을 출력하는 과정을 보였다.

스위치 시스템은 bit-slice 방식으로 본 논문에서 제안한 8개의 개별 SBMS를 병렬로 조합하여 구성할 수 있다[2][7][8][9]. 즉, 가입자 정합 장치에서 155.52 Mbps (byte-level)의 전송 속도를 19.44 Mbps (bit-level)로 낮추고 병렬 처리하면 SRM의 입력에서 셀 데이터의 전송 속도는 약 20MHz 정도가 되며, 본 논문에서 설계한 회로는 0.8μm CMOS technology library를 사용하여 30MHz에서 안정하게 동작할 수 있음을 시뮬레이션을 통하여 확인하였으며 이는 셀 데이터의 전송 속도를 만족시킨다.

따라서 개별 SBMS의 최대 throughput은 19.44 Mbps/port × 8 = 155.52 Mbps 이고, 8개의 개별 스위치를 사용하여 bit-slice 방식으로 스위치 시스템을 구성할 경우 최대 throughput은 155 Mbps/port × 8 = 1.24 Gbps 이다. 따라서 본 논문의 회로 구조에 대하여 memory access time을 계산하면, dual-port memory를 사용하므로 1 cell time slot = 56 × 8 bit / (155.52 Mbps × 56/53) = 2.72μs 이며, 1 cell time slot 동안 최대 8개의 입력 포트에 8개의 셀이 입력된다. 그러므로 공통 메모리에 대하여 8개의 셀을 1 cell time slot 동안에 저장하기 위해서는 8번의 memory access가 필요하므로 2.72μs/8 = 0.34μs 즉, 340ns가 된다. 현재 4M bit 메모리의 액세스 속도가 약 60~70ns이므로 상용 메모리로 본 회로의 구성이 가능하다.

#### V. 성능 평가

일반적으로 ATM은 노드당 지연 시간이 1ms 이하이어야 하고 셀 손실율은 CBR(Continuous Bit Rate) 서비스의 경우는 노드당 10<sup>-9</sup>, VBR(Variable Bit Rate) 서비스의 경우는 10<sup>-7</sup>은 되어야 한다[4]. 공통 버퍼형 메모리 방식을 이용하여 스위치를 구성하고자 할 때, 복잡도와 비용 측면에서 고려되어야 할 부분이 버퍼량인데, 입력 포트에 대한 도착 셀들이 어느 순간 버퍼 크기보다 많게 되면 셀들은 손실되게 된다. 여기서 셀 손실 계산을 위해서는 입력측에서의 셀 도착을 위한 모델을 가정하고 버퍼 크기를 설정하여 입력 트래픽에 대한 셀 손실율을 계산하고 이 값이 스위치 성능을 만족하여 충분한 QoS(Quality of Service)를 보장할 수 있어야 한다.

##### 5.1 공통 버퍼형에서 필요한 버퍼량 계산 방법

ATM 교환기에서는 CBR과 VBR의 버스트적인 정보가 다중화된 트래픽이 입력된다. 따라서 버스트 트래픽에 대한 성능 평가를 하는 것이 필요하지만 입력이 버스트 트래픽인 경우의 CLR(Cell Loss Ratio)을 정량적으로 구하는 방법이 아직 확립되지 않았다[5]. 그러나 개별 버퍼형 스위치는 어떤 종류의 버스트 트래픽에 대해서 CLR의 해석 방법이 확립되어 있다. 따라서 버스트 트래픽에 대한 공통 버퍼형 스위치의 버퍼량 감소비  $R_b$ 를 구하는 것이 가능하다면,  $R_b$ 와

개별 버퍼형 스위치의 각 출력당 필요한 버퍼의 갯수  $B_{b2}$ 를 써서 공통 버퍼형 스위치에 필요한 각 출력당 필요한 버퍼의 갯수  $B_{b1}$ 을 추정하여 식 (1)과 같이 계산할 수 있다.

$$B_{b1} = R_b \cdot B_{b2} \quad (1)$$

여기서 랜덤 트래픽의 버퍼량 감소비  $R_r$ 과 버스트 트래픽의 버퍼량 감소비  $R_b$ 에 대해서 생각해 보면 연속적으로 입력하는 셀들이 버스트적으로 발생하고 그 버스트가 계속되는 동안은 스위치 전체의 이용율은 일정하게 유지된다.

동일 시간내에 스위치에 도착하는 셀 수가 일정한 경우, 특정 출력선에 셀들이 집중하면 다른 출력선에는 셀 수가 적어진다. 이 때문에 버스트 트래픽의 경우 출력 포트간의 가져야 하는 버퍼 크기는 랜덤 트래픽 경우보다 크게 된다.

따라서 동일한 이용율의 경우 다음 관계가 성립한다.

$$R_b < R_r \quad (2)$$

스위치 사이즈가 크게 되면  $R_r$ 과  $R_b$ 의 차는 적게 되지만 식 (2)를 식 (1)에 대입하면 식 (3)의 관계가 얻어진다.

$$B_{b1} < R_r \cdot B_{b2} \quad (3)$$

개별 버퍼형 스위치의 버퍼량을 구하고  $R_r$ 을 구하면 공통 버퍼형 스위치에서 필요한 버퍼 크기를 요구되는 범위내에서 구할 수 있다.

### 5.2 해석적 방법에 의한 공통 버퍼형 스위치에서의 버퍼량 추정

버퍼의 크기에 따른 셀 손실율을 구하므로써 필요로 하는 최적의 버퍼 크기를 구하고자 한다. 입력 링크에서 셀 도착을 위한 간단한 입력 모델을 가정하고, 각 입력 링크에서의 셀 도착 프로세스는 독립적이고 이상적인 배르누이 과정에 기반을 둔다[4][5][6][7].

입력단에서 버스트적인 셀들이 도착할 때, 식 (4)와 같이 어느 일정한 시기에 각각의 타임 슬롯 동안에 입력되는 셀 수와 출력되는 셀 수의 차를 합한 값이

임의로 설정한 버퍼 크기(k)보다 크게 되는 시점부터 셀은 손실되기 시작한다.

$$\sum IN - \sum OUT \geq k \quad (4)$$

SBMS에서 모든 출력 포트  $N$ 에 대해 서비스되어야 할 셀이 존재하는 경우, 임의의 한 타임 슬롯에서 최대  $N$ 개의 셀이 서비스되어 출력된다. 제안된 스위치의 셀 손실율은 체르노프 한계치 조건에 의해서 구한 공통 메모리에서의 셀 손실율로 구할 수 있다[5][6].

$X$ 를 임의의 출력 포트에 대한 버퍼 크기라 하고  $Y$ 는 공통 메모리의 버퍼의 크기로서 각각의 출력 포트에 대한 버퍼 크기  $X$ 의 합으로 가정한다.

$$Y = \sum_{i=1}^N X_i \quad (5)$$

따라서  $Y$ 는 공통 큐내에 있는 셀의 갯수이고,  $X_i$ 는  $i$ 번째 출력 큐내에 있는 셀의 갯수이다. 즉, 공통 버퍼 속에 있는 셀 갯수의 확률분포( $M_X(v)$ ,  $v \geq 0$ )는 각 출력 포트의 큐 분포의 컨벌루션과 같다.  $N$ 개의 출력 스위치를 가정하면  $M_X(v)$ 는  $X$ 의 moment 발생 함수이고, 이 process를  $M/D/k$  모델에 의해 기술하면

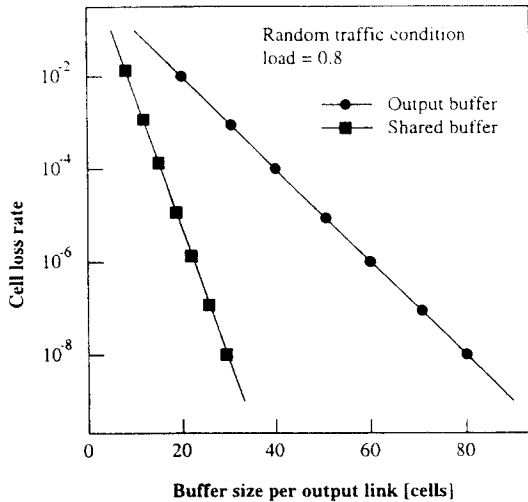
$$M_X(v) = \frac{(1-p) \cdot (1-e^{-v})}{1-e^{-v} \cdot e^{(1-e^{-v})p}} \quad (6)$$

$$m_x(v) = \log M_X(v) = \log(1-p) + \log(1-e^{-v}) - \log(1-e^{-v} \cdot e^{(1-e^{-v})p}) \quad (7)$$

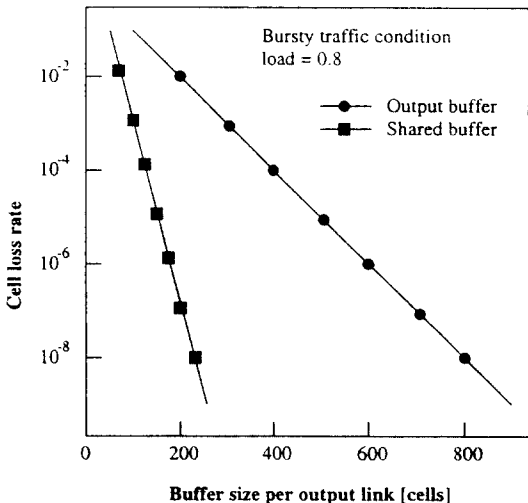
이 식은 공통 버퍼 메모리의 크기 결정을 위한 체르노프 한계치를 계산하는데 사용될 수 있다. 각 입력 포트로 임의의 타임 슬롯 동안에 도착하는 셀은 다른 입력 포트로 향하는 셀이나 다른 타임 슬롯과는 독립적이므로 포아송 분포를 가지며, 각각의 셀이 특정 출력 포트에 어드레스될 확률은  $\frac{1}{N}$  이라고 가정한다 이러한 가정하에서 각 출력 포트는 확률적으로 동등하므로  $Y$ 의 분포 함수에 대한 체르노프 부등식은 다음과 같다.

$$P[Y \geq N \cdot m_x^{(1)}(v)] \leq e^{N(m_x(v) - v \cdot m_x^{(1)}(v))} \quad (8)$$

여기서  $v < 0$ 이고,  $m_x^{(1)}(v)$ 는  $m_x(v)$ 의 1차 미분형으로 moment 발생 함수의 평균에 해당한다. 이 조건을 사용하여 임의의 셀 손실율을 위한 공통형 메모리의 버퍼 크기를 계산할 수 있다. 버퍼 크기와 셀 손실율의 관계는 그림 12와 같이 개별 버퍼형보다 공통 버



(a) random traffic condition



(b) burst traffic condition

그림 10. 공통 버퍼형에서의 트래픽에 따른 셀 손실율  
Fig. 10 Cell loss probability for a shared buffer (M/D/1/k model)

퍼형이 더욱 우수함을 알 수 있다. 그러므로 포트 크기가  $8 \times 8$ 인 경우 공통 버퍼형 스위치에서  $10^{-9}$ 의 CLR을 만족하기 위한 버퍼량의 추정치는 랜덤 트래픽일 경우, 32 (cell/port) 이므로 필요한 총 버퍼의 크기는 256 cell 이고, 버스트 트래픽일 경우, 256 (cell/port) 이므로 2048 cell이 된다.

이 메모리의 사용 효율 이득은 포트 크기  $N$ 에 의존하며,  $N$ 이 커질수록 메모리의 통계적 다중화 효과는 더욱 커진다. 즉,  $N$ 이 커질수록 버퍼량 감소는 더욱 더 중요해진다. 여기서  $\rho$ 가 0.8이고 CLR이  $10^{-9}$ 이며 포트 크기가  $N$ 일 경우,  $N=8$ 일때 이득은 5이고,  $N=16$  일때 이득은 6이며,  $N=32$  일때는 이득은 7로 증가한다. 이것은 각각의 공통화 효과가 그림 13에서 보는 바와 같이 각각  $\frac{1}{5}$ ,  $\frac{1}{6}$ ,  $\frac{1}{7}$  임을 나타낸다.

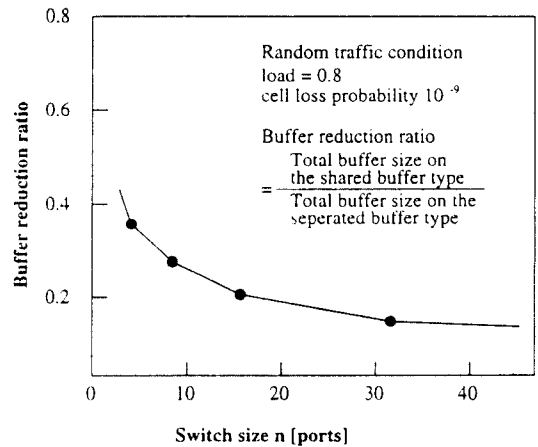


그림 11. 공통 버퍼형에서의 버퍼량 감소비  
Fig. 11 Buffer reduction ratio by shared buffer (cell loss probability:  $10^{-9}$ , load: 0.8)

## VI. 결 론

본 논문은 linked-list 구조를 사용하여 버퍼 메모리 어드레스를 관리할 수 있는 ATM용 공통 버퍼형 메모리 스위치 회로 설계에 관한 것으로써, 스위치 규모는 입/출력 포트 크기가  $8 \times 8$ 이고, 56바이트로 구성된 256개의 셀 데이터를 저장할 수 있는 버퍼 메모리부와 메모리 제어부, 그리고 FIFO 메모리로 구성

하였다.

본 논문에서 제안한 스위치는 공통 버퍼형 메모리 스위치에서 복잡한 제어부분을 linked-list 구조로 기록 어드레스 레지스터를 시점으로하고 판독 어드레스 레지스터를 종점으로하는 address chain을 구성하고 있으며, 스위칭 동작은 셀 동기 비트를 기준으로 루팅 비트를 추출하여 수행되며 입력단에서 무효셀은 누락시키고 출력단에서 셀 slip을 방지하기 위해 ACR 회로를 도입하여 address chain을 항상 유지할 수 있어, 셀들의 입력과 출력을 가변적으로 제어하여 점대점(point-to-point)의 스위칭 동작을 수행할 수 있는 장점이 있다.

설계된 회로구조에서 요구하는 메모리 액세스 시간은 340ns가 필요하며 현재 4M bit 메모리의 액세스 속도가 약 60~70ns이므로 상용메모리로 본 회로의 구성이 가능하다. 또한 8개의 개별 SBMS를 병렬로 조합하여 스위치 시스템을 구성할 수 있으며, 가입자 정합 장치(I/O 부분)에서 bit-slice 방식으로 byte-level에서 bit-level로 전송 속도를 낮추고 병렬 처리하면 향후 대규모의 스위치 LSI(32×32 이상)를 구성할 때 메모리 액세스 속도가 스위치 회로 설계에 있어서 더 이상 제약 조건이 될 수 없을 것이다.

### 참 고 문 헌

1. David E. McDysan, Darren L. Spohn, ATM Theory and Application, McGraw-hill Series on Computer Communications, 1994
2. Harufusa Kondoh et al., "A 622-Mb/s 8x8 ATM Switch Chip Set with Shared Mutibuffer Architecture", IEEE J. Solid-State Circuits, Vol. 28, No. 7, pp. 808-815, July 1993
3. Takahiko Kozaki et al., "32x32 Shared Buffer Type ATM Switch VLSI's for B-ISDN," IEEE J., Solid-State Circuits, Vol. 9, No. 8, pp. 1239-1247, October 1991
4. Martin de Prycker, Asynchronous Transfer Mode Solution for Broadband ISDN, ELLIS HOWOOD, 1991
5. Hiroshi Kuwahara et al., "A shared buffer memory switch for an ATM exchange," Proceeding of

ICC'89, pp. 118-122, Boston U. S. A., June 11, 1989

6. Michael G. Hluchyj et al., "Queueing in High-Performance Packet Switching," IEEE Communications, Vol. 6, No. 9, December 1988
7. 이순석, 강성열, 김영선, 한치문, "Random/Bursty 트래픽을 고려한 공통메모리 ATM 스위치의 성능 분석," 한국통신학회논문지, Vol. 20, No. 2, 2월 1995년
8. Yasuro Shobatake et al., "A One-Chip Scalable 8x8 ATM Switch LSI Employing Shared Buffer Architecture," IEEE J. on Selected Areas in Comm., Vol. 9, No. 8, pp. 1248-1254, October 1991
9. Yoshito Sakurai et al., "Large-Scale ATM Multi-stage Switching Network with Shared Memory Switches," IEEE Communications Magazine, pp. 90-96, January 1991



이 명 희(Myoung-Hee Lee) 정회원  
1969년 8월 14日生  
1995년: 충북대학교 정보통신공학과 졸업(공학사).  
1995년 3월~현재: 충북대학교 대학원 정보통신공학과 재학중.  
※주관심분야: 통신용 ASIC 설계, DSP 설계, 논리 회로 합성 등임



조 경 록(Kyoung-Rok Cho) 정회원  
1995년 6월 10日生  
1977년: 경북대학교 전자공학과 졸업(공학사).  
1979년 7월~1986년 7월: (주)LG 전자 TV 연구소 선임 연구원.  
1989년: 동경대학교(일본) 대학원 전자공학과(공학석사).  
1992년: 동경대학교(일본) 대학원 전자공학과(공학박사).  
1992년 3월~1992년 8월: (재)산업과학기술연구소 주임 연구원.  
1992년 8월~현재: 충북대학교 정보통신공학과 부교수.  
※주관심분야: 고속 VLSI 회로설계, 통신용 LSI 개발, 컴퓨터 구조 및 마이크로 프로세서 설계 등임.