

주파수 합성기용 GaAs Prescalar IC 설계 및 제작

正會員 윤 경 식*, 이 운 진**

Design and Fabrication of GaAs Prescalar IC for Frequency Synthesizers

Kyung Sik Yoon* and Woon Jin Lee** *Regular Members*

본 연구는 94년도 고려대학교 특별연구비 지원에 의해 수행되었음.

요 약

고주파 대역의 통신 시스템을 위한 주파수 합성기용 갈륨비소 128/129 이중분주 prescalar IC를 설계 하였다. 본 설계는 문턱전압이 -1.5V인 $1\mu\text{m}$ 게이트 길이의 depletion-mode GaAs MESFET을 이용한 SCFL(Source Coupled FET Logic)을 사용하였다. 이 회로는 전체 8개의 플립플롭, 3개의 OR게이트, 2개의 NOR게이트, modulus control 버퍼와 I/O버퍼로 구성되었으며 $1.8\text{mm} \times 1.8\text{mm}$ 의 면적에 약 440여개의 갈륨비소 MESFET으로 집적되었다. V_{DD} 와 V_{SS} 의 전원전압은 TTL과 ECL에서 일반적으로 사용되는 5V와 -3.3V를 각각 사용하였다. $\pm 0.2\text{V}$ 의 문턱전압변화와 $\pm 1\text{V}$ 의 전원전압변화를 고려한 시뮬레이션에서 이 prescalar는 2GHz이상의 동작 속도를 가진다. 본 논문에서 설계한 prescalar는 한국전자통신연구소의 MMIC 공정기술을 이용하여 제작하였으며 측정결과 최대 621MHz까지 동작하였다.

Abstract

A 128/129 dual-modulus prescalar IC is designed for application to frequency synthesizers in high frequency communication systems. The FET logic used in this design is SCFL(Source Coupled FET Logic), employing depletion-mode $1\mu\text{m}$ gate length GaAs MESFETs with the threshold voltage of -1.5V. This circuit consists of 8 flip-flops, 3 OR gates, 2 NOR gates, a modulus control buffer and I/O buffers, which are integrated with about 440 GaAs MESFETs on dimensions of $1.8\text{mm} \times 1.8\text{mm}$. For V_{DD} and V_{SS} power supply voltages 5V and -3.3V commonly used in TTL and ECL circuits are determined, respectively. The simulation results taking into account the threshold voltage variation of $\pm 0.2\text{V}$ and the power supply variation of $\pm 1\text{V}$ demonstrate that the designed

*고려대학교 정보공학과 교수

**대우전자

論文番號: 95371-1023

接受日字: 1995年 10月 23日

prescaler can operate up to 2GHz. This prescaler is fabricated using the ETRI MMIC foundry process and the measured maximum operating frequency is 621MHz.

I. 서론

주파수 합성기는 고주파 통신 및 측정 시스템 등에 필수적인 요소로써 주로 라디오나 위성통신의 수신기, 네트워크 분석기, 신호 발생기 등 다양한 분야에 널리 이용되며 VCO와 위상검파기 사이에 주파수 분주회로가 삽입된 PLL(Phase Locked Loop)이다. 초고주파 주파수 합성기를 위한 선행 분주회로인 prescaler IC의 개발은 80년대 중반부터 이동통신의 발전과 함께 시작되어 84년에 동작속도 1GHz에 50mW의 소비전력을 가지는 prescaler가 발표되었다¹⁾. 이후 이동통신 단말기의 제한된 사용전원의 연속사용시간을 확장하기 위해 소비전력을 감소시키는 방향으로 연구가 수행되어 왔다. 86년에는 0.5 μ m 게이트 길이의 GaAs MESFET 공정개발로 25mW수준의 prescaler가 개발되고²⁾ 87년에는 10mW³⁾의 수준에 이르렀다. 또한, 92년에는 전압조절기를 갖추어 전원전압을 2.7V에서 5V까지 자유롭게 사용할 수 있는 prescaler까지 개발되었으며⁴⁾, 따라서 휴대용 이동통신 단말기의 소형, 경량화와 저소비전력화를 가능하게 한다. 한편, 위성통신 및 광통신분야의 응용에는 전원공급의 제한이 적기 때문에 소비전력보다는 동작속도를 향상시키는 방향으로 연구가 진행되어 10GHz이상에 다다르고 있다⁵⁾.

이에 본 연구는 GaAs MESFET의 고속 동작 특성

을 이용하여 이동통신 단말기에 사용되는 주파수대역 이상에서 사용 가능한 주파수 합성기의 디지털 주파수 선행분주 회로인 prescaler를 설계하였다. 본 prescaler의 설계시 한국전자통신연구소(ETRI)가 제공한 설계지침서⁶⁾에 의하면 depletion-mode GaAs MESFET만이 제작 가능하였다. 따라서, 문턱전압이 -1.5V인 1 μ m 게이트 길이의 depletion-mode MESFET만의 SCFL(Source Coupled FET Logic)으로 prescaler를 설계하여 SPICE시뮬레이션을 통하여 성능을 검증한 후 ETRI MMIC Library공정기술을 이용하여 제작하였으며 그 동작 성능을 측정하였다.

II. Prescaler IC 설계

주파수 합성기는 그림 1과 같은 블록으로 나타낼 수 있다. VCO의 출력은 용도에 따라 100MHz 이상의 FM밴드나 위성통신 및 광통신분야의 1GHz이상의 초고주파대역이다. 실리콘 소자로 만들어진 programmable 분주기가 이와같은 초고주파의 신호를 처리하기는 어려우므로 GaAs MESFET를 이용한 prescaler로 VCO의 신호를 선행 분주하여 저주파로 변환시켜 주게 된다.

그림 1에서 주파수 합성기의 출력은 $F_{out} = M \times (N \times F_{ref})$ 로 나타내어지며 고정 분주율 M을 가지는 prescaler이며, modulus control을 통해서 M 또는 M

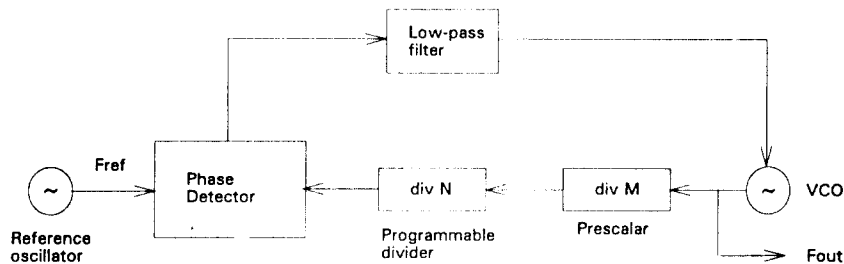


그림 1. 주파수 합성기의 블록도

+1의 비율로 나누어 주는 이중분주(dual modulus) prescaler는 출력주파수를 더욱 다양하게 합성할 수 있다. 그림2는 설계된 128/129 이중분주 prescaler의 논리회로도이다. 동기식의 4/5분주를 위한 3개의 D-type Flip-Flop과 비동기식의 32분주를 위한 5개의 Toggle Flip-Flop과 함께 2개의 NOR게이트와 3개의 OR게이트 및 modulus control 버퍼와 I/O버퍼로 이루어진 이 회로는 modulus control이 high이면 128로 분주하고 low이면 129로 분주한다. VCO의 주파수가 높은 경우에는 256/258와 같이 높은 분주비를 사용하여 programmable 분주기의 동작 상한 주파수 이하로 낮춘다.

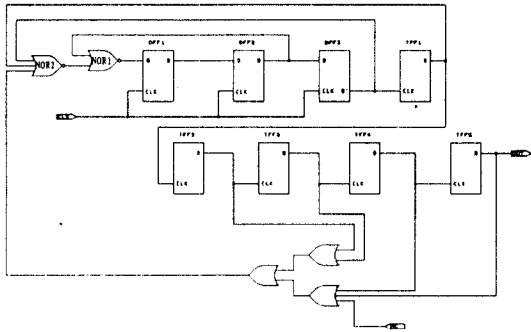


그림 2. 128/129 이중분주 prescaler의 논리회로도

대표적인 GaAs 논리회로는 DCFL(Direct Coupled FET Logic)과 SCFL(source Coupled FET Logic)이 있으나, prescaler IC의 제작 당시에는 능동소자로 문턱전압이 -1.5V인 depletion-mode GaAs MESFET만이 ETRI foundary에서 제공되었다. 따라서, 차동증폭기를 사용하여 DCFL 논리회로에 비해 CMRR특성이 우수하며 잡음여유가 크며 문턱전압의 변화에 덜 민감한 SCFL회로로 depletion-mode GaAs MESFET만으로 prescaler IC를 설계하였다.

2.1 D-type Flip-Flop

Prescaler를 구성하는 가장 중요한 부분인 D-type Flip-Flop은 그림 3과 같이 2단 직렬 SCFL NOR게이트로 구성되어 있으며, 차동증폭기의 부하저항으로는 면적을 줄이기 위해 active load를 사용하였다. 전

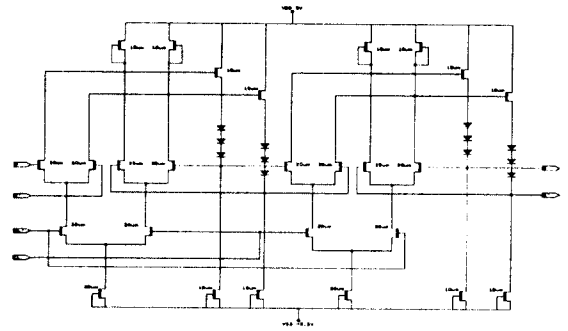


그림 3. SCFL Master-slave D 플립플롭 회로도

원 V_{DD} 와 V_{SS} 사이에 4개의 MESFET이 직렬로 연결되어 있어 이들이 충분히 포화영역에서 동작할 수 있도록 하기 위하여 전원전압은 TTL과 ECL에서 일반적으로 사용되는 5V와 -3.3V를 각각 사용하였다. 설계에 사용된 MESFET의 게이트폭의 최소 크기는 airbridge 공정을 고려하여 $10\mu\text{m}$ 로 제한하였다. Master-slave형태의 Flip-Flop으로 내부 로직폭을 2Vp-p으로 크게 설계해 잡음여유를 크게 하였으며 전원전압 및 문턱전압의 변화에 강하도록 하였다. 그러나, 설계에 이용된 depletion-mode GaAs MESFET의 문턱전압이 디지털회로에 사용하기에는 큰 -1.5V이므로 소비전력이 크리라 예상된다.

설계된 D Flip-Flop의 성능검증을 위하여 D와 Q를 연결한 T 플립플롭으로 클럭을 2분주하는 회로로 구성하여 문턱전압과 입력범위, 전원전압을 변화시켜가며 동작특성을 시뮬레이션하였다. 잡음여유를 살펴보기 위하여 문턱전압은 -1.5V에서 문턱전압의 표준편차의 2배만큼 변화시킨 -1.3V와 -1.7V에서 시뮬레이션하였으며 입력신호의 범위는 0~2V에서 0.1V씩 감소시켜 입력신호 변화에 대한 동작특성을 살펴보았다. 이와 같은 시뮬레이션의 결과를 표1에 요약하였다.

또한, 본 설계에 사용된 GaAs MESFET의 문턱전압이 -1.5V인 까닭에 5단 직렬 OR게이트를 사용하지 않고 2단 직렬 OR게이트와 3단 직렬 OR게이트로 대신하였다.

2.2. 입출력 버퍼

Prescaler에서 입력버퍼는 VCO로부터의 -0.25V~

표 1. SCFL D 플립플롭의 문턱전압 변화에 대한 최대 동작속도 및 소비전류

	Vth = -1.5V	Vth = -1.3V	Vth = -1.7V
V _{DD}	5V	5V	5V
V _{SS}	-3.3V	-3.3V	-3.3V
Input level	0~2V	0~2V	0~2V
Output level	-0.2~2V	-0.2~2V	-0.2~2V
I(V _{DD})	10.5mA	8.3mA	12.8mA
I(V _{SS})	-10.4mA	-8.3mA	-12.5mA
Max. Clock Frequency	4GHz	3.6GHz	3.5GHz

* 문턱전압 변화는 설계자료^[13]의 $2\sigma = \pm 0.2V$ 로 시뮬레이션하였다.

+0.25V (0.5Vp-p)의 입력신호를 받아, D-type Flip-Flop의 클럭을 구동하는 데 필요한 0~2V(2Vp-p)의 신호와 이의 상보신호로 전환시킨다. SCFL회로의 입력버퍼로 그림 4와 같은 입력버퍼회로를 제안하였다.

입력버퍼회로는 초단 인버터, 차동증폭기, BFL (Buffered FET Logic)로 구성되어 있다. VCO의 출력은 외부에 연결한 1000pF의 chip capacitor인 차단 capacitor를 통해 인버터와 차동증폭기에 인가된다. 0.5pF의 capacitor와 1Kohm저항에 의해 상보적 입력은 차동증폭기의 구동 트랜지스터를 적절한 Q-point에서 동작하게 하여 입력버퍼의 전압이득은 6정도로 VCO로부터 입력되는 0.5Vp-p의 신호를 prescalar내

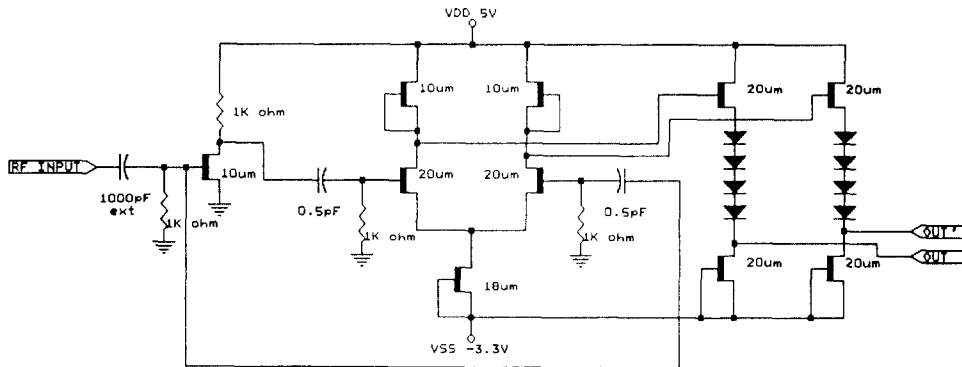


그림 4. 입력 버퍼 회로도

표 2. 추출된 SPICE 모델 파라미터

SPICE name	Model parameter	D-FET	UNIT(μm)
VTO	Threshold Voltage	-1.5(+/-0.1)	V
BETA	Transconductance parameter	0.71E-4	A/V ²
B	Doping tail extending parameter	0.15	1/V
ALPHA	Saturation voltage parameter	2	1/V
LAMBDA	Channel length modulation parameter	0.03	1/V
RD	Drain ohmic resistance	692	OHM
RS	Source ohmic resistance	692	OHM
CGS	Zero-bias G-S junction capacitance	1.985E-15	F
CGD	Zero-bias G-D junction capacitance	5.0E-19	F
PB	Gate junction potential	0.65	V
IS	Gate junction saturation current	2.84E-14	A

부 로직 구동에 충분한 3Vp-p으로 증폭시켜주는 역할을 한다. 이 입력버퍼의 출력은 prescalar의 4/5분주단을 구성하는 3개의 D 플립플롭을 동시에 구동하여야 함으로 BFL의 크기를 크게 설계하여 신호왜곡과 동작속도가 저하되지 않도록 하였다. 초단 인버터의 부하저항의 크기는 면적을 고려하여 1Kohm으로 제한하였다. 입력신호가 작으므로 구동 트랜지스터의 크기 결정이 매우 중요하며 크기가 10 μ m 일 때 원하는 상보적 신호를 얻을 수 있다. 차동증폭단의 전류원 또한 그 이득에 큰 영향을 미치며 전류원의 크기는 18 μ m 일 때 가장 좋은 동작을 보여 주었다.

그림 5의 출력버퍼는 prescalar에 의해 분주되어 prescalar 다음단의 CMOS나 TTL로 구성된 저주파대역의 회로를 구동하기 위해 prescalar의 내부 로직폭인 2Vp-p를 TTL의 로직폭인 5Vp-p으로 증폭한다. 그림 2의 TFF5의 출력Q는 출력버퍼의 3단 level-shift diode를 이용하여 TTL 구동 인버터의 구동 트랜지스터를 cutoff할 수 있도록 신호 레벨을 이동시킨다. 이 구동 트랜지스터가 on 또는 off 됨에 따라 출력신호는 0V에서 V_{DD}인 5V까지 변환된다. TTL 구동 인버터의 트랜지스터 크기 비는 부하 트랜지스터에 비해 구동 트랜지스터를 크게 하여 부하에 의한 신호지연 시간을 줄였고, 로직폭이 TTL과 호환되도록 입력신호가 20MHz이고 부하 캐피턴스를 15pF로 가정하여 설계하였다.

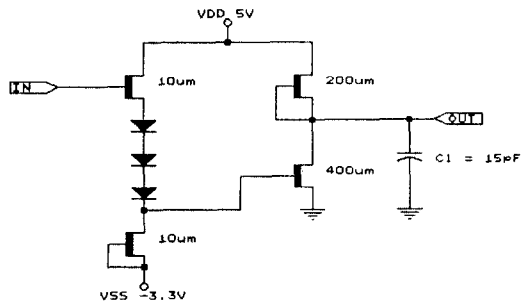


그림 5. 출력 버퍼 회로도

III. Prescalar IC 시뮬레이션

설계한 회로의 성능을 검증하기 위한 시뮬레이션

에는 H. Statz의 GaAs MESFET모델이 탑재된 SPICE3e2버전을 사용하였다⁸⁾. 따라서, SPICE에서 사용되는 등가회로 모델 파라미터는 한국전자 통신연구소의 초고주파 집적회로 설계지침서⁷⁾의 GaAs MESFET의 전류-전압 특성으로부터 추출하였다. SPICE는 MESFET의 게이트 길이와 게이트 폭이 각각 1 μ m 일 때의 모델 파라미터를 사용하므로 추출된 파라미터도 이에 맞게 정규화 하였다. 갈륨비소 논리회로 설계를 위한 시뮬레이션에서 정확한 DC모델 파라미터 추출은 매우 중요하며 본 논문에서는 JFET모델식으로부터 모델 파라미터를 추출하는 방법을 사용하였다⁹⁾. 이로부터 추출된 SPICE모델 파라미터는 표 2과 같다.

전체 rprescalar IC의 시뮬레이션은 layout의 배선 및 배선 중첩에 의한 기생정전용량을 고려하지 않고 수행하였기 때문에 제작 후 그 성능의 저하가 예견된다. 그러나, D 플립플롭은 입력의 변화에 대한 잡음 여유가 매우 크므로 입력신호의 범위는 변화시키지 않고 문턱전압의 최악조건인 -1.7V에서 전원전압의 변화는 2-NOR(OR), 3-NOR(OR)게이트와 D 플립플롭의 정상동작이 가능한 최소 전원인 V_{DD}=4.5V, V_{SS}=-2V에서 시뮬레이션하였을 경우는 2GHz까지 동작

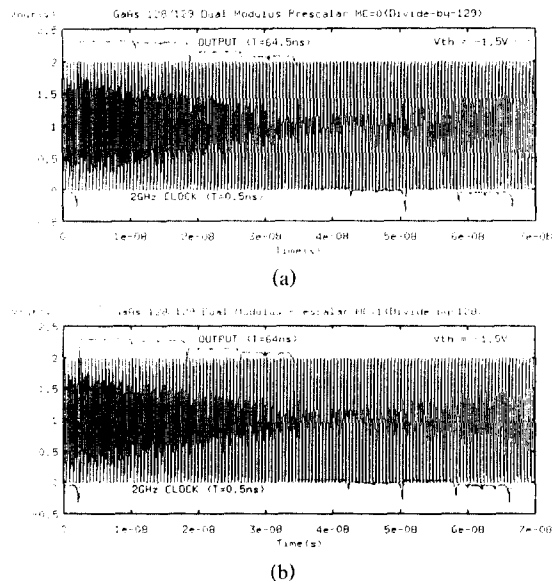


그림 6. 128/129 이등분주 prescalar의 출력 신호129분주 (a), 128분주(b)

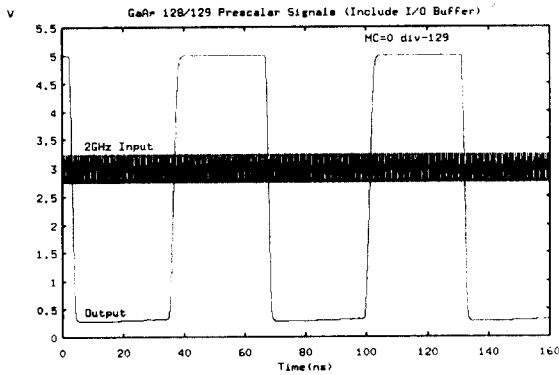


그림 7. Prescaler IC의 RF 입력 신호 및 출력 신호

하였다. Prescaler 자체의 논리검증을 위해 각 버퍼를 포함시키지 않고 시뮬레이션한 결과를 그림 6에 도시하였다.

이 경우 2GHz sine wave(2Vp-p)입력에 대해 출력은 -0.4V~1.85V로 동작하는 것을 알 수 있다. 입력 및 출력과 MC버퍼를 포함한 prescaler IC의 입력은 3V DC에 VCO출력인 0.5Vp-p의 2GHz sine wave를 함께 인가하였으며 출력레벨은 그림 7에 보인 바와 같이 TTL에 호환되는 0.3V~5V이다.

소비전류는 전체 회로 구성시 $I(V_{DD}) \approx 106.5mA$, $I(V_{SS}) \approx -106.5mA$ 이상이 될 것으로 예상된다. Prescaler IC의 시뮬레이션 결과는 표 3에 요약하였다.

표 3. 128/129 이중분주 prescaler IC 시뮬레이션 결과

	시뮬레이션	설계사양
V_{DD}	5V(±0.5)	5V
V_{SS}	-3.3V(±0.5)	-3.3V
문턱전압	-1.5V(±0.2)	-1.5V
Operation Frequency	2GHz(Max. 3GHz)	≥ 1GHz
입력신호범위	-0.25 ~ +0.25V	-0.25 ~ +0.25V
출력신호범위	0.3 ~ 5V	0 ~ 5V
$I(V_{DD})$	106.5mA(estimated)	-
$I(V_{SS})$	-106.5mA(estimated)	-

IV. 제작 및 측정결과

설계된 prescaler IC는 8개의 플립플롭, 3개의 OR 게이트, 2개의 NOR 게이트, MC버퍼와 입출력 버퍼로 구성되었으며, 약 440여개의 게이트 길이 1μm인 depletion-mode GaAs MESFET으로 설계하였으며 회로의 성능은 SPICE 시뮬레이션을 통하여 검증하였다. 이 prescaler를 IC로 제작하기 위해 한국전자통신연구소의 최고주파 집적회로 설계지침서의 설계규칙^[7]에 따라 레이아웃을 수행하였으며, 레이아웃의 오류를 (LVS(Layout Versus Schematic))을 수행하여 제거하였다. 레이아웃된 chip의 크기는 1.8mm x 1.8mm이며 그림 8은 prescaler IC의 레이아웃 사진이다. Prescaler의 작동 상태를 파악하기 위해 prescaler를 구성하는 인버터, D 플립플롭과 8분주기를 포함하는 test chip과 prescaler IC chip를 한국전자통신연구소 MMIC Library 공정기술로 제작하였다. MESFET 공정은 이온주입 및 활성화로 채널을 형성하는 이온주입 공정을 기본으로 하며 Ti/Pt/Au Schottky 접합을 게이트로 이용하였다^[7].

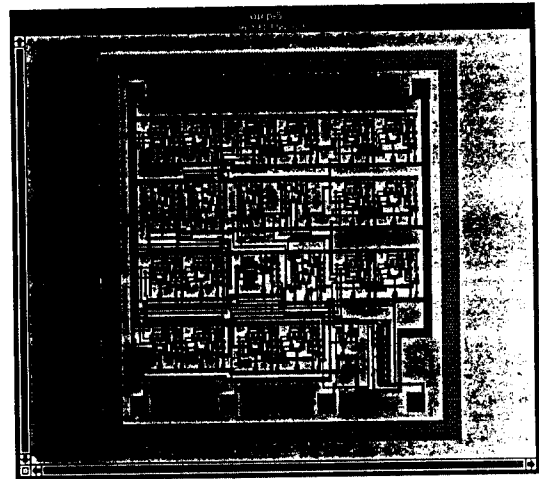


그림 8. Prescaler IC layout

제작된 prescaler의 측정에 앞서 test chip의 인버터 및 8분주기의 특성을 먼저 측정하였다. 인버터의 DC 특성을 통해 전달특성을 얻었으며, 8분주기와 prescaler

는 0.5Vp-p의 RF신호를 인가하여 분주된 주파수를 측정하였다. 그림 9는 측정된 인버터 전달특성의 측정과 같은 조건으로 시뮬레이션한 인버터 전달특성을 비교한 것이다. 그림 9에서 보는 바와 같이 실제 제작된 인버터의 전압이득은 시뮬레이션의 이득에 비해 반으로 감소하였으며 출력전위도 0.7V정도 낮았다. 출력전위의 이동은 BFL단의 level shift 다이오드에서 생기는 전압강하가 시뮬레이션보다 크게 일어난 것으로 판단된다. 내부로직폭은 시뮬레이션과 같이 3Vp-p이상의 큰 폭을 얻을 수 있었다.

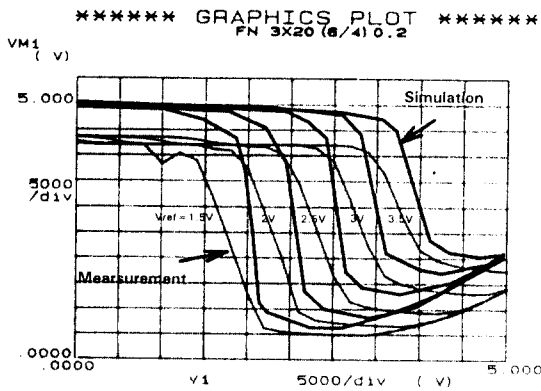


그림 9. 인버터 시뮬레이션 및 측정결과

본 연구에서 설계한 prescalar 및 test pattern의 8분주기를 측정하기 위해 wire bonding하여 HP83732A synthesized signal generator를 사용하여 0.5Vp-p의 RF신호를 입력신호로 인가하였다. 출력신호 측정은 HP54110D digitizing oscilloscope를 사용하였다. 설계 사양의 전원전압인 $V_{DD} = 5V$ 와 $V_{SS} = -3.3V$ 에서 제작

된 8분주기는 동작하지 않았으나, 전원전압을 조정하여 정확한 8분주율을 얻게 된 전원전압은 $V_{DD} = 7V$, $V_{SS} = -3V$ 였다. 이것은 인버터 DC측정에서 보는 바와 같이 level shift diode와 MESFET의 드레인-소오스간의 전압강하가 설계보다 큰 것으로 판단된다. 출력전압의 크기는 약 1Vp-p로 50ohm의 부하를 감당한 시뮬레이션에서 구한 1.2Vp-p과 비슷한 결과를 얻었다. 입력신호를 0.5Vp-p의 정현파를 인가하였을 때 최대 동작 속도는 667MHz이나 HP8091A rate generator를 사용하여 구형파를 입력으로 가했을 경우 746MHz까지 동작하는 것을 확인하였으며 측정결과를 표 4에 요약하였다. Layout에 의한 기생정전용량을 고려하지 않은 시뮬레이션의 경우 8분주기는 3GHz, prescalar IC는 2GHz까지 동작하는 결과를 얻었으나, 측정된 동작주파수가 시뮬레이션 결과에 미치지 못하는 주원인은 layout시 최적화 되지 못한 배치 및 배선에서 기인하는 것으로 판단된다. 그림 10은 wire bonding한 prescalar IC의 test fixture이다. 그림 11은 본 연구에서 제작한 test chip의 8분주기에 가한 입력과 출력 파형을 디지털오실로스코프로 측정할 결과로 정확히 8분주되는 것을 보여준다. 그림 12는 그림 10의 test fixture의 prescalar IC의 modulus control를 1로 설정하고 621.118MHz의 정현파 입력신호를 가했을 때 128로 분주된 4.84332MHz의 출력 파형을 디지털오실로스코프로 측정할 결과이다.

표 4에서 보는 바와 같이 본 연구에서 설계제작한 prescalar의 소비전력이 기발표된 prescalar^[1-3]에 비해 매우 큰 이유는 사용된 D-MESFET의 문턱전압이 -1.5V이므로 I_{dss} 가 크고 또한 이들을 포화영역에서 작동시키기 위해 전원전압을 증가시켜 소비전력이 크게 된다.

표 4. 측정 결과 요약

	8 divider	128/129 prescalar
Power supply(V)	$V_{DD} = 7, V_{SS} = -3$	$V_{DD} = 6.6, V_{SS} = -3$
RF Input (Vp-p)	≈ 0.5	≈ 0.5
Output (Vp-p)	≥ 1.0	≥ 1.0
Current (mA)	$I(V_{DD}) \approx 70, I(V_{SS}) = 40$	$I(V_{DD}) = 150, I(V_{SS}) = 120$
Operation Freq. (MHz)	667	621
Total power (mW)	610	1350

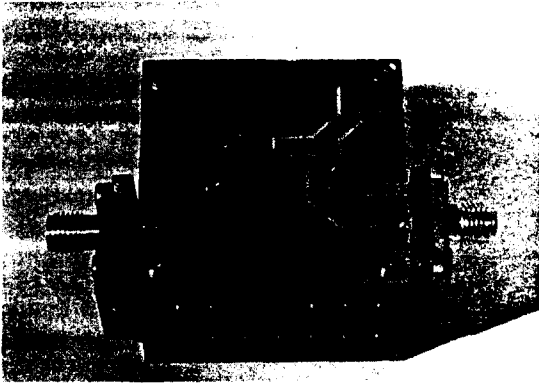
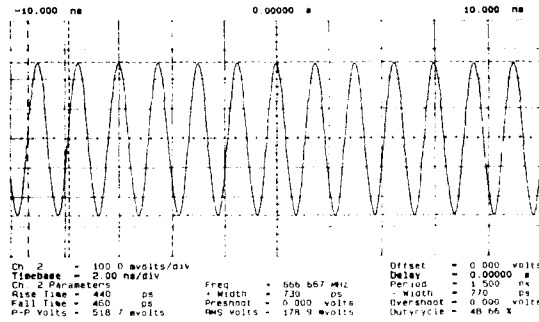
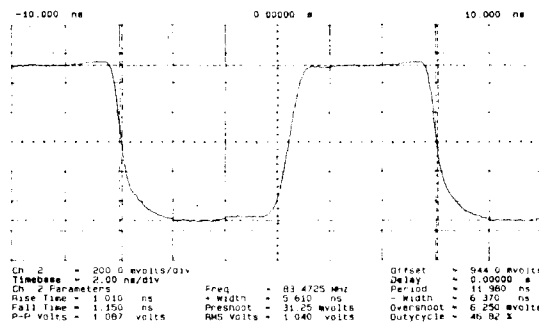


그림 10. Prescalar의 test fixture 사진

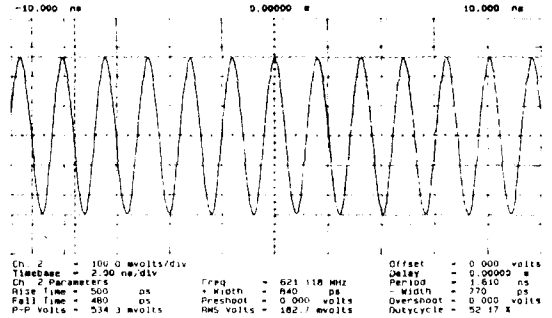


(a)

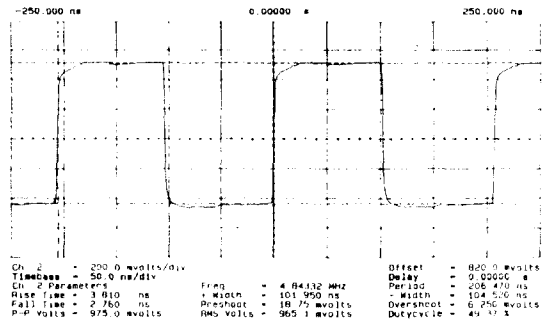


(b)

그림 11. 8-분주기의 입력(a) 및 출력 파형(b)



(a)



(b)

그림 12. Prescalar의 입력(a) 및 출력 파형(b)

V. 결 론

128/129 이중분주 prescalar IC를 분턱전압이 -1.5V의 게이트 길이 1 μ m인 depletion-mode GaAs MESFET의 SCFL회로로 구성하여 SPICE 시뮬레이션을 수행하여 2GHz까지 동작하도록 설계하였다. 설계된 prescalar IC를 한국전자통신연구소의 MMIC 공정기술로 제작하여 그 성능을 측정된 결과 8 분주기는 667MHz, prescalar는 621MHz까지 동작하는 것을 확인하였다. 그러나, 내부로직복을 줄이고 critical path와 layout의 기생캐패시턴스를 최소화시키면 작동주파수가 향상될 것이다. 또한, 디지털회로용으로 GaAs MESFET의 분턱전압을 낮추고 depletion-mode와 enhancement-mode GaAs MESFET으로 설계하면 소비전력도 개선될 것이다. 본 연구를 통해 국내에서 최초로 ETRI MMIC Library의 GaAs MESFET으로 설계제작한 prescalar의 성능은 시뮬레이션 결과와는 많은 차이를

보이고 있으나, ETRI MMIC Library의 활용 가능성을 보여준다.

<감사의 글>

본 연구를 위해 prescalar IC를 제작해 주신 한국전자통신연구소 반도체연구단 박형무 단장과 설계제작 및 측정 에 많은 도움을 주신 화합물소자연구실 박철순 실장과 연구원 여러분께 감사드립니다.

참 고 문 헌

1. S. Shimizu et al., "A 1GHz 50mW GaAs dual-modulus divider IC", IEEE SC-19, pp. 710-715, 1984.
2. S. Saito T. Takata et al., "A 5-mA, 1-GHz GaAs Dual modulus prescalar IC", IEEE SC-21, pp. 538-543, 1986.
3. K. Meamura et al., "A 1GHz-2mA/5V GaAs128/129 prescalar IC", IEEE GaAs IC Symp. Tech. Dig., pp. 273-276 1987.
4. N. Hirakata et al., "3 V-Operatioin GaAs Prescaler IC with Power Saving Function", IEICE E75-C, pp. 1115-1120, 1992.
5. J. Kasahara et al., "10GHz GaAs JFET dual-modulus prescalar IC", Electronics letter, vol 25., pp. 889-890 1989.
6. M. Wada et al., "12GHz GaAs J-FET 256/258 dual-modulus prescalar IC", IEEE GaAs IC Symp. pp. 109-112 1989.
7. 한국전자통신연구소 화합물 반도체 연구부, "ETRI GaAs MMIC Design Guide", 1993.
8. Hermann Statz et al., "GaAs FET Device and Circuit Simulation in SPICE", IEEE ED-34, pp. 160-169,1987.
9. S. L. Long and S. E. Butner, "GaAs Digital Integrated Cirrcuit Design", McGraw- Hill, 1990.



윤 경 식(Kyung Sik Yoon)정회원

1971년 2월:서울대학교 공과대학 졸업

1977년 7월:Univ. Louis Pasteur de Strasbourg에서 D.E.A.

1988년 8월:Univ. of Utah에서 전자공학박사(Ph.D)

1978년 5월~1982년 9월:한국해양연구소 해양기기실 실장

1988년 9월~현재:고려대학교 전자 및 정보공학부 교수
※주관심분야:고속소자 모델링, 소자시뮬레이션, 초고속 및, 고주파회로 설계

이 운 진(Woon Jin Lee)

정회원

1993년 2월:고려대학교 정보공학과 졸업

1995년 2월:고려대학교 대학원 전산학과 졸업

1995년 3월:대우전자

※주관심분야:고속 디지털회로 설계