

## CSD 계수에 의한 이차원 디지털필터의 단일칩설계

정종익 송낙운 김창민

正會員 文鍾億\*, 宋洛雲\*\*, 金昌敏\*\*\*

### A Single-Chip Design of Two-Dimensional Digital Filter with CSD Coefficients

Jonguk Moon\*, Nagun Song\*\*, Changmin Kim\*\*\* Regular Members

#### 要 約

본 논문에서는 이차원 디지털필터의 개선된 구조를 제안하여 이를 C와 VHDL 언어를 이용하여 모의실험하였으며 레이아웃은 Berkeley CAD 툴에 의하여 설계하였다. 이차원 디지털필터는 크게 일차원 디지털필터와 지연선으로 구성되었다. 일차원 디지털필터에서는 필터계수를 CSD(Canonical Signed Digit)로 표현한 후 이것을 바탕으로 곱셈기를 고정선 이동방식으로 구현하였다. 이때 화질의 열화방지를 고려하여 비트수를 조정하였으며, 필터의 속도를 높이기 위하여 각 탭과 출력단에 파이프라인 덧셈기구조를 채택하였다. 지연선에서는 전력소모와 속도개선을 위하여 DRAM 셀을 공유선 방식으로 설계하였다. 레이아웃은 규칙성과 속도면에서의 개선을 고려하며 반주문형/완전주문형 방식으로 설계하였으며, 모의실험에 의하여 정상적인 동작을 확인하였다.

#### ABSTRACT

In this work, an improved architecture of two-dimensional digital filter(2D DF) is suggested, and then the filter is simulated by C, VHDL language and related layouts are designed by Berkeley CAD tools. The 2D DF consists of one-dimensional digital filters and delay lines. For one-dimensional digital filter(1D DF) case, once filter coefficients are represented by canonical signed digit formats, multiplications are executed by hardwired-shifting methods. The related bit numbers are handled to prevent picture quality degradation and pipelined adder architectures are adopted in each tap and output stage to speed up the filter. For delay line case, line-sharing DRAM is adopted to improve power dissipation and speed. The filter layout is designed by semi/full custom methods considering regularity and speed improvement, and normal operation is confirmed by simulation.

\*삼성전자

\*\*홍익대학교 전자공학과(현재:삼성전자)

\*\*\*서울시립대학교 반도체공학과

論文番號 : 95311-0905

接受日字 : 1995年 9月 5日

## 1. 서 론

최근 디지털 신호처리(DSP: digital signal processing) 기법이 눈부신 발전을 이루며, 관련부품의 IC 설계에 관한 연구가 활발히 있어왔다. 이러한 디지털 시스템은 방대한 데이터를 다루게 되며 이에 따라 커다란 저장 매체와 빠른 전송율을 필요로 한다. 아울러 많은 데이터 양을 갖는 신호를 처리하려면 데이터 압축이 반드시 선행되어야 한다. 일반적으로 DSP 분야에서 DF(digital filter)는 시스템의 전처리와 후처리 부분에 사용되어 시스템에 입력되는 데이터의 양을 줄이고 전송상에서 더해진 잡음을 제거하여 본격적인 코우딩 부분의 데이터 압축처리에 중요한 역할을 하게 된다.

이러한 디지털필터의 구현방법으로는 완전/반주문형(full/semi-custom)등의 설계 및 공정 기술상에 여러 가지 옵션이 있게 되며, CAD 툴의 도움을 받아 설계하는 것이 일반적인 추세이다. TI의 Yoshino et al.은 0.8 $\mu$ m BiCMOS G/A를 통해 FIR DF를 구현하였으며<sup>[1]</sup>. Jain et al.은 FIR 필터 CAD 툴인 FIR-GEN을 이용하여 100Mhz 샘플링율을 갖는 FIR 필터를 구현하였다<sup>[2]</sup>. Lund 대학의 He et al.은 FIR 필터의 CSD 곱셈기를 FPGA를 통하여 구현하였으며<sup>[3]</sup>. Caltech의 Vaidyanathan et al.은 multirate DF에 관한 논문을 발표하였다<sup>[4]</sup>. 이러한 일차원 디지털필터(1DDF: one-dimensional digital filter) 구조에서는 속도향상을 위하여 CSA(carry save adder), VMA(vector merge adder) 등의 구조가 널리 쓰이고 있다[1,2,5,6]. 한편, 이러한 일련의 연구들이 고속 DSP의 응용분야에 집중되면서, 일차원 디지털필터 외에도 영상을 처리하는 이차원 디지털필터(2DDF: two-dimensional digital filter)에 관한 연구도 활발히 진행되고 있다<sup>[7]</sup>. 2DDF 구조는 일반적으로 1DDF 부분과 영상데이터 저장을 위한 선메모리 부분으로 이루어진다<sup>[8,9]</sup>. Siemens의 Zehner et al.<sup>[10]</sup>은 TV 영상처리를 위한 이차원 필터에서 영상 데이터를 저장하기 위하여 FIFO(first-in-first-out) 개념을 도입한 PADL(pointer-addressed delay line)을 제시하였으며, NHK의 Abe 팀은 HDTV에 사용하기 위하여 속도와 전력 소모를 개선한 2D 필터를 제안하였다<sup>[11]</sup>. Sung et al.<sup>[12]</sup>은 이들 기본적인 모듈에 의한 파이프라인 구조에 interleave 방식을 적용한 효율적인 2DDF

를 설계하였으며, 아울러 가변적인 CSD 계수에 의한 곱셈기를 이용한 다위상 필터를 구현하였다<sup>[13]</sup>.

이상에서와 같이 많은 연구가 이차원 디지털필터 설계에 관하여 이루어졌으나 많은 연구가 아직도 알고리즘 분야에 국한되고 있으며 이의 하드웨어 구현 측면에서도 범용 DSP 칩을 사용한 개발이 많은 편이다. 아울러 이의 VLSI 칩 설계 측면에서도 COMDISCO, 게이트어레이 개발툴 등 상용툴에 의한 방법에 치우쳐 설계기술의 저변 확보가 미흡한 실정이다. 이를 위하여 본 연구에서는 주로 연구 및 교육적인 CAD 툴을 이용하여 개선된 이차원 디지털필터의 설계 방법을 정립하며 향후 이의 자동화 설계 방법의 타당성을 검토하고자 한다. 또한 속도와 전력소모 등 성능의 개선을 위하여 아키텍처상의 개선점을 제안한다. 우선 면적소모를 줄이기 위하여 계수의 대칭성을 최대한 설계를 하나, 규칙성의 제약 문제를 고려한다. 곱셈의 경우 CSD 코드를 이용한 곱셈기를 사용하여 면적과 속도를 개선하며, 화질의 열화방지를 개선하기 위하여 가상적 내부비트의 증가를 이용한 변형구조를 제안한다. 아울러 속도개선을 위하여 수평 및 수직 단계에서의 VMA의 형태를 택한다. 입력된 영상 데이터를 저장하기 위한 메모리 부분은 전력 소모를 줄이기 위하여 레지스터 대신에, 공유선을 갖는 PADL 구조를 택한다. 모의실험은 먼저 필터의 동작을 상위 C 언어로 작성하여 확인한 후 이를 Pittsburgh-VHDL 언어를 이용하여 구조적 모델링(structural modeling)으로 수행하였으며 관련된 레이아웃은 Berkeley CAD 툴[14]에 의하여 설계하며 관련실험을 수행한다.

이를 위한 본 논문의 구성은 다음 2장에서 영상필터의 이론의 배경을 다루며, 3,4장에서 제안된 아키텍처와 설계를 수행하여 5장에서 이의 실험결과를 검토하며 6장에서 결론을 언급하였다.

## 2. 배 경

이차원 공간에서의 필터링 과정은 개념적으로 입력 영상과 필터 커널간의 이차원적 컨벌루션(convolution)으로 설명할 수 있다. 식 (1)은 입력 영상  $x(n_1, n_2)$ 와 임펄스 반응  $h(n_1, n_2)$ 의 이차원 컨벌루션을 나타낸 것이다.

$$y(n_1, n_2) = x(n_1, n_2) * h(n_1, n_2) \\ = \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} x(i, j) h(n_1-i, n_2-j) \quad (1)$$

입력 영상의 크기가  $N \times N$ 이고 필터 커널이  $M \times M$ 일 경우, 결과적으로 필터링된 영상의 크기는  $(N+M-1) \times (N+M-1)$ 이 되며 여기서 실제로 필요한 크기는 입력 영상의 크기와 같은  $N \times N$ 인데, 나머지 영역은 필터 커널이 입력 영상과 완전히 겹치지 않는 상태에서 출력된 것이다. 이러한 불완전한 컨벌루션에서 에지 효과는 출력 영상의 가장자리에서 나타나나, 실제 필터링의 경우 필터 커널의 크기가 입력 영상의 크기에 비하여 매우 작기 때문에 이러한 효과는 무시할 수 있다.

영위상(zero-phase)을 갖는 필터의 특징은 전달영역에 있는 신호 성분의 모양을 그대로 보존하는 데 있고, 일반적으로 영상 신호처리 분야에서 매우 유용하며 특히 FIR 필터의 경우는 영위상을 쉽게 구현할 수 있다는 장점이 있다. 음성 신호처리와는 달리 영상 신호처리의 경우 필터의 영위상 특성은 매우 중요하게 작용한다. 한편 이차원 FIR 필터의 Z-변환함수는 다음과 같이 나타낼

수 있으며 이것을 정리하면 필터에 대한 새로운 구성을 얻을 수 있다<sup>(11)</sup>.

$$H(z_1, z_2) = \sum_{i=0}^{(M-1)/2} \sum_{j=0}^{(N-1)/2} h_{ij}(z_1^i + z_1^{-i})(z_1^j + z_1^{-j}) \\ z_1^{-(M-1)/2} z_2^{-(N-1)/2} \\ = 2(2h_{00} + \sum_{j=1}^{(N-1)/2} h_{0j}(z_2^j + z_2^{-j}))z_1^{-(M-1)/2} \\ z_2^{-(N-1)/2} + \sum_{i=1}^{(M-1)/2} (z_1^i + z_1^{-i})(2h_{i0} + \sum_{j=1}^{(N-1)/2} h_{ij}(z_2^j + z_2^{-j}))z_2^{-(M-1)/2} z_2^{-(N-1)/2} \quad (2)$$

여기서  $h_{ij}$ 는 필터 계수를 나타내며 아래 첨자 1, 2는 수직과 수평방향에 에 해당한다. 식 (2)에서 첫번째 성분은 중앙 열에 있는 신호 성분의 연산을 나타내며 두번째 성분은 중앙 성분을 제외한 각 쌍의 열에 있는 신호 성분이 서로 더해지고 결과적인 합이 수평 방향에 있는 전달 함수에 의해서 곱해지는 것을 나타낸다. 이차원필터의 계수를 구하는 각종 방법이 있으나<sup>(7)</sup>, 본 연구에서는 주어진 전달함수에 관한 계수는 일단 구해졌다고 가정한다.

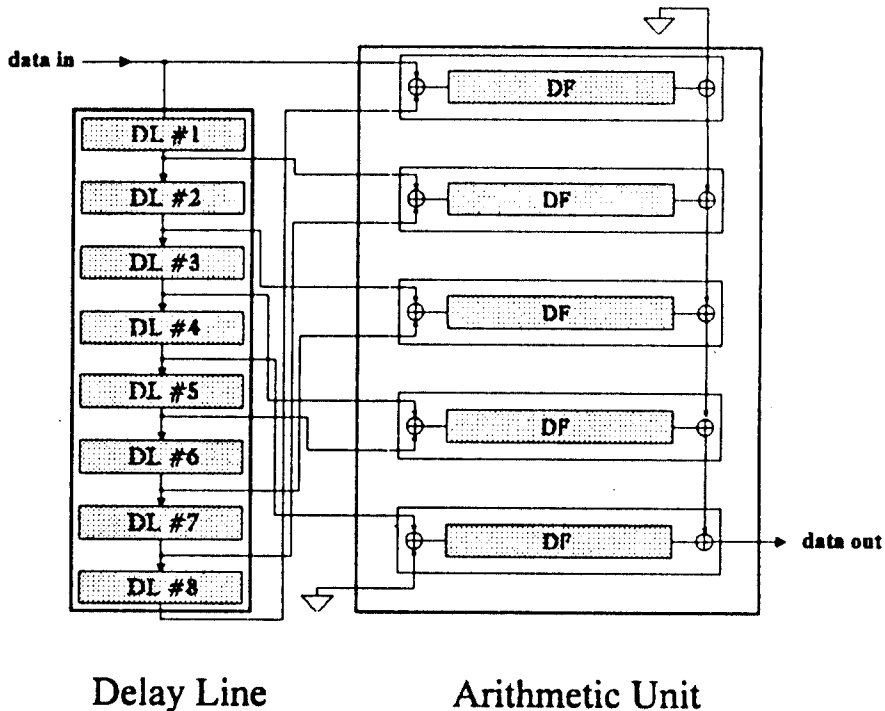


그림 1. 이차원 디지털필터의 전체 아키텍처

### 3. 아키텍처 설계

이차원 디지털필터는 그림 1과 같이 실제 필터링을 담당하는 연산부(arithmetic unit)와 입력된 영상 데이터를 저장하여 연산부에 필요한 데이터를 공급하는 지연부(혹은 지연선, delay line)로 구성된다. 이의 전체적인 구조로서는 ST(semi-transposed), FT(full-transposed)의 형태가 있으나 본 연구에서는 전자를 택하였다<sup>(11)</sup>.

일반적으로 일차원 디지털필터를 구현하는데 있어서는 direct 혹은 transpose 등의 구조가 있다. 임계경로에 의한 지연으로는 일반적으로 transpose 구조가 약간의 단점(부하용량과 면적의 증가)을 가지고 있는 것으로 나타났으나 속도면에서 빠른 장점이 있으므로 채택하기로 한다<sup>(2)</sup>.

#### 3.1 연산부

한편 영위상 주파수 응답 특성을 갖는 필터는 공간상의 대칭성을 이용하여 수평 방향과 수직 방향으로 포개(folding)면 9×9 크기인 이차원 필터를 5×5 크기로 구현할 수 있으나, 규칙성과 설계시간문제를 고려하여 여기서는 수직 방향으로만 포개므로써 9×9 크기의 필터를 9×5 크기의 필터로 설계하였다. 실제 이차원 필

터링을 수행하는 연산부는 그림 2와 같이 일차원 필터와 출력단(output stage)으로 구성되어 있다.

일차원 필터는 PA(pre\_adder), 탭(tap), VMA로 이루어졌으며 지연부에서 공급되는 8비트 영상데이터에 대한 일차원 필터링을 수행한다. 출력단은 5개의 일차원 필터에서 출력된 데이터를 모두 더하며, 최종 출력된 영상 데이터는 최상위 비트(MSB)가 부호 비트이고 나머지 8비트가 필터링된 각 픽셀 크기를 나타내는 9비트 데이터이다. 그림 3은 연산부를 구성하는 일차원 필터의 내부 구조를 나타낸 것이다. 일차원필터의 입력은 지연부에서 출력된 두개의 8비트 데이터이며 출력되는 데이터의 길이는 14비트이다. PA는 두개의 8비트 입력 데이터에 대한 덧셈 연산을 수행하는데, 이 경우 출력 데이터와 필터 계수와의 곱셈 연산에서 나타나는 한정된 입력 워드길이에 의한 truncation을 줄이기 위하여 PA의 출력 데이터를 상위 비트 방향으로 3비트 이동( $\times 2^3$ )하여 각 탭에 연결하였다. 또한 PA의 출력 데이터를 탭에 공급함에는 각 탭에 포함된 피드쓰루(feedthrough, 관통)를 이용하였다. 각 탭의 출력은 14비트의 S&C(sum & carry)이며 VMA는 일차원 필터의 마지막 단계에 위치하여 S&C를 합산하며 MCA를 사용하여 지연을 줄였다<sup>(15)</sup>.

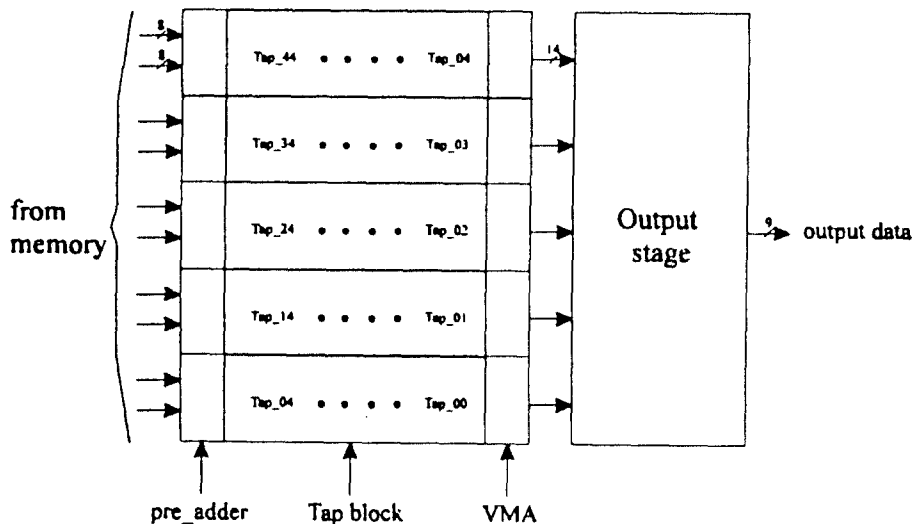


그림 2. 이차원 디지털필터의 연산부

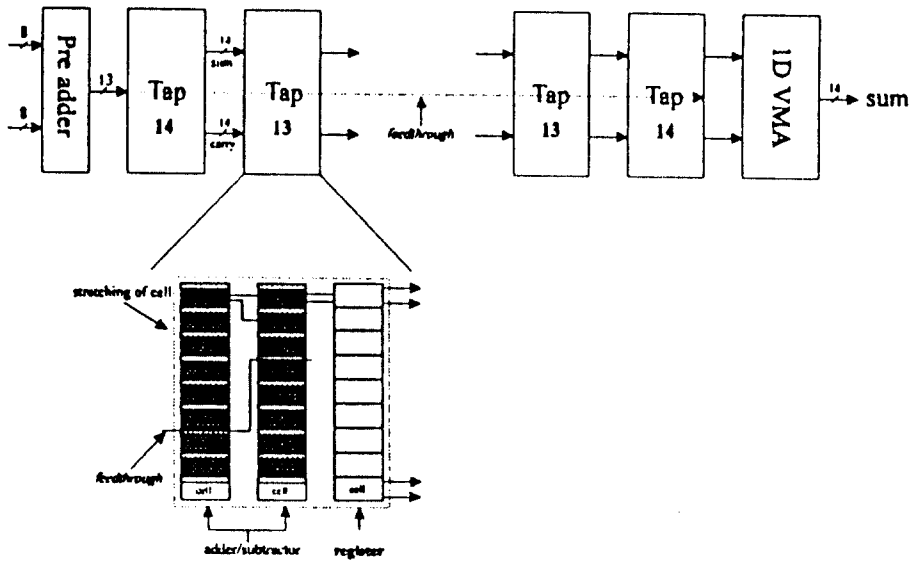


그림 3. 이차원 디지털필터의 아키텍처

1DDF에서의 각 탭은 CSA/S(carry-save adder/subtractor)와 레지스터로 구성되며 하나의 열은 14개의 1비트 A/S(adder/subtractor)로 이루어지는데, 이때 열의 갯수는 CSD 코드에 의해서 결정된다<sup>[16]</sup>. CSD 곱셈기는 hard-wired shifting과 CSA로 구성된다. 이때 필터 계수를 임의의 scale factor로 계수를 모두 곱한 후 결과를 CSD 코드로 바꾸어 라운딩 오차를 어느 정도 줄일 수 있으며 입력 신호와 계수와의 곱셈을 수행하기 전에 그 크기를 확장하여 필터의 입력으로 사용한 후 필터의 마지막 단에서 역으로 확장한 만큼 줄인다. 또한 각 탭의 마지막 열은 14개의 2비트 레지스터로 구성되어 S&C를 저장하며 VMA 앞에 위치한 레지스터는 탭의 쓰루풋(throughput)을 높이는 파이프라인 레지스터로 사용되었다. 탭의 입력은 앞 단에 있는 탭에서 출력된 S&C 그리고 PA에서 출력된 13비트의 데이터인데, 이렇게 입력된 PA의 출력 데이터는 CSD 코드에 해당하는 길이만큼 비트 이동을 하며, 이 경우 부호 확장이 이러한 비트 이동에 포함된다. 각 탭의 캐리 출력도 다음 탭에 입력될 때 비트 이동을 하게 되는데 여기서는 탭 내에서 이러한 비트 이동을 하였다. 1DDF에서의 VMA는 14개의 1비트 MCA로 이루어졌으며 마지막 탭에서 출력된 S&C를 더하여 출력하는데,

CAD 툴의 셀 라이브러리에 포함된 1비트 MCA 셀을 이용하였다. 이차원 디지털필터를 구성하는 연산부의 마지막 단은 각 이차원 필터에서 출력된 데이터를 더하는 출력단이다. 일반적으로 디지털 신호 처리 분야에서는 쓰루풋이 중요하므로 여기서는 이차원 필터 내부에서 사용한 것과 유사한 구조를 사용하여 출력단을 구성함으로써 전체적으로 이차원 디지털필터의 속도를 개선하였다.

### 3.2 지연부

이차원 필터링을 위해서는 입력되는 영상을 저장하여 연산부에 공급하는 FIFO 형식의 지연부가 필요하며 전력 소모를 고려하여<sup>[10]</sup> RAM에 데이터를 저장한 후 포인터(pointer)를 이동하여 데이터를 저장하는 방식 PADL을 택하였다. 이러한 포인터를 이용한 지연부를 설계하는데 있어서 기본이 되는 메모리 셀은 3-Tr DRAM 셀을 사용하며 인접셀간에 워드선을 공유하도록 설계하였으며<sup>[10,12,15]</sup>, 이러한 1 비트 FIFO를 확장하여 8비트 FIFO를 만들었으며 이에 관련된 셀, 프리차지(pre-charge), 출력레지스터, 클럭 드라이버(clock driver) 및 포인터 및 이의 제어회로는 자체 설계하였다.

### 4. 레이아웃 설계

이 장에서는 앞서의 2DDF를 CAD 툴을 사용하여 완전/반주문형 방식으로 레이아웃을 수행하였다. 특히 이차원 디지털필터에서 실제로 필터링을 수행하는 연산부는 연구교육용 CAD 툴인 OCTTOOL<sup>[3]</sup>을 사용하여 반주문형설계를 하였으며, 입력 데이터를 저장하는 메모리 부분은 매직(Magic)을 사용하여 완전주문형방식으로 설계하였다. 그림 4는 CAD 툴을 이용하여 수행한 이차원 디지털필터의 레이아웃 과정 중에서 반주문형 설계의 순서를 나타낸 것이다.

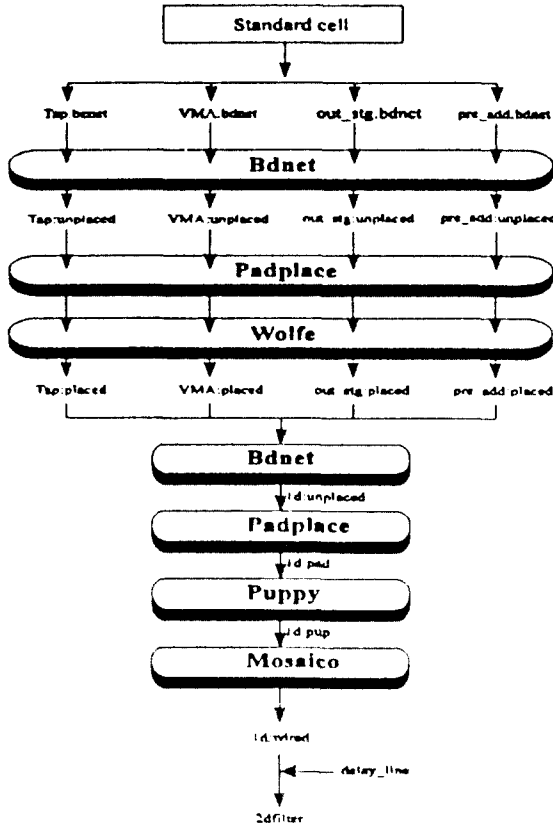


그림 4. 이차원 디지털필터의 설계순서도

OCTTOOL이 다양한 표준셀(standard cell)을 제공하지만 이것을 그대로 사용할 경우 탭을 구성하는 표

준셀의 P&R(placement & routing: 배치연결)이 매우 불규칙적으로 이루어지고 이로 인하여 탭의 면적이 증가하는 불편이 있으므로 여기서는 OCTTOOL이 제공하는 표준셀을 수정하여 P&R이 규칙적으로 이루어지도록 하였다. 첫째, 표준셀에 관통셀(feedthrough cell)을 삽입하므로써 일차원 디지털필터로 입력되는 신호가 이 셀을 통하여 일차원 디지털필터의 첫번째 탭에서부터 마지막 탭까지 공급되도록 하였다. 이러한 관통셀의 삽입은 표준셀의 크기를 증가시키지만 P&R이 매우 규칙적으로 이루어지고, 이로 인하여 네트의 전체 길이를 줄이므로 칩 전체에서 불패는 오히려 면적이 감소한다. 둘째, 탭을 구성하는 표준셀(CSA 와 레지스터)의 폭을 맞추기 위하여 CSA의 폭을 늘렸다. 즉 탭의 전체 길이를 결정하는 것은 탭의 마지막에서 S&C를 저장하는 레지스터이므로 이보다 작은 CSA 표준셀의 폭이 레지스터와 같아지도록 셀의 길이를 연장하였다. 이렇게 하므로써 이웃하는 셀 간의 라우팅이 쉽게 이루어지며, 이로 인하여 채널의 폭이 감소하여 탭의 전체 면적도 감소하였다. 또한 일차원 디지털필터의 마지막 단에서 S&C를 더하는 MCA가 표준셀 라이브러리에 포함되어 있지 않은 관계로 여기서는 우선 1 비트 MCA를 BDS 언어로 표현한 후 MisII를 이용한 TM(technology mapping)을 통하여 MCA에 대한 셀 레이아웃을 만든 후 이 셀을 표준셀 라이브러리에 포함시켜 사용하였다.

이차원필터의 연산부를 구성하는 모듈(CSA와 레지스터로 구성된 탭, VMA, PA, 그리고 출력단)의 생성은 Wolfe를 이용하여 이루어졌으며 모듈을 구성하는 표준셀의 연결은 네트리스트 입력을 받아서 Oct 셀을 만드는 Bdnet을 이용하였다. 그림 4에 나타난 바와 같이 먼저 각 모듈에 대한 네트리스트(Bdnet의 입력)를 작성한 후 Bdnet을 이용하여 Oct 셀을 생성한다. Padplace는 Bdnet으로 만들어진 셀의 특정 위치에 단자가 만들어지도록 단자의 위치를 지정한다. 마지막으로 Wolfe는 표준셀에 대한 P&R을 수행하므로써 각 모듈(마이크로셀:macro-cell)을 만들어 낸다. 모든 모듈에서 수직과 수평 방향의 연결은 각각 1차메달과 2차메달로 이루어졌으며, Vdd 와 GND는 각각 좌측과 우측에 놓여서 전체 칩을 레이아웃할때 연결이 용이하도록 하였다. 한편 입력 단자는 모듈의 마지막 행에 위치시켰으며 출력 단자는 첫번째 행에 순서적으로 놓았다. Wolfe를 이용하여 만들어진 각 모듈은 Puppy와 Mosaico를 이

용하여 연결하므로써 5개의 일차원 디지털필터에 대한 레이아웃을 얻을 수 있다. Puppy의 사용시 각 모듈을 회전시키지 않고 다만 모듈의 위치만을 바꾸도록 배치에 제한을 주었다. 이것은 짧은 시간안에 원하는 마이크로셀의 배치가 이루어지도록 한다. 한편 Puppy는 각 모듈을 칩 안에 위치시킬 때 인접하는 모듈 사이에 중첩이 생기지 않도록 각 모듈의 경계(bounding box)를 일률적으로 확장시키는데, 이것은 Mosaico를 이용하여 라우팅을 수행할 때 필요한 채널을 확보하기 위한 것이다. 여태까지의 각 단계에서 만들어진 셀은 로직시뮬레이터인 Musa를 이용하여 네트의 연결 상태를 확인하며, 만들어진 레이아웃은 Oct2mag 틀을 사용하여 매직 상에서 칩의 기능을 검증할 수가 있다.

이차원 디지털필터의 전체 칩에 대한 레이아웃은 반주 문형설계에서 Mosaico 틀을 이용하여 얻은 5개의 일차원 필터와 완주문형설계에 의한 출력단 모듈, 그리고 지연부 모듈을 연결하므로써 얻을 수 있었으며 통합적인 배치연결은 매직으로 수행하였다. 그림 5에 OCT-TOOL에 의한 일차원 디지털필터의 설계 예를 보였다 (그림 2, 3 참조)<sup>11, 2, 15)</sup>

그림 6은 전체 칩에 대한 레이아웃 평면도이다

(MOSIS 2 $\mu$ m design rule, 1.16cm x 1.67cm). 그림과 같이 지연부를 칩의 왼쪽 중앙에 위치시켜서 일차원 필터에 대한 입력 데이터의 연결을 용이하도록 하였으며 출력단 모듈을 오른쪽 하단에 놓았다. 지연부에서 출력된 데이터는 중앙에 있는 데이터 버스를 통하여 5개의 일차원 필터에 입력 데이터로 공급되며, 각 일차원 필터에서 출력된 데이터는 출력단으로 연결되어 최종 출력값을 얻게 된다. VDD 와 GND 패드는 칩의 위, 아래 중앙에 놓여서 각 모듈에 전원을 공급하며 I/O 패드는 주로 좌/우측에 놓여있다. 한편 각 모듈에 대한 클럭 신호의 공급은 "distributed-clock-tree" 구조를 사용하였다<sup>17)</sup>.

### 5. 모의실험 고찰

본 논문에서는 이차원 디지털필터에 대한 모의 실험에 두가지의 영상(Lena, Baboon)을 사용하였다. 사용된 영상의 크기는 256 $\times$ 256이고 각 픽셀은 gray level을 표현하기 위하여 8비트로 양자화 하였다. 모의 실험 방법으로는 먼저 원영상에 가우시안 잡음을 첨가하여 잡음 영상을 만든 후 이 영상을 본 논문에서 설계한 필터에

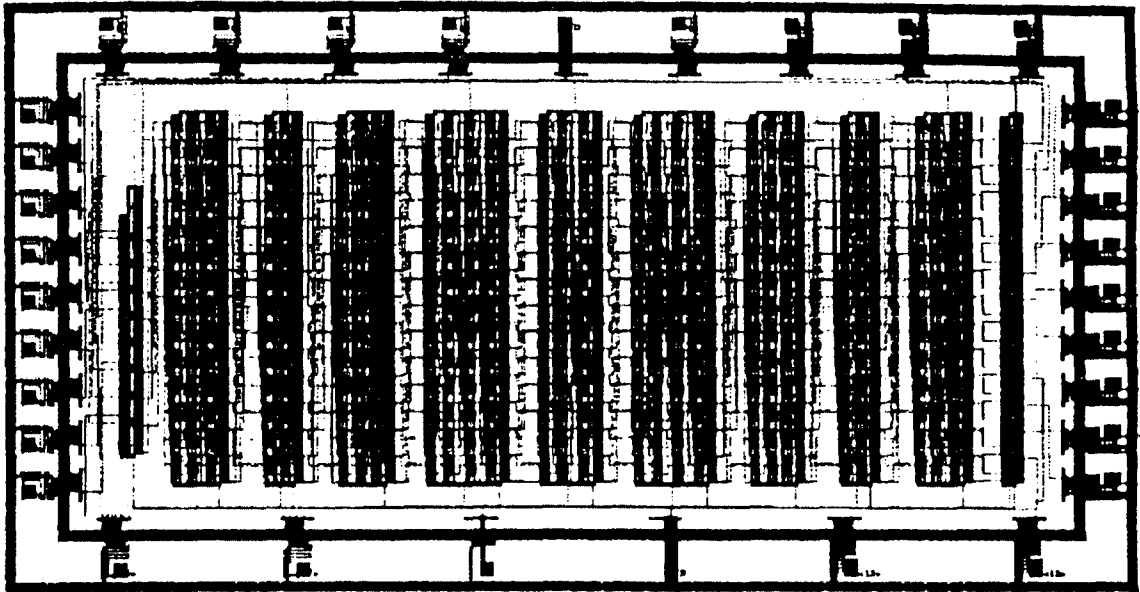


그림 5. 일차원 디지털필터의 레이아웃도

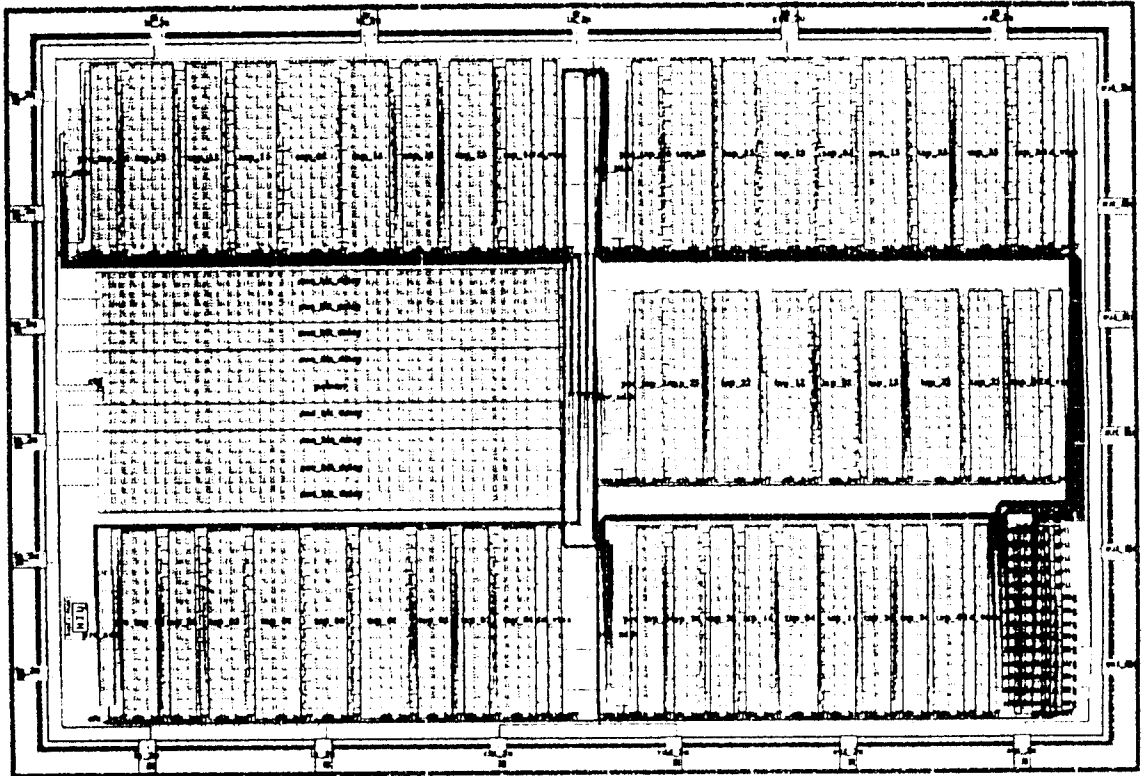


그림 6. 설계 칩의 레이아웃도

입력하여 이차원 필터링을 수행하였다. 이렇게 얻어진 영상은 원 영상과의 MSE(Mean Square Error)를 계산하여 필터의 잡음 제거 정도(fidelity)를 측정하였다. 한편 모의 실험에는 상위 레벨 언어인 C 언어와 하드웨어 기술 언어인 VHDL, 스위치단 시뮬레이터 IRSIM을 이용하였다. 먼저 C 언어로 이차원 디지털필터에 대한 구조적 모델링으로 모의 실험을 하였으며 여기서 얻은 결과를 바탕으로 VHDL과 IRSIM 모의 실험을 수행하였다. 한편 VHDL을 이용한 모의 실험에서는 이차원 디지털필터를 구성하는 기본셀(leaf cell: adder, subtractor, register, MCA)을 게이트 단에서 모델링하였으며, 각 탭은 이 기본셀에 대한 네트리스트를 작성하여 구성하는 방식으로 구조적 모델링을 하였다. C 언어와는 달리 VHDL은 입력 영상을 그대로 입력 파일(command file)에 사용할 수 없는(사이즈 문

제) 이유로 이 경우에도 VHDL의 입력파일은 C 언어를 이용하여 만든 후 이것을 VHDL의 모의 실험 입력 파일로 사용하였다<sup>(18)</sup>. IRSIM 시뮬레이터를 이용한 모의 실험에서는 좀더 하드웨어에 가까운 실험을 할수 있었다. 그런데 IRSIM 을 이용한 모의 실험에서는 앞의 두 가지 모의 실험(C, VHDL을 이용한 모의 실험)에서와 같은 크기(256×256)를 갖는 영상을 사용할 수가 없어서 이 모의 실험에서는 크기가 작고(16×16) 단순한 영상을 입력으로 사용하였다. 동작주파수는 20 Mhz 전후에서 30 Mhz 정도까지 동작하였다.

C와 VHDL을 이용하여 주어진 LPF(low pass filter)계수에 의하여 수행한 모의 실험에서, 가우시안 잡음으로 오염( $\sigma=32$ )된 영상은 이차원 필터링을 수행하면 잡음을 어느 정도 제거할 수 있는 반면에 필터링으로 인하여 영상이 전반적으로 흐려지는 결과가 나왔는데, 이



것은 영상을 구성하는 고주파 성분이 필터링으로 인하여 유실되었기 때문이다. 그러나 필터링된 영상과 잡음으로 오염된 영상의 MSE를 비교하면 필터링된 영상의 질이 잡음이 섞인 영상보다 더 좋다는 것을 알수 있었다. 그림 6의 레이아웃회로의 동작을 위한 IRSIM 모의실험에서는 비교적 작은 영상을 입력으로 사용하였으며 이의 결과는 VHDL의 결과와 동일함을 확인하였다<sup>(15)</sup>.

## 6. 결 론

본 논문에서는 영상 데이터의 전송률을 낮추고 잡음을 제거하기 위한 이차원 디지털필터의 구현에서 아키텍처상의 개선점을 제시하였으며 이를 교육연구용으로 개발된 Berkeley CAD 툴, Pittsburgh VHDL 툴을 이용하여 설계하였다. 우선 일차원 디지털필터의 transpose 구조에서의 속도를 개선하기 위하여 곱셈기는 CSD 코드를 이용하여 hardwired-shifting 방법으로 구현하였으며, 이때 화질의 열화를 개선하기 위하여 추가 비트를 설정하였다. 아울러 CSA와 MCA, 그리고 VMA(수평 및 수직방향)를 사용하므로써 일차원 디지털필터의 처리속도를 개선하였다. 다음으로 영상 입력데이터를 저장하기 위한 메모리는 PADL을 사용함으로써 전력 소모를 줄이고 메모리 셀의 제어선을 공용함으로써, 관련 면적을 줄이며 셀에 대한 제어신호를 발생하는 포인터 회로를 단순화하였다. 전체 레이아웃에서 이차원 디지털필터에서 연산부의 레이아웃은 주로 자동화된 CAD 툴인 OCTTOOL을 사용하였으며 메모리부분은 풀커스텀 툴인 매직을 사용하였다. 이때 툴이 제공하는 표준셀의 일부를 수정 (cell stretching과 feedthrough cell의 삽입)한 후 이를 사용함으로써 Wolfe와 Mosaico 툴의 라우팅 소요시간을 줄였고 규칙적인 모양을 갖도록 하였다. 설계필터는 C. VHDL로 일단 동작을 확인한 후, 실제 레이아웃상에서의 모의실험을 IRSIM을 통하여 수행하여 동일함을 확인하였다.

본 논문에서는 이용한 툴이 사용자의 설계 의도에 잘 맞지않아 각 툴의 소스코드를 분석수정하며 설계하였으며, OCTTOOL이 제공하는 표준셀의 종류가 다양하지 않은 관계로 구현된 칩의 크기가 예상보다 컸으나 이는 셀의 다양화 등으로 개선할수 있다. 아울러 본 논문에서 구현한 이차원 디지털필터는 고정된 계수, 고정된

지연선만을 사용하였으나 향후 이의 다양한 가변성을 추가하여 이에 따른 영상 및 필터(사이즈 등)의 가변성도 연구하고자 한다. 또한 단시간내의 디지털필터의 설계를 위하여 설계 전과정이 통합된 톱다운자동화설계환경을 구축하고자 한다.

## 참고문헌

1. T. Yoshino, P. Yang, H. Davis, R. Jain, and A. Shah, "A 100-MHz 64-tap FIR Digital Filter in 0.8- $\mu$ m BiCMOS Gate Array," IEEE J. Solid-State Circuits, vol. 25, no. 6, Dec. 1990.
2. R. Jain, "FIRGEN: A Computer-Aided Design System for High Performance FIR Filter Integrated Circuit," IEEE Transaction on Signal Processing, vol. 39, no. 7, June 1991.
3. S. He, "FPGA Implementation of FIR Filters Using Pipelined Bit-Serial Canonical Signed Digit Multipliers," IEEE Custom Integrated Circuits Conference, pp.81-84, 1994.
4. P. P. Vaidyanathan, "Mutirate Digital filters, filter banks, polyphase networks, and applications: a tutorial," IEEE Proc., vol. 78, no.1, pp.56-91, Jan. 1990.
5. M. Hatamian, S. K. Rao, "A 100 Mhz 40-tap Programmable FIR Filter Chip," Proc. IEEE ISCAS 1990, pp.3053-3056.
6. S Nam, J. Lee, S. Sung, "VLSI Design of an Asynchronously Clocked Interleaved FIR Filter," Proc. IEEE APCCAS 1990, pp.106-111.
7. J. S. Lim, Two-Dimensional Signal and Image Processing. Englewood Cliffs, Nj : Prentice Hall. 1990.
8. S. K. Rao, M. Hatamian, "A 65 Mhz 16-tap FIR Filter Chip with On-Chip Videlay Delay Lines," Proc. ISCAS 1990, pp.3050-3052.
9. C. Joanblanq et al., "A 54-Mhz CMOS Programmable Video Signal Processor for HDTV Applications", IEEE JSSC, vol. 35, no. 3, June 1990, pp. 730-734.
10. B. Zehner, "A CMOS VLSI Chip for Filtering

- of TV Pictures in Two Dimensions," IEEE J. Solid-State Circuits, vol. sc-21, no. 5, Oct. 1986.
11. M. Abe, "A High-Speed Digital Filter LSI for Video Signal Processing," IEEE J. Solid-State Circuits, vol. sc-22, no. 3, June 1987.
  12. W. Sung, J. Lee, H. Yeo, "Design of a Pipelined and Interleaved Two-Dimensional FIR Filter," Proc. ICVC 1991, pp.96-99.
  13. 남 승현, 성 원용, "MAC Video 신호의 보간을 위한 Programmable Poly-Phase FIR Filter," 1992 신 호처리합동학술대회.
  14. Octtools-5.2 manual, UC, Berkeley, 1993.
  15. 문 종익, 이차원 디지털필터의 하드웨어 구현에 관한 연구, 홍대 석사학위 논문, 1995.
  16. K. Hwang, Computer Arithmetic principles, architecture, and design. : John Wiley & Sons, 1979, Chapter 5.
  17. N. H. E. Weste, Principles of CMOS VLSI design, Reading, Mass. : Addison-Wesley, 1993, Chapter 5.
  18. P. M. Embree, C language algorithms for digital signal processing, Englewood Cliffs, Nj : Prentice Hall, 1991.

文 鍾 億(Jonguk Moon)

정희원

1966년 4월 18일생

1993년 2월 : 홍대 전자과 공학학사  
 1995년 8월 : 동 대학원 전자과 공학석사  
 1995년 9월 : 삼성전자  
 ※주관심 분야 : DSP 관련 집적회로설계

宋 洛 靈(Nagun Song)

정희원

1953년 7월 18일생

1975년 2월 : 서울대 전자과 공학학사  
 1977년 2월 : 동 대학원 전자과 공학석사  
 1986년 5월 : Univ. Texas at Austin, Ph.D.  
 1989년 8월 : 홍대 전자과(현재, 부교수)  
 ※주관심 분야 : 통신 및 컴퓨터관련 부품설계

金 昌 敏(Changmin Kim)

정희원

1950년 4월 10일생

1975년 2월 : 서울대 전자과 공학학사  
 1982년 2월 : 동 대학원 전자과 공학석사  
 1989년 8월 : Univ. Florida, Ph.D.  
 1983년 5월 : 서울시립대학교 전자/반도체공학과(현재, 부교수)  
 ※주관심 분야 : 광통신 시스템 및 집적회로설계