

AFM lithography에 있어서 SOG resist의 특성 분석에 의한 공정 여유도 개선

최창훈 · 이상훈 · 김수길 · 최재혁* · 박선우

서울시립대학교 제어계측공학과, *서울시립대학교 전자공학과
(1996년 8월 27일 접수)

Development of process flexibility by SOG resist analysis with AFM lithography

C. H. Choi, S. H. Lee, S. G. Kim, J. H. Choi and S. W. Park

Department of Control & Instrumentation Engineering, Seoul City University, Seoul Korea

**Department of Electronics Engineering, Seoul City University, Seoul, Korea*

(Received August 27, 1996)

요 약 - VLSI 공정에 평탄화를 위하여 사용되는 SOG가 AFM lithography에 resist 재료로서 이용되는 것이 확인되었다. 이에 기초하여, 본 연구는, SOG가 VLSI lithography 공정에 이용되기 위한 coating 막 두께의 가변, 現像을 위한 etching time 및 etching selectivity의 가변, 패턴의 크기에 따르는 적정 공급전압을 선택 등으로 공정의 여유도를 크게 개선하였다. 공급전압 60 V, FE 전류량 5 nA로서 800 Å의 fine 패턴을 얻었다. 차세대 DRAM 제작공정 기술을 위한 AFM lithography에 있어서, SOG의 사용은 공정 여유도가 양호함에 의하여 크게 전망되는 기술이 될 것이다.

Abstract - We found that SOG which had been used in planarization of VLSI circuit fabrication at present could be used as a resist material for AFM lithography. In this experiment on the basis of previous studies, we improved the process flexibility by controlling the coating film thickness, etching time, etching selectivity and proper applied voltage on the pattern size to apply for practical VLSI lithography process. We obtained a fine pattern with the current of 5 nA at 60 V. The line width was 800 Å. With the developed flexibility of SOG as a resist material, AFM lithography will be a expedient technique in the next generation DRAM fabrication.

1. 서 론

현재 반도체 제조 공정은 패턴의 크기를 0.1 μm 이하로 줄이려는 방향으로 연구가 진행되고 있다. 묘사 공정의 대부분은 생산성이 높다는 장점 때문에 광학 기술에 의해서 이루어지고 있으나, 이 기술은 光源의 파장에 의하여 형성되는 패턴의 크기가 제한을 받고 있다[1]. 이런 단점을 극복하기 위한 차세대 묘사 기술로써, 광원보다 짧은 파장의 Electron beam, Ion beam 및 X-ray 등의

source를 이용한 lithography 방법이 주로 연구되어 왔다.

AFM (Atomic Force Microscope)이 분석장치로서 개발 제작되어 시료의 표면 관찰을 위하여 주로 사용되어 왔으나[2], 최근에는 그 응용범위가 크게 확대되어 VLSI 공정의 초미세 패턴을 얻기 위한 lithography 기술에도 적용되고 있다. 그 예로써, PMMA resist 또는 SAL-601 resist 등의 위에 AFM Tip으로부터 전계 방출 전류에 의하여 패턴을 얻는 방법[3-5], 수소로 passivation된 Si-wafer 또는 poly-Si 등의 위에 AFM tip의 전계에 의해 형성된 산화막으로 패턴을 얻는 방법[6-8],

*본 연구는 1996년도 교육부 학술 연구조성비(전자공학: ISRC 96-E-4206)에 의해서 연구되었음.

가스 분위기에서 AFM Tip의 전개에 의해 형성된 석출막으로 패턴을 얻는 방법[9, 10] 등 많은 AFM lithography 기술이 연구되고 있다.

현재 AFM lithography에서의 문제점은, resist를 이용한 경우에는 물질의 높은 절연성에 의하여 사용되는 막의 두께가(≥ 10 nm) 제한되며, 또한 산화막 및 다른 석출막에 의한 다른 방법이 있어서는 낮은 생산성($1 \mu\text{m}$ 이하/sec.)으로 인하여 실제의 VLSI 제작 공정에 적용하기는 어려운 기술이었다.

SOG(Spin On Glasses) 재료는 VLSI 제작 공정에 있어서 평탄화를 목적으로 사용되고 있는 재료이지만[11], 최근에는 이것을 AFM lithography의 resist 재료로서 응용하여, 기존의 AFM lithography가 갖고있는 막 두께의 제한성 및 낮은 생산성 등의 공정 적용에 대한 문제점을 해결하였으며, 400 \AA 이하의 조미세 패턴을 얻은 것으로 보고되었다[12, 13]. 그러나, SOG를 이용한 AFM lithography 기술은 VLSI 공정 적용을 위하여는 공정 여유도가 제한되는 큰 문제점을 갖고 있으므로, 이 기술이 차세대 Gbit DRAM의 제작 공정에 적용하기에는 많은 어려움을 갖고 있다.

현재까지의 SOG는 평탄화 공정에 주로 이용되었으므로 그 물리적 특성은 425°C 이상의 baking 온도범위에서 분석되었고, 또한 coating 막 두께는 중요시되지 않았다[14]. 그러나 lithography를 위하여는 이 425°C 이하의 범위에 대한 물리적 특성을 분석하여 baking 온도에 따르는 방출 전류의 특성, wet etching rate, etching selectivity 등을 구하여야 한다. 또한 SOG의 coating 상태는 다양한 device의 공정 조건에 적용되기 위하여 가변되어야 하므로, 용제의 조성비에 따르는 coating 막 두께의 변화와 막 두께에 변화에 따르는 전개 방출 전류의 특성이 구하여져야 한다.

본 실험에는, 위의 요구되는 조건에 기초하여, SOG resist가 AFM lithography 공정에 적용되기 위한 공정 여유도를 크게 개선하였다.

2. 실험 방법

현재 商用되고 있는 SOG는 유기물의 조성 조건에 따라 Silicate와 Siloxane type으로 크게 분류될 수 있다[14]. 또한 모든 SOG는 재료의 평탄성을 양호하게 하기 위하여 Phosphorous성분을 doping 하는데, 이것이 doping 되었는가 아닌가에 따라 분류하기도 한다.

Silicate type은 Si-O 구조의 Si 원자에 Silanol group (-OH)이 결합되어 있다. Silanol group은 조성시에 외부의 습도에 의하여 주로 생성되는 것이며, baking 처리에 의하여 425°C 이하의 낮은 온도 영역에서 대부분 증발된 후, 그 이상의 영역에서는 온도를 증가함에 따라 점차적으로 SiO_2 구조가 되며 막의 경질화가 이루어진다. 반면에 Siloxane type의 SOG는 Si-O 구조의 Si 원자에 Silanol group과 Methyl group (- CH_3)이 결합되어 있다. 이 type의 SOG는 Methyl group의 organic contents가 합성 시에 첨가되어 제작되며, 또한 Silanol group은 Silicate와 같은 원리에 의하여 생성된다. Siloxane type의 Methyl group은 425°C 의 baking 온도 부근에서 급격하게 분해되어 증발되며, 온도의 증가에 따른 SiO_2 구조로의 경질화는 Silicate type과 같은 성질을 갖는다. 이 type은, Silicate와 비교할 때 Methyl group을 함유하고 있기 때문에, baking하는 과정에서 막의 수축률이 작고 내부 stress도 작으므로 막의 crack resistance가 높다. 이 특성은, VLSI 제작 공정에 있어서 표면 단차가 큰 구조의 평탄화에 보다 유리하므로, 대부분 이 type을 이용하고 있다.

SOG는 조성시에 첨가되는 Isopropanol과 Acetone 등의 有機溶劑의 함량에 따라 다양한 막의 coating 특성을 나타낸다. 그림 1은 商用되는 Siloxane SOG (ACCU-GLASS-210, Allied Signal, Inc)에 본 실험실에서 추가 혼합시킨 有機溶劑(Isopropanol + Acetone)의 량에 따라 막의 coating 두께가 변화하는 것을 나타내고 있다. X축의 scale은 단위량의 SOG에 有機溶劑의 일정량을 추가시킨 비율을 나타내었다. 혼합 시에 추가되는 Isopropanol과 Acetone의 비는 2:1로 하였다. 시료의 제작은 Si-wafer 위

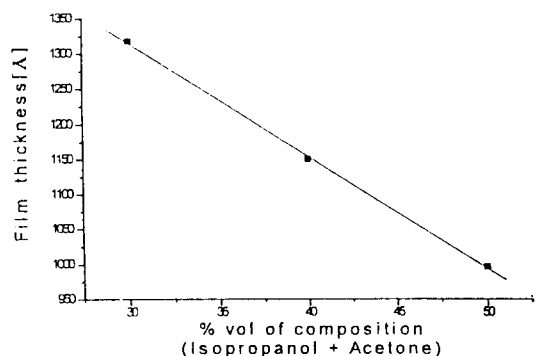


Fig. 1. The film thickness according to the composition rate of (Isopropanol and Acetone).

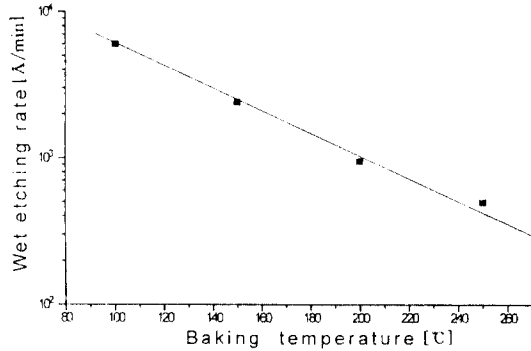
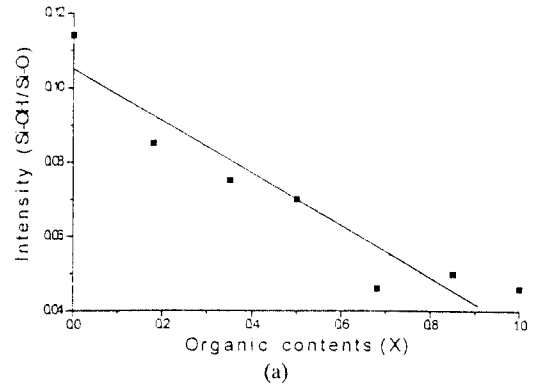


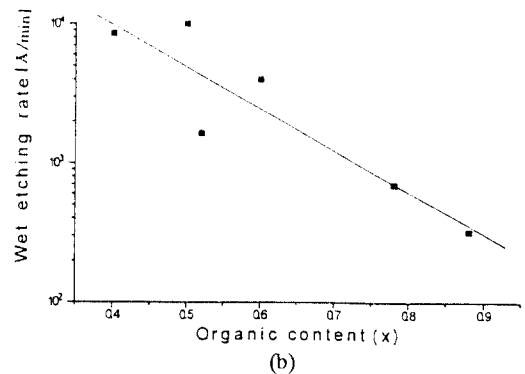
Fig. 2. The wet etching rate as a function of baking temperature.

에 3,500 rpm으로 20초동안 coating한 후, 250°C의 온도에서 10분간 baking 하였다. 막 두께의 측정은 Ellipsometer (Gaertner Scientific Co., L117)로 측정하였다. SOG에 有機溶劑의 量을 첨가할수록 막의 점도는 낮아지게 되고 이로 인해서 형성된 막의 두께는 얇아지게 된다. 따라서 다양한 device의 공정조건으로 인하여 설정하고자 하는 막의 두께가 다양할 때 有機溶劑의 혼합량에 따라 용이하게 가변될 수 있다.

그림 2는 Siloxane SOG에 있어서, baking 온도에 따른 막의 wet etching rate를 나타내고 있다. 시료의 제작은 Si-wafer위에 3,500 rpm으로 20초동안 coating한 후, 각각의 온도에서 10분간 baking하여, 1000 Å의 막 두께를 얻었다. Wet etching은 100:1 BOE(Buffered Oxide Etcher)용액에서 행하였다. 100:1의 BOE 용액에서 etching한 것은 Siloxane SOG의 etching rate가 425°C 이하에서 baking할 때에는 열 산화막에 비하여 상대적으로 매우 크기 때문이다. 이 그림은, 온도가 증가함에 따라 SOG 막내의 Silanol group이 분해 증발되어 산화막은 경질화가 이루어지므로, etching rate가 지수 함수적으로 줄어들고 있음을 나타내었다. 즉, Silanol은, 그 자체가 high polarization (Si-OH⁻)을 갖기 때문에 강한 수분흡착의 site로서 작용하므로, wet etching에 크게 기여하는 것으로 추론된다. 이것은 T. Nakano 등이 Siloxane SOG의 dry etching rate는 온도에 따라 크게 변화하지 않음을 발표한 것과, R. J. Hopkins 등이 425°C 이상의 온도 범위에서는 SOG 막의 Reflective index가 크게 변화하지 않음을 발표한 것에 이론적으로 부합됨을 입증할 수 있다[14, 15]. 따라서, 그림 2는, SOG가 resist로서 이용될 때, patterned와 nonpatterned 영역의 현상을 위한 etching selectivity를 선정하기



(a)



(b)

Fig. 3. The wet etching rate according to the organic content.

위하여는 크게 요구되는 조건이다.

지금까지, SOG가 resist 물질로써 사용될 때 다양한 etching rate를 갖는 것을 記述하였다. 그림 3은 Methyl group에 의한 Si-C direct bonding의 organic contents 함량이 증가함에 따라 Silanol group(그림 3(a))과 막의 etching rate(그림 3(b))가 변화함을 나타내었다[12]. 즉, 그림 3(a)에 있어서, 이것은 Siloxane SOG의 합성시에 Methyl group의 첨가 함량을 증가시키면 상대적으로 수분에 해당되는 Silanol group이 감소되는 현상을 나타내었다. 그러므로, 그림 3(b)는 SOG의 합성시에 첨가하는 Methyl group의 함량을 감소하면, 상대적으로 Silanol group이 증가되어, etching rate가 증대되는 현상을 설명하였다. 그러나 그림 2는, Methyl과 Silanol group의 내부 함량이 選定되어 제작된 Siloxane SOG는 baking의 열처리에 의하여 두 성분이 같이 분해 증발되어 etching rate가 감소되는 것을 記述하였다. 그러면, 전자선 등의 局所的으로 가하여지는 외부 에너지에 의해서, Si-

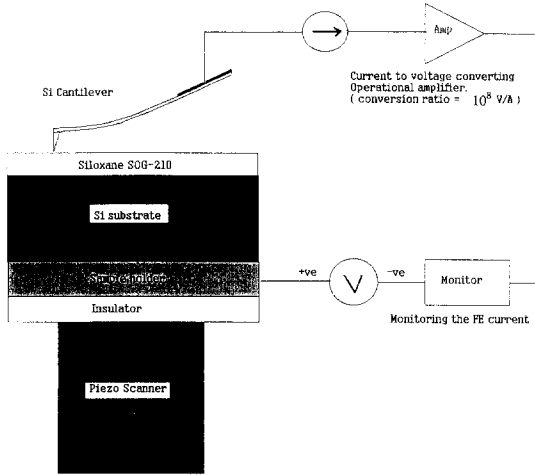


Fig. 4. The schematic diagram of the experimental system with AFM.

C bonding의 결합만을 분해하여 organic contents의 함량만을 감소시킬 수 있으면, 외부의 수분 성분인 Silanol group이 내부로 확산되어 etching rate는 증대될 것이다. 또한, 전자선 등 외부 에너지의 크기에 적합하도록 합성 시에 첨가되는 Methyl group의 량을 조정하면, 적절한 etching rate를 부가적으로 선택할 수 있으므로 공정의 여유도가 크게 향상될 수 있을 것이다.

그림 4는 AFM (Autoprobe CP, Park Scientific Instruments, Co.)을 이용한 실험 구조도이다. 시료는 전도성 물질인 carbon-paste를 사용하여 시료 holder에 부착하였으며, 시료 holder는 piezo-scanner와 절연되었다. piezo-scanner의 X-Y방향 동작 영역은 100 μm의 것을 사용하였다. AFM의 동작은 contact mode로 하였으므로 시료와 cantilever tip 사이의 간격은 ≤20 Å의 값이 된다. cantilever는 silicon ultralever의 것으로서 force constant의 평균치는 0.24 N/m이다. FE (field emission) 전자 전류를 유도하기 위해서 tip과 시료 사이에 전압을 인가하였다[16]. 이때 방출되는 FE 전류는 current-to-voltage converter인 OP-Amp(Operational Amplifier)에 의해 10⁸V/A의 비율로 변환 증폭되었다. 변환 비율은 OP-Amp의 입력 저항과 캐환 저항의 비에 의하였다.

본 실험에서, 사용한 SOG는 합성 시에 Methyl 함량이 2-6%(Weight %)인 것이다. SOG는 Si-wafer 위에 5000 rpm에서 20초동안 coating하여 1000Å 두께로 하였고, 각각의 온도에서 10분간 baking 하였다. 그림 5는 공급전압에 따른 FE 전류량의 변화가 각각의 baking 온

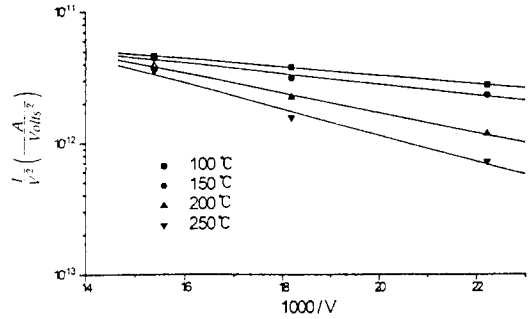


Fig. 5. FE current vs applied voltage as a function of baking temperature.

도를 parameter로하여 나타내었다. baking 온도를 증가한 시료일수록 저전압 영역에서 FE 전류량이 증대됨을 알 수 있다. 이 현상은, 막내부에 높은 유전율을 갖는 수분 성분의 silanol group 량이 감소되어, 막의 유전성이 차이를 갖기 때문으로 추론된다. 그러나 고전압 영역에서는 baking 온도에 따른 FE 전류량의 차이는 크게 나타나지 않으며, 그 이상의 고전압 영역에서는 시료와 tip은 완전 접촉되어, 시료의 표면에는 indentation이 발생된다. 실험에 의하여 얻어진 data는, 각각의 온도에 따라 다른 기울기의 값을 갖지만, Fowler-Nordheim(FN) 관계식에 일치하는 것으로 나타났다[17]. 저자는 FE 전류량과 얻어진 패턴의 선폭과의 관계를 발표하였다[13]. 여기에는, FE 전류량이 증가함에 따라 패턴의 선폭은 선형적으로 비례하지만, 어느 값 이상으로 FE 전류량을 증대하면 패턴의 선폭은 포화되는 현상이 나타났다. 이 현상은, 전계 방출 특성이 tip 첨단 모양의 curvature radius에 기인되는 것으로 사료된다[18]. 다양한 device에 의한 공정에서, 설계된 패턴의 선폭에 따라 적절한 전류량을 공급하여 fine 패턴을 얻기 위해서는, baking의 온도와 공급 전압과의 관계를 충분히 파악하여야만, 공정의 여유도가 개선될 것이다.

그림 6은 공급전압에 따른 FE 전류량의 변화가 각각의 막 두께를 parameter로하여 나타내었다. 시료제작을 위한 실험 조건은 그림 1에 따라 행하였다. 그림 5와 같이, 얻어진 방출 전류의 특성 또한 FN 관계식에 일치하는 것으로 나타났다. 일정한 FE 전류를 얻기 위해서는 막의 두께에 따라 높은 전압을 인가해야 함을 알 수 있다. 그러나, 어떤 IC의 공정에서, device영역과 field영역 간의 단차가 크게 되어 SOG의 coating 막 두께가 크게 될 경우에는, 공급전압이 매우 크게 요구되어, lithog-

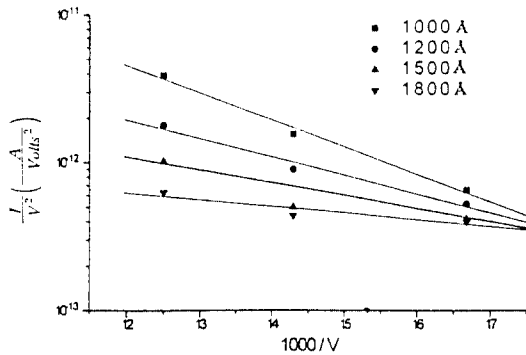


Fig. 6. FE current vs applied voltage as a function of film thickness.

raphy system은 불안하게 된다. 그림 6은 공급 전압에 의한 공정 조건을 적용하여 공정여유도를 증대시키기 위하여는 파악되어야 할 data이다.

AFM tip은 정하여진 scanning 영역을 일정한 scanning 속도에 의하여 SOG 표면을 scanning하게 된다. 이때의 scanning 속도와 scanning 영역은, piezo-scanner의 특성이 hysteresis 현상을 갖고있기 때문에, 고속 scanning은 불가능하며 제한된다. 단위 면적에 대한 scanning 선數는 AFM에서 몇 종류로 선정되어 있으나, $64 \mu\text{m} \times 64 \mu\text{m}$ 의 면적에 대하여 64개의 scanning 선數를 선택하면 패턴의 line-width는 $1\text{-}\mu\text{m}$ 가 된다. scanning을 위하여 piezo-scanner에 공급되는 X방향 신호는, 톱니파가 아닌 삼각파로하여, line간의 간격이 일정하도록 AFM system의 software를 개조한 AFM lithography mode를 제작하였다.

3. 실험 결과 및 고찰

실험 결과의 확인을 위해서 AFM을 image mode에서 동작시켜 패턴의 화상을 얻었다. 그림 7은 AFM lithography에서 얻어진 line 패턴의 화상이다. 시료의 제작을 위한 실험 조건은 그림 5와 같이 행하였으며, baking 온도는 250°C 로 하였다. 본 실험에서의 scanning 속도와 면적은 각각 $128 \mu\text{m/s}$ 와 $64 \mu\text{m} \times 64 \mu\text{m}$ 으로 하였다. 즉, scanning 속도는 $64 \mu\text{m}$ 의 line을 1초간에 왕복하는 것이 된다. FE 전류량은 공급전압 60 V에 대하여 5 nA로 설정되었다. 주사된 시료는 100:1의 BOE 용액에서 20초간 etching하고, DI water에서 1분간 세척하였다. line 패턴의 선폭은 80 nm의 값으로 나타났다. 그림 7에

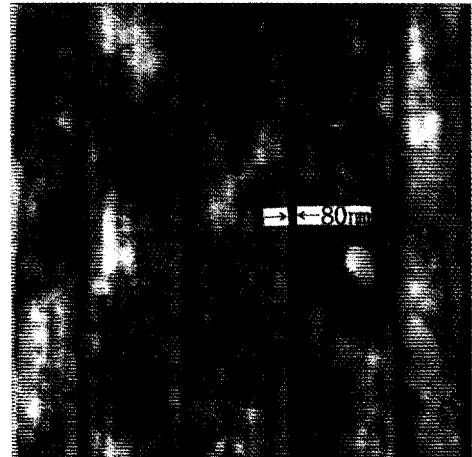


Fig. 7. The created line patterns after AFM lithography.

서 line부분은 tip에 의해서 주사된 영역으로 etching된 부분이므로, SOG resist는 positive형으로 나타났다.

실험결과에서, AFM tip으로부터 방출된 FE 전류에 의해서 expose된 SOG 영역에서는 Si 원자와 Methyl group간의 결합이 분해되고, 이로 인해서 발생된 dangling bonds는 분극성이 강한 Silanol group으로 채워지게 된다. 따라서 expose된 영역에서의 Silanol group 함량은 expose되지 않은 영역에 비해서 상대적으로 크게 되어 높은 식각율을 보이게 된다. 이때 조사 영역과 조사되지 않은 영역의 etching selectivity는 20:1 이상의 높은 현상율을 갖게 되었다.

반면에, 그림 2에서 기술한 바와 같이, 425°C 이상의 고온 열처리에 의하여 Methyl group의 분해와 Silanol group의 증발이 동시에 진행되어 내부 함량이 極減되게 되면, SOG의 막은 단지 경질화만이 이루어지므로, 이 막은 AFM lithography에는 이용할 수 없음을 확인하였다[12]. 그러나 그림 2는 SOG가 resist로서 이용될 때, expose된 영역과 expose되지 않은 영역의 etching selectivity를 선정하기 위하여는 필요한 조건이므로, 공정의 여유도가 크게 개선될 것이다.

AFM lithography system에 있어서, 결정된 SOG의 두께와 요구되는 FE 전류량에 대하여 어느 정도의 공급 전압을 가하여야 하는 것은, 얻어지는 패턴 선폭에 큰 변화를 가져온다. 그리하여, 공급 전압을 크게하면 system이 복잡해지고 불안해지며, 너무 적게하면 외부 noise의 영향을 받으므로 또한 FE 전류가 불안정하여질 것이다. 이를 해결하기 위한 방법으로서, 그림 5와 같이,

SOG의 baking 온도를 적정하게 선택하면 내부 함량의 Methyl 혹은 Silanol group을 조정할 수 있으므로, 현상을 위한 etching time의 선택이 용이하므로 공정의 여유도가 개선될 것이다. 또한 기존의 Electron Beam lithography에 있어서는, 최소선폭의 패턴과 pad 크기의 패턴 간에 있어서, 어떤 패턴의 크기에 기준으로 하는가에 따라, 패턴 모양의 크기가 가변되었으나, SOG를 이용한 FE 전류에 의한 lithography에서는 패턴 크기에 따라 공급 전압의 적정값을 자유롭게 선택할 수 있으므로, 공정의 여유도가 크게 개선된다.

또한, 기존의 VLSI에 이용되는 고분자 합성고무 성분의 resist의 이용은 coating 조건을 가능한한 고정하여 그 두께가 일정하여야 하나, SOG resist의 이용은 그림 2와 같이 etching selectivity의 적정 선택과 그림 5와 같이 공급 전압의 적정값이 선택되므로, 다양하게 설계되는 device에 있어서 그림 6과 같이 resist로서의 적정 두께를 선택하여, 공정 여유도를 개선시킬 수 있는 것이 SOG resist의 장점이라 할 수 있다.

4. 결 론

본 실험에서는 AFM lithography에 있어서 SOG 재료가 resist로 이용되기 위한 물리적 특성을 분석하여, 실제 VLSI 공정에 적용할 때 그 공정 여유도를 개선시켰다. SOG가 AFM lithography에 resist로서의 성질을 갖고 있는 공표된 기술에 기초하여, SOG는 有機溶劑의 인가 함량에 따른 막 두께의 변화로 다양한 device에 적용 가능함을 입증하였으며, baking 온도에 따라 resist의 現像을 위한 etching selectivity와 etching time을 가변시킬 수 있으며, 공급 전압의 적정 선택으로 설계된 패턴의 크기에 부합되는 fine 패턴을 얻을 수 있는 특징을 갖고 있음을 입증하였다. AFM lithography의 실험결과, 공급전압 60V, FE 전류량 5nA에서 800 Å의 fine 패턴을 얻었다.

남은 과제로는 cross section에 의한 패턴의 profile 개선문제, 상용 AFM 장비에 적용하기 위한 lithography 전용 software의 개발 및 실제 IC 공정에서의 적용이다.

차세대 device의 공정 적용에 있어서, 생산성을 향상시키기 위해서는 multi-tip에 의한 multi lithography 개발이 크게 활성화 될 것이며, 현재 AFM lithography는 이 기술을 위하여 매우 전망되는 기술로 사료된다[18].

참고문헌

1. I. F. Thompson, C. G. Willson, M. J. Bowden "Introduction to Microlithography", ACS symposium series, ISSN 0097-6156; 219.
2. T. R. Albrecht and C. F. Quate, J. Appl. Phys. **62**(7), 1 October 1987.
3. A. Majumdar, P. I. Oden, J. P. Carrejo, L. A. Nagahara, J. J. Graham and J. Alexander Appl. Phys. Lett. **61**(19), 9 November 1992.
4. Christie R. K. Marrian and Elizabeth A. Dobisz, John A. Dagata, J. Vac. Sci. Technol. B **10**(6), Nov/Dec 1992.
5. C. R. K. Marrian and E. A. Dobisz, R. J. Colton, J. Vac. Sci. Technol. B **9**(2), Mar/Apr 1991.
6. E. S. Snow and P. M. Campbell, Appl. Phys. Lett. **64**(15), 11 April 1994.
7. Liming Tsau, Dawen Wang, and K. L. Wang, Appl. Phys. Lett. **64**(16), 18 April 1994.
8. Dawen Wang, Liming Tsau, and K. L. Wang, Appl. Phys. Lett. **65**(11), 12 September 1994.
9. F. Thibaudau, J. R. Roche, and F. Salvan, Appl. Phys. Lett. **64**(4), 24 January 1994.
10. E. E. Ehrichs, R. M. Silver, and A. L. de Lozanne, J. Vac. Sci. Technol. A. Vol. 6, No. 2, Mar/Apr 1988.
11. S. W. Park et al, "Nanometer scale lithography at high scanning speeds with the atomic force microscope using spin on glass", Appl. Phys. Lett. 67-16. pp. 2415-2417, 1995.
12. 한국진공학회 학술발표회 논문개요집, "Spin-On-Glass를 이용한 AFM lithography에서 FE 전류와 패턴과의 관계", pp. 118-119, 6, 1996.
13. R. J. Hopkins, T. A. Baldwin, and S. K. Gupta, Presented electrochemical Society Meeting, Los Angeles, May, 1989.
14. T. Nakano, K. Tokunaga, and T. Ohta, Extended Abstracts of PLANAR 94, Planarization Techniques for Submicron Technologies, Sunnyvale, CA 6 June 1994 (Allied Signal, Santa Clara, 1994).
15. D. Liu and R. B. Marcurs, J. Vac. Sci. Technol. B **12**, 672 (1994).
16. Ernest G. Zaidman, IEEE. Trans. on ED., 40-5 (1993) 1009-1016.
17. S. C. Minne, Ph. Flueckiger, H. T. soh and C. F. Quate, J. Vac. Sci. Technol. B **13**, 1380 (1995).