Journal of the Korean Vacuum Society
Vol. 5, No. 3, September 1996, pp. 239~244

승온시 Si_2H_6 가스 주입을 이용한 표면 SiO_2의 억제 및 비정질 Si의 고상 에피텍시에 관한 연구

최태희 · 남승의 · 김형준

홍익대학교 금속 · 재료 공학과
(1996년 4월 8일 접수)

Suppression of surface SiO_2 layer and Solid Phase Epitaxy of Si films Using heating-up under Si_2H_6 environment

Tae-Hee Choe, Seung-Eui Nam and Hyoung-June Kim

Dept. of Metallurgical Engineering & Materials Science, Hong-Ik Univ.
(Received April 8, 1996)

요 약 – 비정질 Si막의 증착을 위해 승온시 Si_2H_6가스를 주입함으로써 Si 표면의 SiO_2의 형성을 방지할 수 있었다. 또한 이러한 공정을 이용하여 증착된 비정질 Si의 후열처리에 의한 고상 에피텍시 성장이 가능하였다. 승온시 Si_2H_6가스 주입에 의한 표면 SiO_2의 형성 방지는 증착 승온시 SiHx 분위기를 만들어 줌으로써, Si 기판 표면의 passivation H의 탈착과 동시에 일어나는 반응기 잔류 가스중에 의한 O의 흡착대신 SiHx를 흡착시킴으로써 가능한 것으로 판단된다. 이러한 방법을 이용하여 기존에 보고된 고온 cleaning 공정 없이도 고품위의 결정성을 갖는 에피텍시 막을 600℃ 미만의 저온 공정으로 제조할 수 있었다.

Abstract – We firstly report that formation of SiO_2 layer on Si surface can be effectively prevented by flowing the Si_2H_6 gas during the heating-up procedure for amorphous Si depositions. In this way, amorphously deposited Si layer onto crystalline Si substrates can be grown epitaxially during the post-deposition heat treatments. The suppression of surface SiO_2 can be explained in terms of adsorption of SiHx adspecies, instead of oxygen from residual gases in the reactors, to Si surfaces after desorption of hydrogen from H-passivated Si surfaces. Employing Si_2H_6 flowing and solid phase epitaxial growth, high-quality epitaxial Si layer can be obtained at low temperatures below 600℃ without conventional high temperature cleaning procedures.

1. 서 론

Si 기판 위의 Si 에피텍시 공정은 바이폴라 공정에 주로 적용되고 있으나, 최근에는 초고집적의 MOS 반도체 소자 공정에도 많은 활용성[1, 2]이 제시되고 있으며 이에 대한 활발한 연구가 진행되고 있다. 기존의 Si 에피텍시 공정은 화학증착법(chemical vapor deposition)을 이용한 기상 에피텍시(vapor phase epitaxy)에 의해 이루어지며, 1000℃ 이상의 고온 공정이 요구된다. 이러한 고온 공정은 기판의 불순물 확산, autodoping 등과 같은 많은 문제점을 일으키며[3], 따라서 Si 에피텍시 공정에 대한 최근의 연구는 Si 에피텍시 공정 온도를 낮추는데 집중되고 있다.

저온 Si 에피텍시 공정을 위한 핵심 과제는 저온에서의 효과적인 표면 SiO_2 막의 제거 방법에 있다. 일반적으로 Si 기판은 대기 중에 노출되면 수 십 Å정도의 자연 SiO_2 산화막이 형성되며[4, 5] 이러한 산화막은 Si 에피텍시 성장을 저해하는 것으로 알려져 있다. 현재까지 보편적으로 사용되는 SiO_2 산화막의 제거는 Cl기와 H기의 식각성 가스를 Si 증착가스와 혼입하여 SiO_2를 식각하는 방법이며, 이때 높은 공정 온도가 요구된다. 최근에 SiO_2의 산화막 제거의 온도를 낮추는 몇 가지 방법

이 보고되고 있다. 이를 크게 구별하면, 반응기 내의 H_2O나 O_2의 잔류가스량을 줄여 SiO_2막의 형성을 억제하고 SiO_2의 식각효과를 높이는 방법(예, ultra high vacuum CVD(UHVCVD)[6, 7], molecular beam epitaxy (MBE)[8, 9]), 표면 SiO_2를 이온 투사에 의해 스퍼터링하는 방법(예, electron cyclotron resonance CVD (ECRCVD)[10]), 저온 산화막 제거를 위한 새로운 식각가스의 개발[11]등이다. UHVCVD와 MBE등을 이용하여 Si 에피텍시 온도를 800℃ 정도로 낮출 수 있으나 ~ 10^{-11} Torr의 고진공도를 만들기 위한 장비의 구성이 복잡하여 생산 공정에의 적용이 어려운 단점이 있다. 또한 ECRCVD의 경우 공정 온도를 600℃ 정도로 낮출 수 있으나 이온 투사에 의한 기판 표면의 손상은 에피텍시의 결함 원인을 제공할 우려가 있다.

본 연구에서는 Si막을 600℃ 미만의 저온에서 비정질로 증착한 후 열처리에 의해 고상에피텍시(solid phase epitaxy(SPE))성장시키는 새로운 저온 에피텍시 방법을 시도하였다. SPE를 실현하기 위해서는 VPE에서와 같이 비정질 Si막/기판 간의 SiO_2의 제거가 필수적이다. Si막의 증착전, Si 표면의 SiO_2 산화막의 생성은 HF dipping 등과 같은 표면 세정 방법에 의해 Si 표면을 H 원자에 의해 passivation시킴으로써 효과적으로 방지할 수 있다[12, 13]. 그러나 Si 에피텍시 성장을 위해 반응기 안에서 승온할 때 passivation H는 탈착되며, 노출된 Si 표면은 반응기에 잔류되어 있는 H_2O, O_2에 의한 O의 흡착에 의해 재산화되는 것으로 보고된다[14]. 이러한 H의 탈착 및 SiO_2의 재형성은 400~500℃의 구간에서 일어나며[14], 고진공의 분위기에서도 피할 수 없는 것으로 보고된다. Meyerson[15] 등에 의해 보고된 Si과 O와의 열역학적 평형 반응의 계산에 의하면 이 온도에서 SiO_2막의 재형성 방지를 위해서는 10^{-12} Torr 이하의 극히 실현되기 어려운 초고진공이 필요할 것으로 예상된다. 따라서 UHVCVD(진공도=10^{-8}~10^{-11} Torr)에서도 반응기에서의 승온시 SiO_2막의 재형성은 불가피하게 일어나며, 이러한 SiO_2막의 제거를 위해서 H기나 Cl기의 식각 가스를 이용한 고온 cleaning공정(>800℃)이 필요한 것으로 보고된다[16-19].

본 연구에서는 SiO_2의 재형성을 방지하기 위한 새로운 시도로써 Si의 증착을 위한 승온시에 반응기 내를 SiHx의 분위기로 만들어 줌으로써 H의 탈착후에 O대신 Si가 흡착되도록 하였다. SiH_x의 흡착을 위한 가스로는 Si_2H_6를 이용하였다. Si_2H_6는 SiO_2의 재형성이 일어나는 온도영역(400~500℃)에서 $Si_2H_6 \rightarrow SiH_4+SiH_2$로 분해되며, SiH_2는 Si 표면에 흡착되는 Si 성장의 전구체로 알려져 있다[20]. 이러한 방법에 의해 SiO_2막이 없는 Si 표면에 비정질 Si를 증착한 후, 열처리에 의해 SPE가 일어나도록 하였다.

2. 실험방법

Si 기판은 p-형 (100) Si wafer를 사용하였다. Si 증착전의 표면 세정을 위해 RCA cleaning 후 UV ozone cleaning을 수행하였다. UV ozone cleaning은 표면에 흡착된 C 화합물을 매우 효율적으로 제거하는 것으로 보고되고 있다[13, 21]. 세정된 Si 표면의 산화막 제거와 H passivation을 위해 7:1로 희석된 HF 용액에서 10초간 dipping 한 후 곧바로 N_2 가스로 건조하였다. Si 기판의 표면 전처리 후 고진공 화학 증착기(high vacuum chemical vapor deposition(HVCVD))를 이용하여 비정질 Si층을 440℃~520℃에서 증착하였다. 그림 1은 본 실험에서 사용한 cold wall방식의 HVCVD의 개략도이다. 본 증착기는 고진공 유지와 외부 오염의 최소화를 위해 반응실(reaction chamber)과 예비실(load-lock chamber)로 구분되어 있다. 반응실은 터보 펌프를 이용하여 ~10^{-8} Torr 이상의 고진공을 유지할 수 있으며, 반응실의 가스 압력은 가스 주입 유량과 트로틀 밸브에 의해 조절된다. 기초 진공도의 변화에 따른 SPE 거동을 조사하기 위해 반응기내의 기초 진공도를 터보 펌프 작동시의 10^{-8} Torr, 로타리 펌프만 작동시의 10^{-3} Torr로 변화시키며 실험하였다. 증착 가스는 He로 희석된 87% Si_2H_6(99.

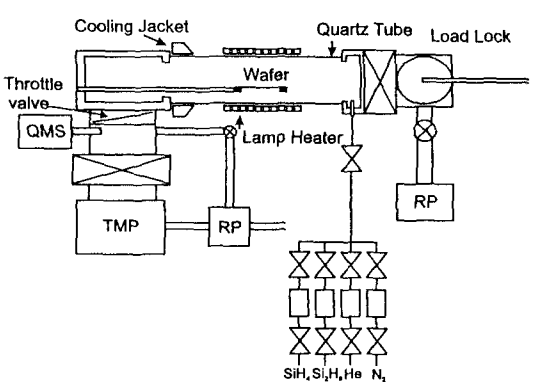

Fig. 1. Schematic diagram of High Vacuum Chemical Vapor Deposition system.

99%) 가스를 30 sccm으로 주입하였고 증착 압력은 0.1~0.5 Torr로 하였다. 고상 에피텍시를 위해 N_2 분위기에서 540℃~600℃에서 열처리하였다. 열처리 후 결정화된 Si막의 에피텍시 성장여부와 결정성은 XRD, Raman spectroscopy, TEM을 이용하여 조사하였다.

3. 결과 및 고찰

전술한 바와 같이 Si 에피텍시 성장의 가장 중요한 요건은 Si 기판 표면의 SiO_2막의 제거와 반응기 안에서의 SiO_2 재형성 방지에 있다. 반응기안에서의 SiO_2 재형성은 반응기의 잔류 H_2O, O_2 가스의 양에 의해 좌우되며, 따라서 반응기의 기초 진공도, 예비실의 사용여부에 의해 변할 수 있다. 이러한 공정 변수가 Si막의 고상 에피텍시에 미치는 영향을 조사하기 위해 기초 진공도를 변화 (10^{-8} vs. 10^{-3} Torr)하였고, load-lock 사용여부에 따라서도 실험을 수행하였다. 또한 증착을 위한 승온시에 SiH_x분위기를 만들기 위해 Si_2H_6가스를 승온시에 주입하였을 경우의 고상 에피텍시 변화를 관찰하였다. 이러한 공정 변수에 대한 증착 공정 조건을 표 1에 나타내었다.

Table 1. Process conditions of amorphous Si deposition

Process	Heating-up under Si_2H_6 gas environment	Base pressure	Load-lock
A	○	10^{-3}Torr	○
B	○	10^{-8}Torr	×
C	○	10^{-8}Torr	○
D	×	10^{-3}Torr	×
E	×	10^{-8}Torr	○

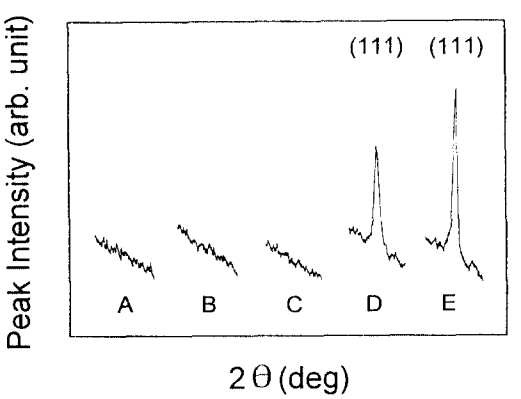

Fig. 2. X-ray diffractions of crystallized Si films a) SPC films and b) SPE films.

증착된 시편의 에피텍시 성장을 위해 N_2 분위기에서 600℃에서 10시간 열처리하였다. 그림 2는 크기 1.5×1.5 cm^2의 각 시편에 대한 X-선 회절분석의(111) 결정 피크를 비교한 것이다. 비정질 Si막이 다결정 Si로 고상 결정화(solid phase crystallization(SPC))하는 경우 다결정 Si막은 강한 (111) 우선 방위를 갖는 것으로 알려져 있다. 승온시 Si_2H_6 가스를 주입하지 않은 경우(시편 D와 E)에는 모두 (111) 피크를 보이며, 이는 비정질 Si막이 다결정 Si로 SPC하였음을 나타낸다. 반면에 승온시 Si_2H_6 가스를 주입한 시편(시편 A~C)은 단결정과 같은 형태로 (111) 피크가 전혀 나타나지 않아 SPE 성

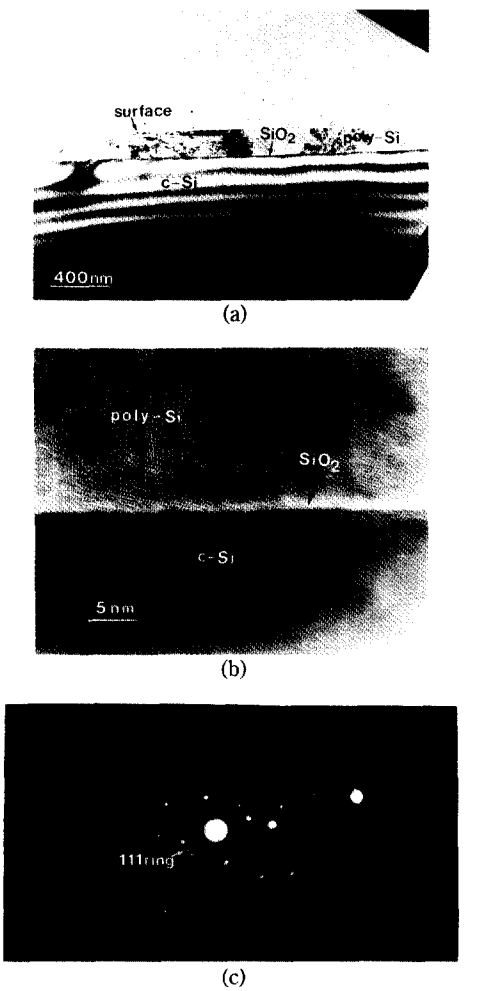

Fig. 3. TEM micrographs of SPC films a) bright-field micrograph b) high-resolution TEM and c) selected-area diffration pattern.

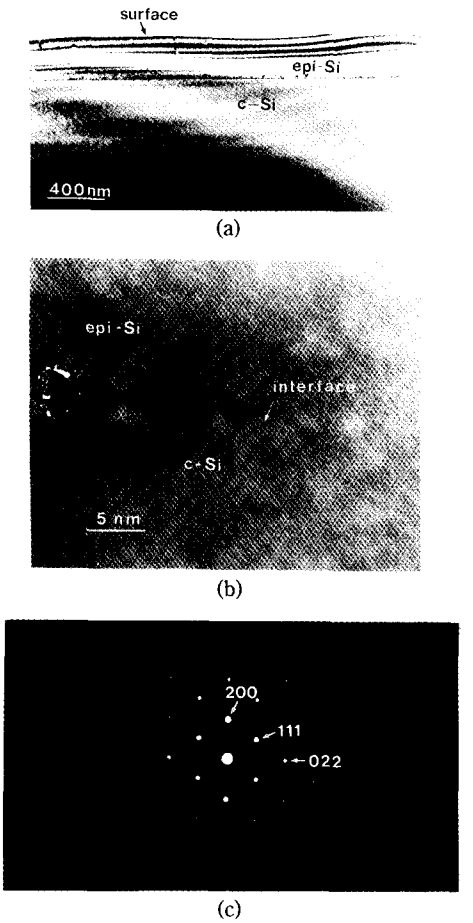

Fig. 4. TEM micrographs of SPE films a) bright-field micrograph b) high-resolution TEM and c) selected-area diffration pattern.

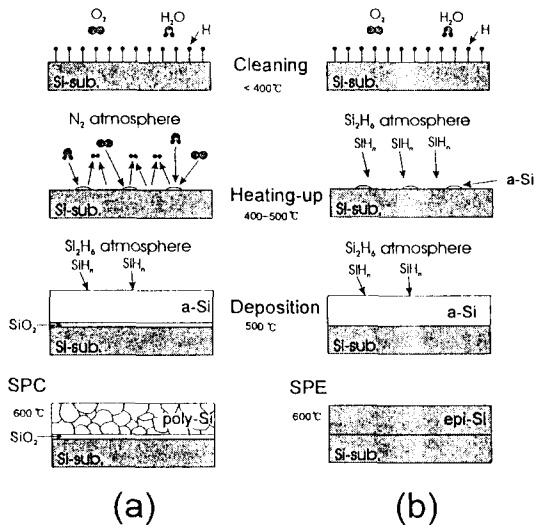

Fig. 5. Schematic drawing of silicon deposition process a) conventional process b) heating-up under Si_2H_6 environment.

장하였음을 추정할 수 있다. 이 같은 결과는 진공도, load-lock 사용 여부와는 관계없이 승온시 Si_2H_6 가스의 주입 여부에 따라 Si 기판 위의 비정질 Si막이 다결정 Si로 혹은 단결정 Si 에피텍시 막으로 결정화됨을 보여주는 것이다.

결정화된 Si막과 계면의 미세 구조를 조사하기 위해 TEM 분석을 하였다. 그림 3은 승온시 Si_2H_6를 주입하지 않은 경우(시편 E)의 단면 TEM 사진이다. 그림 3a의 명시야 상에서 보는 바와 같이 비정질 Si는 다결정 Si로 SPC되었다. 그림 3b의 고분해능 TEM상에서 보는 바와 같이 계면 부위에 ~20Å 두께의 oxide 층이 관찰되며 이러한 oxide층은 비정질 Si의 에피텍시 성장을 방해하는 것을 보여준다. 그림 4는 승온시 Si_2H_6 가스 분위기를 만들어 준 경우(시편 C)이며, 비정질 Si는 SPE 성장하여 단결정 Si막으로 성장하였음을 보여준다. 그림 4b의 고분해능 TEM상에서 보는 바와 같이 계면에서의 SiO_2상은 존재하지 않았으며, 이는 승온시 Si_2H_6의 주입에 의해 계면 SiO_2의 생성을 억제할 수 있음을 보여준다. 다만 이 경우에도 계면에 미세한 SiO_2 상이 국부적인 cluster의 형태로 존재하였다.

이 같은 결과는 Si 증착을 위한 승온과정에서 Si_2H_6를 주입하는 간단한 공정 적용에 의해 Si 기판 표면의 SiO_2 층의 생성을 막고 저온(<600℃)에서 SPE 성장이 가능하다는 것을 최초로 보여주는 것이다. 승온시 Si_2H_6가스의 주입 여부에 따라 예상되는 표면 반응 기구의 개략도를 그림 5에 나타내었다. 승온시 Si_2H_6의 가스 주입이 없는 기존의 공정(그림 5a)에서는 passivation H는 400℃ 이상에서 탈착되며 unpassivation된 Si 표면의 dangling bond는 반응기내에 잔류하는 H_2O, O_2의 O 흡착에 의해 빠르게 재산화된다. 시편 E의 결과에서와 같이 이러한 SiO_2의 재형성은 고진공(~10^{-8} Torr)에서의 빠른 승온속도(100℃/분)에서도 피할 수 없는 것으로 보인다. 따라서 증착된 비정질 Si막은 이러한 산화층 위에 생성되

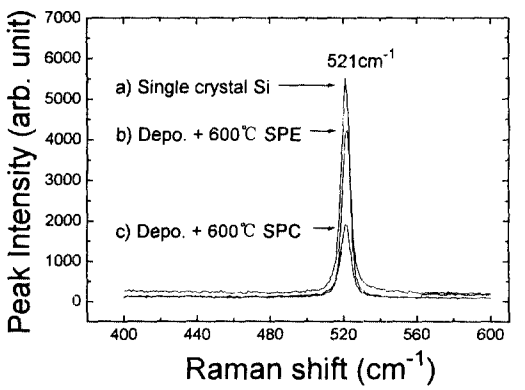

Fig. 6. Raman spectra of Si films a) the silicon single crystal substrate reference b) SPE films and c) SPC films.

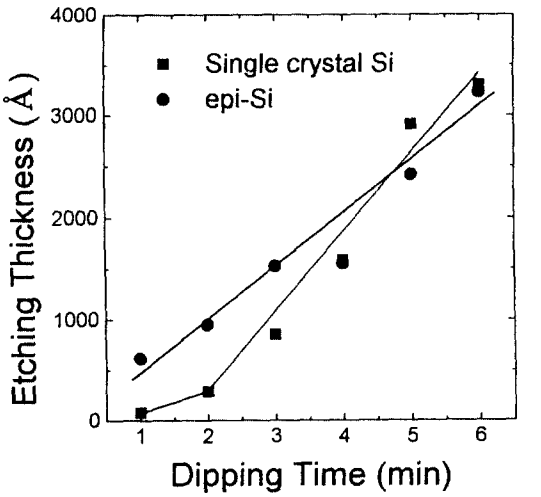

Fig. 7. Single crystal Si and epi-Si etching thickness by selective etching solution(HNO_3 : CH_3COOH : HF = 50 : 50 : 1) as a function of dipping time.

며 후 열처리에 의해 다결정 Si로 SPC된다. 반면에 승온시 Si_2H_6의 주입함으로써(그림 5b), H의 탈착과 동시에 Si_2H_6의 분해에 의한 SiH_2 전구체가 O 대신에 표면 흡착하여 Si표면의 재산화를 방지할 수 있다. 이러한 SiO_2층의 방지에 의해 증착된 비정질 Si막은 단결정 막으로 SPE할 수 있다.

SPE된 단결정 Si막의 결정성을 조사하기 위해 Raman spectroscopy를 이용하였다. 521 cm^{-1}에서의 피크는 결정화된 Si를 나타내므로[22, 23] peak의 강도를 비교하여 박막의 결정성을 추정할 수 있다. 그림 6에서 보는 것처럼 승온시 Si_2H_6 가스를 주입하지 않은 경우(c)(박막 두께 2000Å)의 피크 강도는 단결정 Si wafer에 비해 매우 낮은 값이지만 승온시 Si_2H_6 가스를 주입한 경우(b)(박막 두께 2460Å)에는 완벽한 단결정 Si에 근사한 강도값을 가지므로 단결정 Si wafer에 근접하는 우수한 결정성을 갖는 것으로 보인다. SPE된 단결정 Si막의 결정성은 기판의 표면 세정 방법, 승온 속도 등에 의해 영향을 받을 것으로 판단되며 결정성을 Si wafer와 동일한 수준으로 올리기 위한 연구가 진행되고 있다.

단결정 Si의 결정성은 습식 식각 속도에 의해 비교될 수 있다. 그림 7에 습식 식각 용액에 의한 단결정 Si wafer와 SPE 성장된 Si 막의 식각 속도의 차를 HNO_3 : CH_3COOH : HF = 50 : 50 : 1의 식각용액을 사용하여 비교하였다. 그림에서 보는 바와 같이 Si wafer와 SPE Si은 비슷한 식각 속도를 보인다. 승온시 Si_2H_6 가스를 주입하지 않은 경우 얻어진 다결정 실리콘의 식각속도는 단결정 실리콘의 약 2배인 1070Å/min이므로 SPE막의 결정성은 우수한 것으로 판단된다.

비정질 Si막의 SPE성장은 다양한 반도체 소자의 공정 개발에 적용될 수 있을 것으로 판단된다. 다결정 Si/Si 기판의 접합은 바이폴라 소자의 에미터 접합, dopant 확산막, DRAM의 capacitor 전극과 contact plug, SRAM의 TFT resistor 등 실로 다양한 용도에 사용되고 있다. 이러한 구조의 형성은 비정질 Si막의 증착 후, 열처리에 의한 SPC에 의해 만들어진다. 이때, 접합 계면의 SiO_2층 형성과 이로 인한 비정질 Si의 다결정 Si로의 SPC는 불가피한 것으로 인식되고 있다. 지금까지 LPCVD에 의해서 증착된 비정질 Si막은 다결정 Si로 SPC되며, SPE를 실현하기 위해서는 1000℃이상의 고온에서 표면 산화막을 제거하는 공정이 선행되야 하는 것으로 알려져 있어 반도체 공정 적용에 어려움이 있다. 본 연구의 저온 공정에 의한 계면 SiO_2막의 형성 방지와 비정질 Si막의 SPE성장 방법은 단결정 Si막/Si의 구조를 실현할 수 있으며, 이로 인한 접합 저항의 감소 및 Si막의 비저항 감소, 새로운 소자 구조의 실현과 같은 파급 효과가 기대된다.

4. 결 론

Si 기판 위의 Si 에피텍시 성장을 위한 새로운 저온 공정을 개발하였다. 이는 비정질 Si막의 증착을 위한 승온시 Si_2H_6가스를 주입함으로써 Si 표면의 SiO_2의 형성을 방지하여, 후 열처리에 의해 증착된 비정질 Si가 고

상 에피텍시 성장이 가능하도록 하는 것이다. 승온시 Si_2H_6가스 주입에 의한 표면 SiO_2의 형성 방지는 증착 승온시 SiH_x 분위기를 만들어 줌으로써, Si 기판 표면의 passivation H의 탈착과 동시에 일어나는 반응기 잔류 가스에 의한 O의 흡착대신 SiH_x를 흡착시킴으로써 가능한 것으로 해석되었다. 이러한 방법을 이용하여 기존에 보고된 UHVCVD 방법 없이도 고품위의 결정성을 갖는 에피텍시 막을 600℃ 미만의 저온 공정으로 제조할 수 있었다.

감사의 글

본 연구는 통상산업부, 정보통신부, 과학기술처에서 공동으로 시행한 차세대 반도체 기반 기술 공동개발 사업 연구의 일부입니다. 연구비 지원에 감사드립니다.

참고문헌

1. F. Hofmann, W.H. Krautschneider, L. Risch and H. Schaefer, Ext. Abstracts of the 1995 International Conference on SSDM, Osaka, pp. 46-48 (1995).
2. R. Kircher, J. Murota, M. Furuno, K. Aizawa, M. Kato, A. Horinouchi and S. Ono, Ext. Abstracts of the 1991 International Conference on SSDM, Yokohama, pp. 672-674 (1991).
3. F. Mieno, S. Nakamura, T. Deguchi, M. Maeda, and K. Inayoshi, J. Electrochem. Soc.: Solid-State Science and Technol., **134**(9), September pp. 2320-2323 (1987).
4. L.A. Zazzera, and J.F. Moulder, J. Electrochem. Soc., **136**(2), February pp. 484-491 (1989).
5. Johannes M.C. Stork, Maurizio Arienzo, and Catherine Y. Wong, IEEE Trans. Electron. Dev. **32**(9), September pp. 1766-1770 (1985).
6. B.S. Meyerson, Appl. Phys. Lett. **48**(12), 24 March, pp. 797-799 (1986).
7. Ken-ichi Aketagawa, Toru Tatsumi, Masayuki Hiroi, Taeko Nilno and Junro Sakai, Ext. Abstracts of the 1991 International Conference on SSDM, Yokohama, pp. 719-720 (1991).
8. Hiroyuki Hirayama, Toru Tatsumi, Atsushi Ogura, and Naoaki Aizaki, Appl. Phys. Lett., **51**(26), 28 December pp. 2213-2215 (1987).
9. Hiroyuki Hirayama, Toru Tatsumi, and Naoaki Aizaki, Appl. Phys. Lett., **52**(26), 27 June (1988) pp. 2242-2243.
10. Heung-Sik Tae, Seok-Hee Hwang, Sang-June Park, Euijoon Yoon, and Ki-Woong Whang, J. Appl. Phys. **78**(6), 15 September pp. 4112-4117 (1995).
11. Yasuo Kunii and Yutaka Sakakibara, Jpn. J. Appl. Phys., **26**(11), Nov., pp. 1816-1822 (1987).
12. V.A. Burrows, Y.J. Chabal, G.S. Higashi, K. Raghavachari, and S.B. Christman, Appl. Phys. Lett., **53**(11), 12 September pp.998-1000 (1988).
13. T. Takahagi, I. Nagai, A. Ishitani, and H. Kuroda, J. Appl. Phys., **64**(7), 1 Oct. pp. 3516-3521 (1988).
14. K. Kobayashi, K. Kukumoto, T. Katayama, T. Higaki, and H. Abe, Extended Abstracts of the 1992 international conference on SSDM, Tsukuba, pp. 17-19 (1992).
15. B.S. Meyerson, E. Ganin, D.A. Smith, and T.N. Nguyen, J. Electrochem. Soc.: Solid-State Science and Technol., **133**(6), June pp. 1232-1235 (1986).
16. G.R. Srinivasan, and B.S. Meyerson, J. Electrochem. Soc.: Solid-State Science and Technol., **134**(6), June pp. 1518-1524 (1987).
17. S.S. Iyer, M. Arienzo, and E. de Fresart, Appl. Phys. Lett., **57**(9), 27 August pp. 893-895 (1990).
18. Ido Rahat, J. Shappir, D. Fraser, J. Wei, John Borland and I. Beinglass, J. Electrochem. Soc., **138**(8), August pp. 2370-2374 (1991).
19. T.O. Sedgwick, P.D. Agnello, D. Nguyen Ngoc, T.S. Kuan, and G. Scilla, Appl. Phys. Lett., **58**(17), 29 April pp. 1896-1898 (1991).
20. Apostolos T. Voutsas and Miltiadis K. Hatalis, J. Electrochem. Soc., **140**(3), March (1993) pp. 871-877.
21. L. Zazzera, and J.F. Evans, J. Vac. Sci. Technol., A **11**(4), Jul/Aug pp. 934-939 (1993).
22. N. Shibada, K. Fukuda, H. Ohtoshi, J. Hanna, S. Ota and I. Shimizu, Jpn. J. Appl. Phys., **26**, L10 (1987).
23. L. Marvilie and R. Reif, J. Appl. Phys. 72, pp. 3641-3647 (1992).