

절연보호막 처리된 Al-1%Si 박막배선에서 D.C.와 Pulsed D.C. 조건하에서의 electromigration 현상에 관한 연구.

배성태 · 김진영

광운대학교 전자재료공학과, 신기술 연구소
(1996년 3월 12일 접수)

A Study on the Electromigration Phenomena in Dielectric Passivated Al-1%Si Thin Film Interconnections under D.C. and Pulsed D.C. Conditions

S. T. Bae and J. Y. Kim

Department of Electronic Materials Eng., Kwangwoon University, Institute of New Technology
(Received March 12, 1996)

요 약 - 절연보호막 처리된 Al-1%Si 박막배선에서 고정된 D.C. 및 Pulsed D.C. 조건하에서의 electromigration 현상과 도체수명특성에 대하여 조사하였다. 길이 21080 μm , 선평 3 μm 의 dimension을 갖는 meander type의 passivation layer(SiO_2/PSG)가 0.1 $\mu\text{m}/0.8 \mu\text{m}$ 의 두께로 절연막처리 되어있는 Al-1%Si 박막 배선에 고정된 전류밀도 $2 \times 10^6 \text{ A/cm}^2$, $1 \times 10^7 \text{ A/cm}^2$ 의 D.C.와 200 KHz, 800 KHz, 1 MHz, 4 MHz의 주파수 범위를 가지며, duty factor 0.5인 $2 \times 10^6 \text{ A/cm}^2$, $1 \times 10^7 \text{ A/cm}^2$ 의 전류밀도를 갖는 Pulsed D.C.를 인가하였다. 인가된 D.C. 및 Pulsed D.C. 조건하에서의 도체수명은 D.C.보다는 Pulsed D.C.인 경우에 더 긴것으로 나타났고 전류밀도에 크게 의존하고 있음을 알 수 있었다. D.C.보다는 Pulsed D.C. 조건하에서 도체수명이 더 긴 것은 duty cycle을 갖는 wave on-off형태의 Pulsed D.C.에서 pulsed off time시에 발생하는 박막배선 내부의 기계적, 전기적 stress gradient에 기인한 파잉 vacancy의 퇴화형성과정인 이완현상(relaxation phenomenon)으로 생각된다. 박막배선내부에 electromigration 현상에 의해 발생된 전기적 개방, 단락을 일으키는 결함에 대한 분석을 SEM(Scanning Electron Microscopy)을 이용하여 관찰하였다. electromigration에 의한 결함은 surface extrusion인 hillock과 depletion region에서 형성된 crack(void)의 형태가 대표적인 결함들로 나타나고 있음을 알 수 있었다.

Abstract - The electromigration phenomena and the characterizations of the conductor lifetime (Time-To-Failure, TTF) in Al-1%Si thin film interconnections under D.C. and Pulsed D.C. conditions were investigated. Meander type test patterns were fabricated with the dimensions of 21080 μm length, 3 μm width, 0.7 μm thickness and the 0.1 $\mu\text{m}/0.8 \mu\text{m}$ (SiO_2/PSG) dielectric overlayer. The current densities of $2 \times 10^6 \text{ A/cm}^2$ and $1 \times 10^7 \text{ A/cm}^2$ were stressed in Al-1%Si thin film interconnections under a D.C. condition. The peak current densities of $2 \times 10^6 \text{ A/cm}^2$ and $1 \times 10^7 \text{ A/cm}^2$ were also applied under a Pulsed D.C. condition at frequencies of 200 KHz, 800 KHz, 1 MHz, and 4 MHz with the duty factor of 0.5. The time-to-failure under a Pulsed D.C. ($\text{TTF}_{\text{pulsed D.C.}}$) was appeared to be larger than that under a D.C. condition. It was found that the TTF under both a D.C. and a Pulsed D.C. condition largely depends upon the applied current densities respectively. This can be explained by a relaxation mechanism view due to a duty cycle under a Pulsed D.C. related to the wave on off. The relaxation phenomena during the pulsed off period result in the decay of excess vacancies generated in the Al-1%Si thin film interconnections because of the electrical and mechanical stress gradient. Hillocks and voids formed by an electromigration were observed by using a SEM (Scanning Electron Microscopy).

1. 서 론

VLSI(Very Large Scale I.C)에서 ULSI(Ultra Large Sclae I.C)에 이르는 반도체 소자의 고밀도, 고집적화에 따른 소자의 축소화(scale down)는 design rule의 lambda base rule을 1 μm , 심지어는 submicron이하로까지 축소화 시킴에 따라 고속, 고밀도 반도체 소자의 제조공정 중의 하나인 박막배선공정은 submicron이하의 범위를 갖는 미세화된 선폭과 적층구조를 갖는 박막배선의 형태로 연구가 진행되어지고 있다[1].

그러나, 소자 축소화에 의한 선폭의 미세화는 소자 동작시에 흐르는 고정된 전류조건하에서 박막배선내에 고 전류밀도를 유발시켜 electromigration과 같은 금속화 결함기구를 촉진시키고[2], 적층구조의 박막배선은 상,하층 박막배선에 인가되는 전기적 포텐셜(electrical potential)차이에 의한 박막배선을 흐르는 전자의 이동에 편향을 가져와 electromigration에 의한 결함을 가속화시키는 [3]조건으로 나타나면서 electromigration 현상은 소자의 신뢰도 판정에 중요한 변수로 작용하게 되었다. 이러한 electromigration 현상에 대한 연구는 1960대 후반부터 현상론적 규명에 대한 연구의 시작으로 1980년대 후반까지는 실험 가속화 조건인 D.C.조건하에서 박막배선의 interdiffusion mechanism과 물질이동(mass-transport)[4], 길이와 선폭등의 geometry 변화에 따른 도체수명의 특성[5], 고 전기전도도를 갖는 noble metal인 Ag, Cu, Au 등의 새로운 박막배선재료의 개발, ICB(D Ionized Cluster Beam Deposition)를 이용한 기판과 같은 배향성(orientation)을 가지며 결정입계 확산을 억제시켜 electromigration 현상에 대한 강한 저항성을 갖을 수 있는 low angle 결정입계(grain boundary)를 갖는 새로운 박막증착조건의 개발[6], 박막증착시에 기판 열처리를 통한 결정입의 성장을 이용한 전자들의 이동경로인 결정입계를 줄여 interdiffusion을 억제시킬 수 있는 박막배선재료의 미세구조변화[7] 등의 여러변수를 변화시켜 electromigration 현상을 억제시키며, 소자에 고 신뢰도를 얻을 수 있는 측면으로 진행되고 있다. 그러나, 1980년대 후반부터는 실제로 nMOS, CMOS 등의 반도체 I.C소자가 동작하는 범위인 clock pulse의 형태로 Pulsed D.C., A.C. 시그널 조건에서의 electromigration mechanism에 대한 연구가 시작되면서 peak current density에 대한 도체수명의 의존성[8], wave on-off에 연관된 duty factor에 대한 의존성,

소자동작시에 발생하는 주울열에 대한 실험 가속화 조건인 온도의존성에 대한 연구[9]가 이루어지면서 특히, 1992년부터 현재에 이르기까지는 pulse off time시에 발생하는 stress relaxation에 의한 이완현상(relaxation mechanism)에 대한 연구에 그 목적이 귀추되고 있다 [10].

Electromigration 또는 electrotransport에 대한 구동력(driving force)은 전자운(electron cloud)의 형태로 이루어진 전도전자와 금속이온으로 이루어진 고전기전도성 다결정 박막배선에 고정된 전류가 인가되면서 발생한다. 선폭의 미세화는 박막배선내부에 고 전류밀도를 유발하고, 박막배선에 인가된 electrical stress에 의한 전도 전자들의 전자풍력(electron wind force)은 발생하게 된다. 이에 따라 전도전자들은 다결정으로 이루어진 박막배선 내부에 국부적으로 존재하는 saddle point나 triple point에 위치한 금속이온들과 momentum exchange를 일으키게 되고, 결과적으로 interdiffusion에 필요한 활성화 에너지(activation energy)를 금속이온에 공급함으로써 basic atomic jump를 유발시킨다. 이때 atomic jump로부터 발생하는 atomic flux J는 확산에 필요한 열에너지와 물질의 확산계수로 표현되어지는 mobility term D/KT 와 momentum exchange에 의한 구동력(driving force) term Z^*eE , atomic density N_0 의 곱으로 표현되어진다.

$$J_1 = [(D/kT)] (Z_1^* eE) (N_0) \quad (1)$$

Z^* : effective charge of an atom

E : applied electric field

D : diffusion coefficient

l : parameter of the lattice

여기서 effective charge Z^* 는 다음과 같이 얻어진다.

$$Z_1^* = z [1 - \gamma(\rho_d/N_d)(N_i/\rho)] | m^* / m^* | \quad (2)$$

z : electron/atom의 비

--> 단위원자당 전도전자의 수

$(\rho_d/N_d)(N_i/\rho_d)$: 격자원자들과 이동하는 defect의 고유한 비저항

$|m^*|m^*$: 하전입자의 극성에 따른 구동력 방향을 표시한다.

γ : 기본적인 원자 jump의 길이에 따른 구동력 변화를 고려한 평균치 (보통 0.5의 값을 갖는다.)

그리고, z 는 ion들과 field 사이의 electrostatic force를

나타내며, negative term은 ion들과 움직이는 하전입자 사이의 반응으로부터 유발되는 electron wind force를 나타낸다. 그러나, 다결정으로 이루어진 박막구조의 비균일성은 박막배선을 따라 일어나는 atomic mobility의 변화를 일으키고, 따라서 국부적인 지역의 온도구배 (temperature gradient)에 의해서 atomic flux divergence를 유발시킨다. 이러한 온도구배에 의한 atomic flux divergence는 atomic mobility B가 온도에 지수함수적으로 의존하는 Arrhenius rate를 따르기 때문이다.

$$B = D_0 \exp [-\Delta H/KT] / KT \quad (3)$$

기본적인 Arrhenius rate로 부터의 온도구배에 따른 atomic mobility의 변화는 다음과 같다.

$$dB/dT = D_0/KT [\exp(-\Delta H/KT)] (\Delta H/KT - 1) \quad (4)$$

여기서, 만약에 stripe의 길이 x에 따라 일어나는 온도구배를 dT/dx 라 하면 stripe 길이 x에 따른 mobility gradient dB/dx 는,

$$dB/dx = dT/dx \times dB/dT \quad (5)$$

$$dB/dx = D_0/KT [\exp(-\Delta H/KT)] (\Delta H/KT - 1) dT/dx \quad (6)$$

식 (6)과 같이 되어 박막배선의 stripe 길이를 따라 일어나는 온도구배는 결과적으로 atom 또는 vacancy flux의 divergence를 일으키며, 이러한 mechanism에 의해서 박막배선내에는 물질이동(mass-transport)이 일어나게 된다. electrical stress에 의한 물질이동은 박막배선내에 크게 두 가지의 형태로 결합을 발생시키는 것으로 보고되고 있다. Cathode 지역에서는 anode 지역으로의 물질이동에 의한 고갈영역(depletion region)이 형성되면서 임계 vacancy 이상에서 crack(void)을 형성하는 electrical open과 anode 지역으로 이동하는 물질(mass)의 축적지역(accumulation region)에서의 표면돌출에 의한 hill-ock 또는 whisker를 형성시키는 electrical short가 대표적인 결합인 것으로 나타나고 있다[2].

이러한 electromigration에 의한 결합발생에 따른 도체수명(Time-To-Failure)을 실험가속화 조건인 D.C.와 실제 소자동작범위인 Pulsed D.C. 조건에서 고려해 보면, 시간에 따른 void의 derivative는 다음과 같다.

$$d\delta/dt \propto F_v = nv \propto nJ = R(\delta) n(t) J(t) \quad (7)$$

δ : the volume of void

- v : vacancy velocity
- n : vacancy concentration
- F_v : vacancy flux

여기서 임계 vacancy 형성에 의한 도체수명(Time-To-Failure)까지의 시간을 상수 K라 하면,

$$\int_0^{TTF} n(t) J(t) dt = \int_0^{\delta_c} \frac{d\delta}{R(t)} = K \quad (8)$$

이 되고, relaxation time τ 와 vacancy generation rate가 비례상수 α 를 갖는 $[J]^{m-1}$ 비례한다고 가정하면,

$$dn/dt = -(n/\tau) + \alpha |J(t)|^{m-1} \quad (9)$$

이 되어 n(t)를 식 (7)에 대입하면,

$$n = \tau \alpha J_{DC}^{m-1} \quad (10)$$

따라서 D.C.조건하에서의 도체수명(Time-To-Failure)은,

$$\begin{aligned} TTF_{DC} &= K / \tau \alpha J_{DC}^m \quad (K/\tau \alpha) = A_{DC}(T) \\ &\quad \text{(induced black equation)} \\ TTF_{DC} &= A_{DC}(T) / J_{DC}^m \quad (11) \end{aligned}$$

식 (11)과 같이 얻을 수 있으며, 이는 에너지와 온도와의 관계를 Boltzman distribution을 사용하여 규명해 놓은 Arrhenius equation으로 부터 유도한 도체수명에 대한 Black의 방정식과 일치하게 된다.

$$[MTF] = AJ^{-n} \exp(-E_a/KT) \quad (12)$$

- E_a : Activation energy in [eV]
- K : Boltzman constant
- T : Absolute temperature
- A : Material constant

MTF: Median Time to Failure

D.C.조건에서와는 달리 wave on-off를 포함하는 Pulsed D.C.조건하에서의 도체수명(Time-To-Failure)은 wave on-off에 vacancy relaxation time τ 가 연관되어 duty factor의 역수에 따라 도체수명(TTF)이 선형적으로 증가됨을 알 수 있다. 박막배선에 인가되는 파형에 있어서 박막배선의 접촉저항에 의해서 발생하는 파형의 ripple을 포함하여 average vacancy concentration을 계산하면,

$$n(t) = \bar{n} = \tau \alpha \bar{J}^{m-1} \quad (13)$$

$$\begin{aligned} \text{TTF}_{\text{pulsed D.C.}} &= K/\alpha\alpha\bar{J} \bar{J}^{m-1} \\ &= A_{\text{DC}}(T)/\bar{J} \bar{J}^{m-1} \end{aligned}$$

Pulsed D.C(rectangular wave)에서의 도체수명(TTF)은 다음과 같다.

$$\text{TTF}_{\text{pulsed D.C.}} = \text{TTF}_{\text{DC}} (\text{duty factor})^{-2} \quad (14)$$

이때 Pulsed D.C.상태에서의 peak current density J 는 $m=1$ 이 아닐 때 D.C.의 current density와 연관되어 있음을 알 수 있다. Pulsed D.C.조건하에서의 도체수명(TTF)에 대한 특성은 파형 on-off와 연관된 duty factor에 의존하는 pulse off time시에 발생하는 이완현상으로 해석하려는 연구가 집중되고 있는데, 이완현상에 대한 기존의 English와 Miller, Maiz와 Schon의 모델에 의하면, pulse off time이 1000초인 경우와 1/1000초 사이에서 일어나는 이완현상을 관찰한 결과 도체수명은 pulse duty factor에만 의존하고 도체에 인가되는 mechanical, electrical stress gradient에 기인한 vacancy의 퇴화와 형성과정으로 규정하였다. stress gradient에 기인한 박막배선의 저항변화는 다음과 같다.

$$(\Delta R/R)/\Delta P = -4 \times 10^{-11} [1/\text{Pa}] \quad (15)$$

따라서 본 연구에서는 기판과 박막배선의 계면에서 형성되는 junction spiking을 줄일 수 있으며, 현재 집적 회로의 박막배선재료로 상용화되고 있는 Al-1%Si 박막배선을 제작하여 도체 수명특성을 조사하였다. 실온(RT)상태에서 D.C.와 Pulsed D.C.를 인가함으로써 D.C. (duty 1), pulsed D.C.(duty 0.5)조건하에서의 도체수명(TTF)특성, 전류밀도의 의존성, 박막배선의 길이에 대한 의존성 등을 관찰하였으며, 1985년부터 양산되기 시작한 256 K로부터 2000년대의 차세대 반도체인 1G급의 극소전자 반도체가 소자동작시에 clock rate가 12 MHz에서 250 MHz로 고속화됨에 따라(표 1), 200 KHz, 800

KHz, 1 MHz, 4 MHz의 저주파에서 고주파에 이르는 시그널을 박막배선에 인가하여 주파수 대역에 따른 도체수명을 고찰함으로써 차세대 반도체의 신뢰성 개선에 대한 자료를 제시하는데 그 목적을 두었다.

2. 실험

본 실험에 사용된 test pattern은 work station SUN의 construct tool을 이용하여 1.5 μm design rule로 design 한 후, 마그네트론 스퍼터링하여 제작하였다. 열산화(thermal oxidation)방법으로 형성된 평균두께가 5,000Å이며, 편차(deviation) 20Å의 산화막을 갖는 Boron이 도핑된 p-type (100) 실리콘 웨이퍼위에 증착된 Al-1%Si 박막배선은 7000Å의 두께를 가졌으며, 표준 photolithography 공정으로 pattern을 형성하였다. test pattern은 선폭 3 μm , 길이 21080 μm 의 meander type의 pattern과 선폭 3 μm , 길이가 100~1600 μm 인 직선형 pattern으로 pad부터 pattern까지는 6 μm 의 wider line을 가지며, 100 $\mu\text{m} \times 100 \mu\text{m}$ pad구조를 가졌다. 제작된 시편은 passivation layer(SiO₂/PSG)가 1000Å/8000Å의 두께로 절연보호막 처리되어 있고, DIP(Dual Inline Plastic package)상태로 패키징하여 실험을 진행하였다(사진 1).

2.1 D.C.조건하에서의 전류밀도 의존성 실험

Meander type의 test structure에 Keithley 228A constant current source를 이용하여 D.C. $2 \times 10^6 \text{ A/cm}^2$, $1 \times 10^7 \text{ A/cm}^2$ 의 고정된 전류밀도를 인가하여 3 μm 의 고정된 선폭을 갖는 박막배선에서의 도체수명에 대한 전류밀도 의존성 실험을 수행하였다. Al-1%Si 박막배선의 결함발생시간인 TTF(Time-To-Failure, t_f)를 측정하기 위한 out voltage detector는 computer controlling GPIB(General Purpose Interface Bus) interface를 이용

표 1. Semiconductor Manufacturing Trend (from [2])

	1985	1990	1995	2000
Device Product	256 K	4 M	64 M	1 G
Design Geometry	1.2 μm	0.8 μm	0.25 μm	0.12 μm
Clock Rate	12 MHz	40 MHz	100 MHz	250 MHz
Processing Steps	60-90	90-120	120-150	150-180
Mask Levels	10-15	15-20	20-25	25-30
Fabrication Costs	\$260 M	\$360 M	\$1B	\$2.4B
Wafer Size	150 mm	200 mm	200 mm	300 mm

하였으며(그림 2), 측정된 시간에서의 박막배선에서 발생하는 저항변화는 다음과 같은 식을 이용하여 계산하였다.

$$\Delta R = R - R_0$$

R : 측정시간의 저항

R₀ : initial resistance

Resistance ratio: $\Delta R/R_0 \times 100 = \%$

2.2 Pulsed D.C.조건하에서의 전류밀도 의존성 실험

Al-1%Si박막배선에 X-generator(200 KHz, 800 KHz, 1 MHz, 4 MHz)와 고 전력용 CMOS 74HC04 TTL (Transistor-Transistor Logic) inverter를 이용한 pulse generator로부터 발진된 Pulsed D.C.파형을 L3302 npn transistor와 switching resistor, switch diode로 이루어진

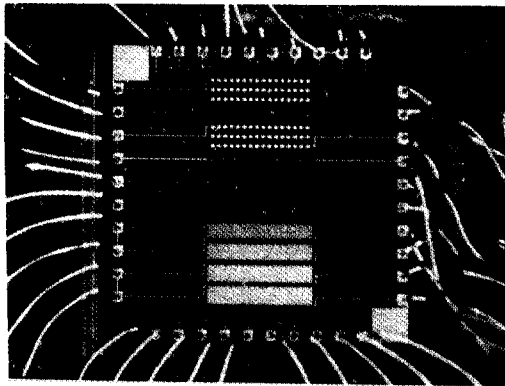


사진 1. Test pattern의 package 형태.



그림 1. Standard photolithography로 제작된 meander type의 test pattern.

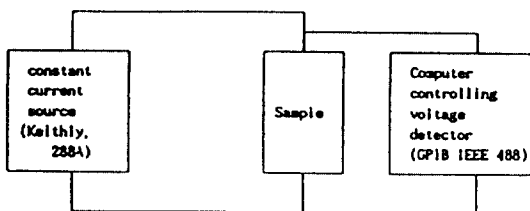


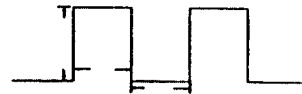
그림 2. D.C.조건하에서의 electromigration test 회로도.

constant current circuit을 통하여 duty factor 0.5인 Pulsed D.C. 2×10^6 A/cm², 1×10^7 A/cm²의 고정된 peak current density를 인가하였다. 이때 전류밀도 의존성 실험에 사용된 pulse의 duty factor는 0.5이었으며, 주파수는 800 KHz로 일정하였다. Pulsed D.C.상태에서의 peak current density는 0 to peak에 해당하는 voltage로부터 박막배선에 인가되는 전류로 정의하며, duty factor는 pulse 1주기당의 pulse on time의 비율로 정의한다(그림 3, 4, 5).

2.3 D.C.와 P.D.C.조건하에서의 도체수명특성 및 P.D.C.-조건하에서의 주파수 의존성 실험

고정된 전류밀도 2×10^6 A/cm², 1×10^7 A/cm²의 duty factor 1을 갖는 D.C.와 duty factor 0.5를 갖는 Pulsed D.C.를 박막배선에 인가하여 도체수명(TTF)에 대한 duty factor의존성을 고찰하였으며, pulsed off time시에 발생하는 이완현상에 의한 도체수명특성을 조사하였다. 또한 고정된 전류밀도 2×10^6 A/cm²하에서 duty factor 0.5를 갖는 pulsed on time 12 μs의 200 KHz, 4 μs의 800 KHz, 3 μs의 1 MHz, 1 μs의 4 MHz 주파수를 갖는 Pulsed D.C.를 인가하여 주파수에 대한 도체의 저항변화

peak current density



pulsed on time
pulsed off time

$$\text{duty factor} = (\text{pulsed on time}) / (\text{pulsed on time} + \text{pulsed off time})$$

그림 3. Pulsed D.C.조건하에서의 duty factor.

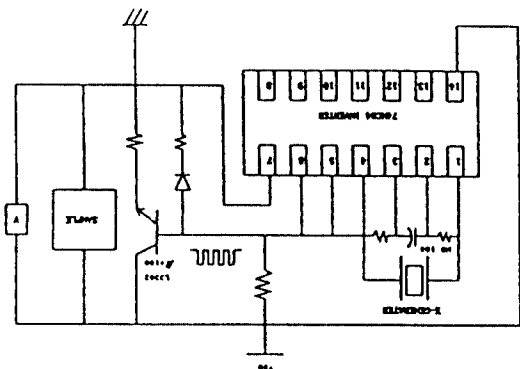


그림 4. Constant current pulse generator 구동 회로도.

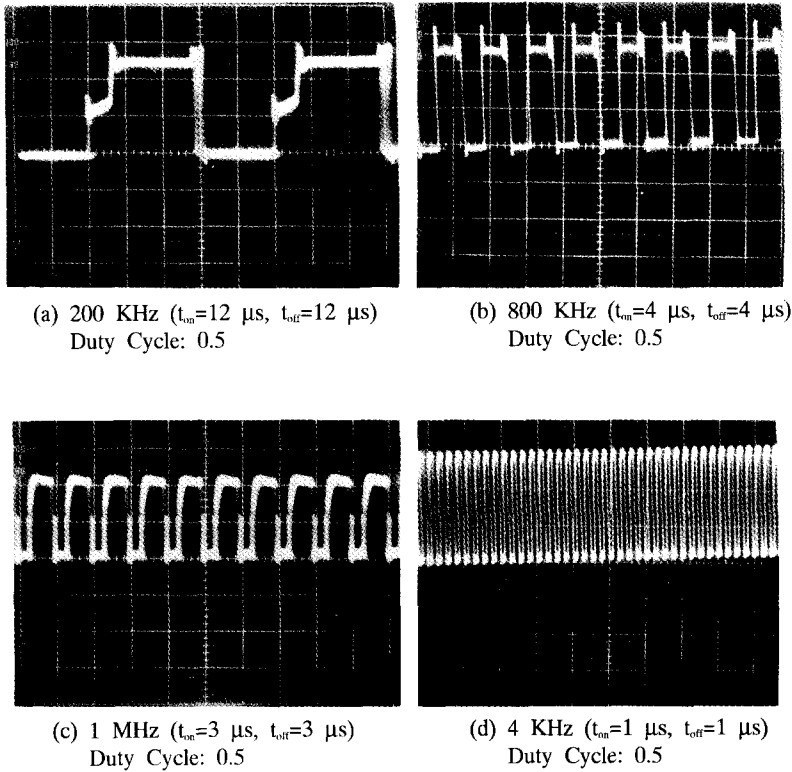


그림 5. 박막배선에 인가된 duty factor 0.5를 갖는 pulsed D.C.의 파형.

와 수명(TTF)의 의존성에 대하여 관찰하였다.

3. 결과 및 고찰

그림 6과 7에 각각 고정된 D.C. 전류밀도하에서의 도체수명에 대한 결함발생의 누적확률과 저항변화 그래프를 보이고 있다. 그림 6으로부터 electromigration에 의한 결함발생시간인 TTF(Time-To-Failure)는 lognormal distribution을 갖는 것을 알 수 있으며, D.C. 2×10^6 A/cm², 1×10^7 A/cm²의 고정된 전류밀도하에서 박막배선의 MTF(Median Time to Failure)가 555.8, 1.27 hours로 나타나서, 박막배선의 수명은 전류밀도가 높아짐에 따라 급격히 감소함을 볼 수 있다. 또한 그림 7의 도체수명(TTF)과 저항변화 그래프에서 볼 수 있듯이 D.C. 2×10^6 A/cm², 1×10^7 A/cm²의 고정된 전류밀도를 박막배선에 인가하였을 때 D.C. 1×10^7 A/cm²의 경우, 저항변화는 약 7분이 지난 후 21.9%를 보였으며, 약 1시간이 지나서는 100%(전압 ∞ , 전류 0 mA)의 저항변화를 나타내

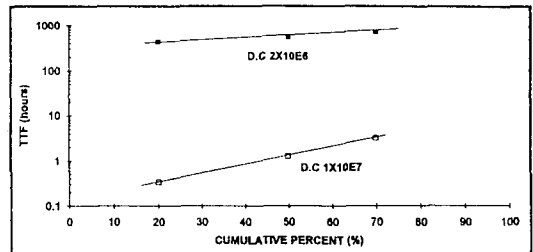


그림 6. 고정된 D.C.전류밀도하에서의 도체수명에 대한 결함발생의 누적확률.

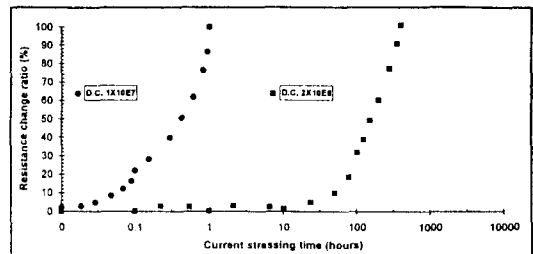


그림 7. 고정된 전류밀도 D.C. 2×10^6 A/cm², 1×10^7 A/cm² 하에서의 도체수명과 저항변화 그래프.

었다.

Electrical stress를 박막배선에 인가한 후 시간에 따라 고정된 전류밀도하에서 저항변화가 일어나는 것으로부터 다결정으로 이루어진 박막배선 내부에 electromigration에 의한 atomic flux divergence가 발생되면서 박막배선내부를 따라 물질이동이 일어나고 있음을 알 수 있다. 이러한 물질이동에 따른 박막배선내부에 발생된 결함은 사진 3에 나타내었다. 사진 2에 나타난 electrical stress 인가전의 박막배선의 SEM 사진과 비교하여 electrical stress를 인가한 박막배선에서는 표면돌출에 의한 hillock이 관찰되고 있는데 이러한 hillock은 단층구

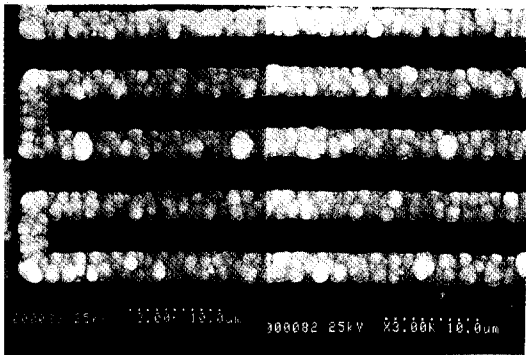


사진 2. Electrical stress인가전의 test structure에 대한 SEM 사진.

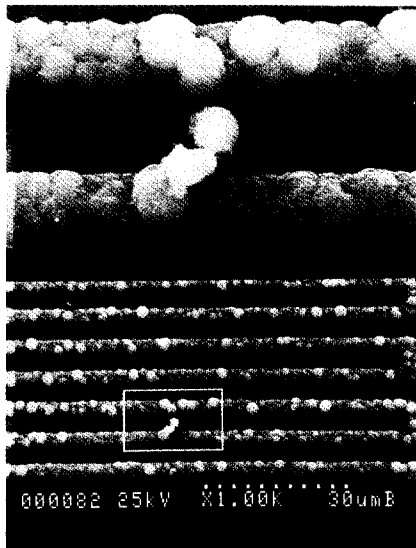


사진 3. 고정된 D.C.전류밀도를 인가한 후 test structure에 발생한 결함에 대한 SEM 사진.

조의 박막배선에서는 이웃한 conductor line을 접지 (electrical short)시키고, 적층구조의 박막배선구조에서는 절연층으로 이루어진 interlayer를 뚫고 상,하층 박막배선을 연결시킴으로써 IC회로의 오동작을 유발시키는 대표적인 결함요소이다. 또한, 전체적으로 발생된 test pattern에서의 결함들은 주로, meandering된 부분에서 집중적으로 형성되고 있는데 이로부터, straight conductor line보다는 pattern의 구조적 변화가 일어난 부분에서, 전류응집화(current crowding)현상이 일어남에 따라 물질이동(mass-transport)이 가속화되고 있음을 알 수 있다.

그림 8에는 주파수를 800 KHz로 고정하고, peak current density 2×10^6 A/cm², 1×10^7 A/cm²를 갖는 Pulsed D.C.를 박막배선에 인가하였을때의 도체수명(TTF)과 저항변화 그래프를 보이고 있다. Pulsed D.C. 1×10^7 A/cm²을 인가하였을 경우에는 1시간이 지난 후 2%의 저항변화 50시간이 지난 후 18.78%의 저항변화를 보이면서 108시간에 이르기까지 급격한 저항의 증가를 가져와 결함발생에 의한 전기적 개방(electrical open)이 되는 반면에 Pulsed D.C. 2×10^6 A/cm²을 인가한 경우에는 약 1000시간이 지날때까지 10.53%의 경미한 저항변화를 보이다가, 1000시간이 지난후부터 급격한 저항의 증가를 보이면서 3773시간이 지난 후 결함을 발생시켰다. 이러한 경향으로부터, Pulsed D.C.인 경우에도 도체수명(TTF)은 peak current density에 크게 의존하고 있음을 알 수 있다. 그림 9에는 고정된 전류밀도 2×10^6 A/cm²하에서의 200 KHz, 1 MHz, duty factor 0.5인 Pulsed D.C.와 duty factor 1인 D.C.를 인가하였을 때의 도체수명(TTF)에 대한 저항변화 그래프를 보이고 있다. electrical stress를 인가한 후 시간에 따른 저항변화를 관찰한 결과, D.C.조건하에서의 결함발생시간은 555.8시간, Pulsed D.C.조건하에서는 200 KHz, 1 MHz의 주파수범

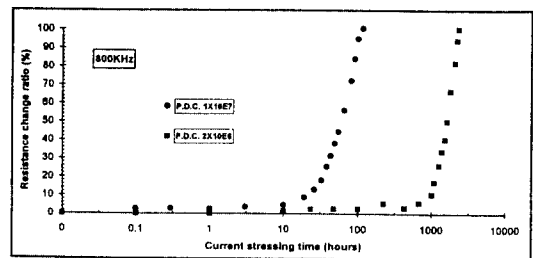


그림 8. Peak current density 2×10^6 A/cm², 1×10^7 A/cm²를 갖는 pulsed D.C.조건하에서의 도체수명과 저항변화 그래프.

위에서 각각 3300시간, 3962시간으로 나타나서 D.C.보다는 Pulsed D.C.조건하에서 도체수명(TTF)이 더 긴 것으로 나타났다. 이로부터 D.C.를 인가하였을 때 보다는 Pulsed D.C.를 인가하였을 경우가 도체수명(TTF)이 더 긴 것을 알 수 있으며, Pulsed D.C.인 경우에 도체수명이 더 긴 것은 wave on-off를 갖는 Pulsed D.C.에서 pulse off time시에 발생하는 electrical, mechanical stress relaxation에 기인한 것으로 사료된다. 이러한 이완현상(relaxation phenomenon)은 박막배선 내부에 인가된 stress가 pulse off time인 이완시간이 존재함으로써 stress gradient가 발생하여, pulse on time에 형성된 과잉 vacancy들이 pulse off time시에 물질이동이 다시 cathode 지역으로 일어나면서 형성되는 과잉 vacancy 퇴화의 형성과정으로 설명되어질 수 있다[10]. 그리고 duty factor 1인 D.C.와 duty factor 0.5인 Pulsed D.C.를 인가한 경우에 도체수명의 특성을 관찰한 결과 Pulsed D.C.인 경우에 도체수명이 긴 것으로 나타나서 Pulsed D.C.인 경우에 도체수명은 duty factor에 의존성을 가질 수 있음을 알 수 있었다. 또한, 동일한 전류밀도 조건하에서의 주파수에 따른 도체수명특성에서 duty factor 0.5인 200 KHz, 1 MHz의 주파수를 갖는 Pulsed D.C.를 인가한 경우의 저항변화 그래프를 보면, electrical stress를 인가한 후 200 KHz에서는 1000시간이 지난 후 12.96%, 1 MHz에서는 10.23%의 저항변화를 보여, 저주파수(pulse on time: 12 μ s)보다는 고주파수(pulse on time: 3 μ s)에서 저항의 변화가 더 작게 나타나고 있음을 알 수 있으며, 결합발생시간이 200 KHz에서는 3300시간, 1 MHz에서는 3962시간으로 나타나, 저주파수 범위를 갖는 Pulsed D.C.와 고주파수 대역의 Pulsed D.C.사이에는 도체수명이 주파수의 의존성을 가지고 있음을 알 수 있다. 주파수에 따른 도체수명의 의존성은 pulse period에서 pulse on time의 장,단주기시간에 따른 것으로 생각되며, 박막배선에 인가되는 pulse on time이 길수록 박막에 가해지는 electrical stressing time이 커져서 단주기의 고주파보다는 박막배선의 수명을 단축시키는 결과를 가져오는 것이다.

D.C.와 Pulsed D.C.의 수명에 대한 기존의 정량적인 분석을 통한 보고들을 보면, Miller 등은 0.25의 duty cycle을 갖는 Pulsed D.C.상태에서 Al박막배선의 수명이 D.C.보다 약 30배 이상 증가한다고 하였다[11]. 이와 유사한 경향으로 그림 9에 나타난 Al-1%Si 박막배선의 수명특성 그래프에서는 0.5의 duty cycle을 갖는 Pulsed

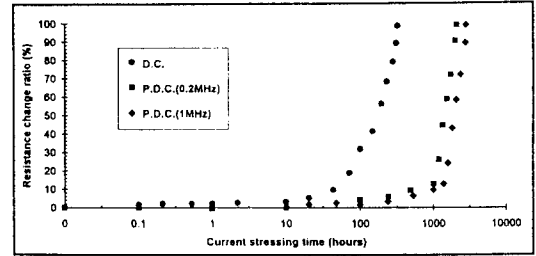


그림 9. 고정된 전류밀도 $2 \times 10^6 \text{ A/cm}^2$ 하에서의 pulsed D.C., D.C.조건에 따른 도체수명과 저항변화 그래프.

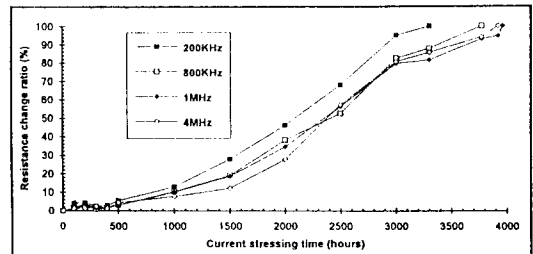


그림 10. 고정된 전류밀도($2 \times 10^6 \text{ A/cm}^2$)하에서의 인가된 pulsed D.C.주파수에 따른 도체수명과 저항변화 그래프.

D.C.상태에서 Al-1%Si의 수명이 D.C.보다는 약 6~7배 까지 증가하는 것으로 나타나고 있음을 볼 수 있다. Pulsed D.C.상태에서 도체수명은 duty cycle에 반비례한다는 많은 보고들로부터 수명이 약 6~7배 정도의 증가를 보인 것은 Balck의 도체수명에 대한 정량적인 계산을 고려할 때 순수 Al보다는 1%Si의 첨가가 박막자체의 표면확산(surface diffusion or lattice diffusion)을 어느 정도 억제해 시키고 있다는 것과 9000Å의 SiO_2 /PSG의 passivation layer에 의한 passivation 효과에 의한 도체수명의 증가로 생각된다. 그림 10에는 고정된 peak current density $2 \times 10^6 \text{ A/cm}^2$ 를 갖는 200, 800 KHz, 1, 4 MHz 주파수대역의 Pulsed D.C.를 인가하였을 때의 도체수명과 저항변화 그래프를 보이고 있다. 주파수에 따른 도체의 결합발생시간은 각각 3300, 3773, 3962, 3918시간으로 나타났다. 결합발생시간으로부터 도체수명은 저주파수(KHz unit)보다는 고주파수(MHz unit)에서 길게 나타나서, 저주파수와 고주파수사이에서는 도체수명이 주파수의 의존성을 갖는 것으로 나타났지만, 주파수 대역이 비슷한 지역(MHz unit)에서의 도체수명은 주파수에 크게 영향을 받지 않는 것으로 나타났다. 표 1에 보이는 반도체 memory 집적화에 따른 clock

rate를 보면, 1G급까지 memory가 고집적화 되면서 그 주파수대역은 12 MHz에서 250 MHz까지 증가하고 있다. 본 실험에서 얻어진 결과로부터 주파수대역이 비슷한 지역에서 반도체 금속배선(metal interconnection)의 현재까지 주종을 이루고 있는 Al-1%Si의 박막배선에서의 electromigration에 의한 반도체 소자의 신뢰도를 고려한다면, Mega급 주파수대역에서의 주파수의 증가는 크게 소자의 신뢰도에는 영향을 미치지 않을 것으로 생각된다. 또한 그림 10의 100시간에서 500시간까지의 저항변화 그래프를 보면, 저항의 증가를 보이기 시작하는 500시간이라는 임계시간이전까지의 전류인가시간에 따른 저항변화는 100-150시간의 주기를 두고 각 주파수대역에서 저항의 증,감소를 보이고 있다. 측정시간에 따른

저항의 변화가 일정한 시간의 간격을 두고 증가, 감소를 보이고 있는것은, pulse on-off 주기에 있어서 pulse off time에 발생하는 stress relaxation에 의한 이완현상이 발생하고 있음을 보여주고 있는 것이다. 사진 4에는 duty factor 0.5를 가지며, 4 MHz의 주파수를 갖는 고정된 Pulsed D.C. 1×10^7 A/cm²의 peak current density를 인가한 후에 박막배선에 발생한 결함에 대한 SEM 사진을 보이고 있다. 이 사진으로부터 Pulsed D.C.를 인가한 경우에 박막배선에 발생한 결함의 종류는 electrical open을 발생시키는 crack 전파에 따른 void 형성이었다는 것을 알 수 있으며, Pulsed D.C.인 경우에 박막배선에 발생하는 crack의 형성과정은 D.C.에 의해서 형성되는 수직적 crack의 형태와는 달리, 수평적으로 박막배선의 길

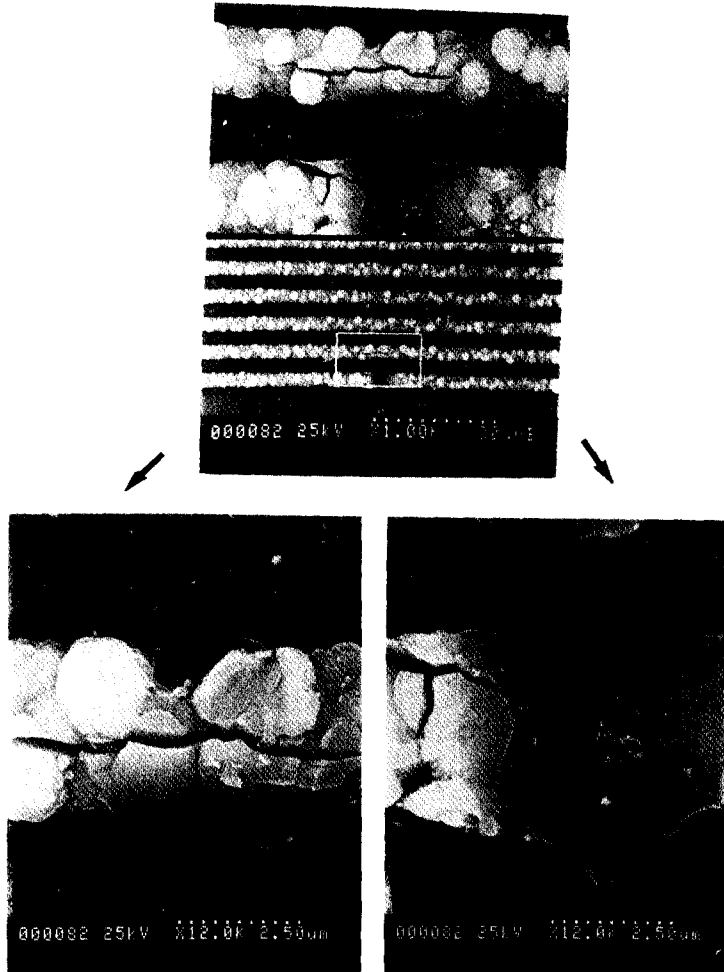


사진 4. 고정된 Pulsed D.C. 전류밀도를 인가한 후 test structure에 발생한 결함에 대한 SEM 사진.

이에 따라 전파되어 박막배선에 전기적 개방(electrical open)을 유도하고 있음을 볼 수 있다.

4. 결 론

이상의 실험적 결과로부터 절연보호막 처리된 Al-1% Si박막배선에 고정된 전류밀도를 갖는 D.C.와 Pulsed D.C.를 인가한 후 electromigration 현상에 의한 박막배선의 수명을 관찰한 결과는 다음과 같다.

1) 동일한 전류밀도로 실험가속화 조건인 D.C.와 실제 소자동작범위인 Pulsed D.C.를 인가하였을 경우, Pulsed D.C.조건에서 도체수명(TTF)이 약 6~7배정도 긴 것으로 나타났다.

2) D.C.조건보다 Pulsed D.C.조건에서 도체수명(TTF)이 더 긴것은 pulsed off time시에 발생하는 이완현상(relaxation phenomenon)에 의한 것으로 사료된다.

3) 고정된 D.C., Pulsed D.C.조건하에서의 도체수명(TTF)은 박막배선에 인가되는 전류밀도에 의존성을 갖는 것으로 나타났다.

4) 고정된 전류밀도를 갖고, 저주파수(KHz unit)로부터, 고주파수(MHz unit)에 이르는 Pulsed D.C.를 인가하였을 경우, 도체수명은 저주파수와 고주파수사이에서는 주파수 의존성을 갖는 것으로 보이나, 고주파수 대역에서는 주파수 의존성이 나타나지 않았다.

5) 고정된 D.C.전류하에서의 electromigration에 의한 failure는 lognormal distribution을 갖는 것으로 나타났으며, 이는 electromigration에 의한 결합이 interdiffusion과 grain boundary diffusion에 의한 기본적인 Arrhenius diffusion rate를 따르고 있다는 것을 보여준다.

6) 주사전자현미경(SEM)을 이용하여 electromigration로부터 발생된 결합구조분석결과 electromigration에 의한 결합은 void와 hillock이 지배적이었다. 또한 Pulsed D.C.인가시에 발생되어진 void(crack)의 형태는 D.C.조건하에서 흔히 발생되어지는 slit void나 edge void가 아닌 stripe을 따라 수평적으로 crack이 전파되면서 void를 형성하는것을 볼 수 있었다. 이는 crack전파가 pulse off time시에 발생하는 이완현상에 의한 것으로 생각된다.

감사의 글

본 연구는 서울대학교 반도체 공동연구소의 교육부 반도체분야 학술연구조성비(과제번호: ISRC 94-E-1104, ISRC-95-E-1104)에 의해 수행되었으며 이에 감사드립니다.

참고문헌

1. Tetsuaki Wada, Hiromu Higuchi, and Tsuneo Ajiki, "Electromigration in Double-Layer Metallization" *IEEE Trans. Reliab.*, **R-34**(1), 2-7 (1985).
2. James R. Black, "Electromigration Failure Modes in Aluminum Metallization for Semiconductor Devices," *Pro. of IEEE*, **57**(9), 1587-1594 (1969).
3. T. Wada, H. Higuchi, and T. Ajiki, "New Phenemina of Electromigration in Double-Layer Metallization.," *IEEE Trans. Reliab.*, **R-31**(1), 203-207 (1983).
4. H. B. Hntington, "Driving Forces For Thermal Mass Transport," *J. Phys. Chem. Solids*, **29**, 1641-1651 (1968).
5. Thomas Kwok, Tue Nguyen, Paul Ho and Sidney Yip, "Current Density And Temperature Distribution in Multilevel Interconnection with Studs and Vias," *IEEE Trans. Reliab.*, **R-36**, 130-135 (1987).
6. R. E. Hummel, and I. Yamada, "Electromigration Behavior of Aluminum Films Deposited On Silicon by Ionized Cluster Beam and Other Techniques.," *Appl. Phys. Lett.*, **54**, 18-20 (1988).
7. P. S. Ho, "Analysis of Grain-Boudary Electromigration.," *J. Appl. Phys.*, **49**(5), 2735-2742 (1978).
8. B. K. Liew, N. W. Cheung, and C. Hu, "Electromigration Interconnect Lifetime Under AC and Pulse DC Stress," *IRPS, 27th Pro.* **89**, 215-219 (1989).
9. J. A. Maiz, "Characterization of Electromigration Under Bidirectional and Pulsed Unidirectinal (PDC) Currents.," *IRPS, 27th Pro.* **89**, 220-228 (1989).
10. Kenji Hinode, Takeshi Furusawa and Yoshio Homma, "Relaxation Phenomenon During Electromigration Under Pulsed Current.," *IRPS, 30th Pro.* **92**, 205-210 (1992).
11. R. J. Miller "Electromigration Failure Under Pulse Test Conditions.," *IRPS, 16th, Pro.* 241-247 (1978).