

## 음극이 자동 정렬된 화산형 초미세 실리콘 전계방출 소자 제작

고태영 · 이상조 · 정복현 · 조형석 · 이승협 · 전동렬

병지대학교, 물리학과  
(1996년 4월 17일 접수)

### Fabrication of Self-aligned Volcano Shape Silicon Field Emitter

Tae-Young Ko, Sanjo Lee, Bokeon Chung, Hunsuk Cho, Sunup Lee and D. Jeon

Myong Ji University, Department of Physics, Yongin Kyunggi-Do, Seoul 449-728

(Received April 17, 1996)

**요 약** - 음극 바늘과 게이트를 결합시킨 전계방출 소자에서 음극 바늘이 게이트 중앙에 정렬되는 것이 중요하다. 본 연구에서는 실리콘 전계방출 소자를 다음과 같이 제작하여 음극 바늘이 게이트 중앙에 자동으로 정렬되게 하였다. 실리콘 기판을 반응성 이온으로 식각하여 전계방출 음극 바늘을 형성한 뒤 표면을 실리콘 산화막으로 덮는다. 산화막 위에 게이트 금속막을 증착하고 두꺼운 감광막으로 덮은 다음 감광막 표면을 플라즈마로 적당히 태워서 바늘을 덮고 있는 게이트 금속의 끝 부분만 노출시킨다. 노출된 금속막과 게이트 밑의 산화막을 차례로 식각하여 실리콘 음극 바늘을 노출시킨 다음 표면에 남은 감광막을 제거하여 공정을 완료한다. 제작된 소자에서는 게이트 구멍이 화산의 분화구 모양이 되는데, 컴퓨터 시뮬레이션은 화산형 게이트가 평면 게이트보다 전계방출에 유리함을 보여주었다.

**Abstract** - Aligning a cathode tip at the center of a gate hole is important in gated field emission devices. We have fabricated a silicon field emitter using a following process so that a cathode and a gate hole are automatically aligned. After forming silicon tips on a silicon wafer, the wafer was covered with the SiO<sub>2</sub>, gate metal, and photoresistive(PR) films. Because of the viscosity of the PR film, a spot where cathode tips were located protruded above the surface. By ashing the surface of the PR film, the gate metal above the tip apex was exposed when other area was still covered with the PR film. The exposed gate metal and subsequently the SiO<sub>2</sub> layer were selectively etched. The result produced a field emitter in which the gate film was in volcano shape and the cathode tip was located at the center of the gate hole. Computer simulation showed that the volcano shape emitter emitted higher current and the electron beam which was focused better than the emitter for which the gate film was flat.

### 1. 서 론

전극에 높은 전기장을 걸면 전위 장벽의 폭이 얇아져 전자가 진공으로 방출되는데, 이 현상을 전계 방출(field emission)이라고 한다[1]. 이 현상을 이용하여 마이크로미터 크기의 cold cathode 삼극관을 만들 수 있는데, 이 소자에서는 낮은 전압으로 높은 전기장이 형성되도록 음극을 날카로운 바늘 형태로 만들고 마이크로미터 크기의 고리 모양의 게이트를 바늘 위에 설치하여 게이트 전압을 조절함으로써 음극에서 나오는 전계방출 전

자의 양을 조절한다. 이와 같은 소자의 개념은 오래전에 제기되었으나[2], 1968년에 Spindt에 의해 처음으로 실제 소자가 만들어졌다[3]. 전계 방출 소자는 (1)전자가 진공에서 ballistic하게 이동하므로 전자의 유동 속도에 제한받는 solid state 소자보다 속도가 빠르고, (2)고집적도의 음극 격자와 이극관, 삼극관을 기본적인 반도체 공정 기술로 만들 수 있으므로 solid state 소자와 통합할 수 있고, (3)초소형이므로 cold cathode를 기판에 고집적하면 높은 전류 밀도를 짧은 시간에 얻을 수 있고, (4)온도 변화나 방사선에 의한 파손이 적으므로 군사 장비,

우주 개발, 고온 및 저온용 전자 기기 등 거친 환경에서 solid state 소자를 대신하여 사용될 수 있다[4]. 전계방출 소자를 평판 표시 소자, 마이크로웨이브 증폭, 적외선 탐지, 전자 방출기, 이온 방출기, 리소그래피 등에 응용 하려는 연구가 활발히 진행되고 있다. 이 중에서도 전계 방출 평판 표시 소자는 전력 소모가 작고, 액정 표시 소자보다 화면이 밝으며, 보는 방향에 따른 밝기 변화가 없고, 대형 화면을 만들 수 있고, 시장이 크므로 가장 많은 주목을 받고 있다.

전계방출 소자에서는 음극과 게이트 사이에 형성된 전기장에 의해 전자가 방출되므로 음극 바늘이 게이트 구멍 중앙에서 어긋나 있으면 전자빔이 편향될 것이다. 그러므로 전자 궤적을 조절하기 위해서는 음극 바늘이 고리 모양의 게이트의 중앙에 위치하여 전기장이 대칭으로 형성되는 것이 좋다. Muray 등은 전자빔 리소그래피용 전계방출 소자에서 주사 터널링 현미경을 이용하여 음극 바늘을 미세 이동하여 게이트의 중앙에 설치하는 것을 시도하였다[5]. 그러나 전계방출 소자에서는 음극과 게이트가 일체이므로 음극 바늘을 이동시킬 수 없다. 실리콘 전계방출 소자의 일반적 공정 방법은 실리콘 바늘을 실리콘 산화막 shadow 마스크로 가리고 절연막과 게이트 금속막을 증착한 다음 마스크를 식각하는 것이므로 바늘을 게이트 중앙에 정렬시키기 위해 공정상 세심한 주의가 필요하다[6]. 본 연구에서는 기관을 식각하여 먼저 실리콘 바늘을 만들고 바늘 전체를 절연막, 게이트 금속막, 감광막 순서로 덮은 다음 감광막을 얇게 건어내어 바늘 끝 부분의 금속막만 노출시킨 다음 식각해내어 음극 바늘을 노출시킴으로써 음극과 게이트가 자동으로 정렬되게 하였다. 이 공정에 의하면 게이트 박막이 음극 바늘 주위에서 위로 솟구쳐 분화구를 둘러싼 화산 모양이 되고 음극 바늘은 분화구의 중앙에 위치하게 된다. 본 연구에서는 또한 화산형 게이트와 편평한 게이트의 전계방출 특성을 컴퓨터 시뮬레이션과 비교하여 같은 게이트 전압이 걸렸을 때 화산형 소자에 더 강한 전기장이 형성됨을 확인하였다. 제작된 소자는 고진공 챔버에서 게이트 전압 대 방출 전류를 측정하였으며, 게이트 전압이 35 V일 때 전류가 흐르기 시작하여 50 V에서 음극 바늘 한개당 3.5 nA의 전류가 측정되었다. 실리콘으로 만드는 전계방출 소자는 실리콘 집적 회로 공정을 이용할 수 있다는 장점은 있으나 전계방출 소자로서의 재질에 단점이 있다. 이것을 보완하기 위해 다이아몬드, 다이아몬드상 카본, 실리사이드 등의 박막으로

실리콘 음극을 코팅하는 것이 시도되고 있다. 음극을 다른 물질로 코팅하는 경우 산화 실리콘 shadow 마스크를 이용하는 공정으로는 게이트를 형성할 수 없으나 화산형 소자 공정을 이용하면 게이트를 형성할 수 있다[7].

## 2. 컴퓨터 시뮬레이션

음극 바늘이 게이트 구멍의 중앙으로부터 벗어남에 따른 전계방출 전류와 전자 궤적의 변화를 SNU-FEAT 프로그램을[8] 이용하여 컴퓨터 시뮬레이션으로 조사하였다. 두 전극에 전압을 가했을 때 전류 밀도는 전자의 터널링 확률에 의해 결정되는데, 이 확률은 전극 물질의 일함수와 전기장으로 결정된다. Fowler와 Nordheim[1]은 두 평면 전극 사이의 전자 터널링 확률을 계산하였으며, 이에 의하면 터널링 전류 밀도는

$$J \propto \frac{E^2}{W} \exp \frac{W^3}{E}$$

로 주어진다. 여기서  $W$ 는 일함수이고  $E$ 는 전기장이다. 전압이  $V$ 일때 전기장은  $E = \beta V$ 로 주어지는데  $\beta$ 는 전극의 기하학적 형태에 따라 결정된다. 전계방출 소자에서는 게이트-음극 간격에 비해 양극이 음극에서 멀기 때문에 음극 표면의 전기장은 게이트 전압에 의해 거의 결정된다. 전계방출 소자에서는 같은 전압으로 전기장을 강하게 하기위해 음극을 뾰족한 바늘 모양으로 만드는 등 기하학적 모양을 최적화시킨다. 이에 본 시뮬레이션에서는 바늘이 게이트 구멍 중앙에서 벗어나는 정도에 따른 영향을 알아보았고 평면 게이트와 화산형 게이트의 전계방출 특성을 비교하였다.

다른 요소가 동일한 경우 바늘 위치가 게이트 구멍 중앙에서 벗어나는 정도에 따른 전계방출 전류의 변화를 알아보았다. 시뮬레이션에 이용한 소자의 기하학적 형태는 다음과 같이 정하였다. 음극 바늘의 끝은 반지름이 100 Å인 공으로 가정하였고 바늘의 높이는 1.3  $\mu\text{m}$ , 절연층과 게이트 박막의 두께는 각각 1  $\mu\text{m}$ , 0.3  $\mu\text{m}$ , 게이트 구멍 반지름은 0.9  $\mu\text{m}$ 로 하였다. 이때 절연층으로 쓰인  $\text{SiO}_2$ 의 유전상수는 3.9로 하였다. 게이트 전압은 100 V로 하였으며 평면인 양극은 게이트로부터 100  $\mu\text{m}$  떨어져 있고 양극 전압은 300 V로 하였다. 바늘이 중앙에서 벗어나면 한쪽으로는 게이트-바늘 간격이 좁아져 전류가 증가하지만 반대쪽으로는 간격이 커져 약해진 전기장때문에 전류가 감소한다. 그러나, 그림 1은

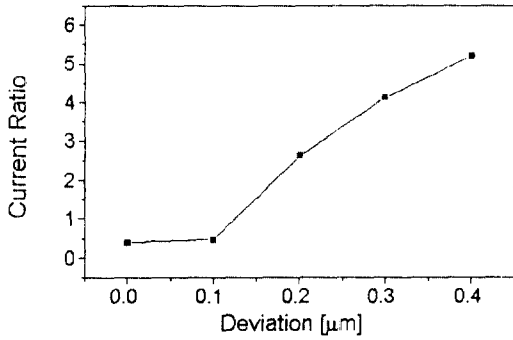


그림 1. 바늘이 게이트 중앙에서 벗어남에 따라 음극 바늘의 각 부분에서 방출되는 전류의 총합이 증가함을 보여주는 시뮬레이션 전류 곡선. 이때 게이트 구멍 반지름은 0.9  $\mu\text{m}$ 이고 수직축은 바늘이 중앙에 있을 때의 전류에 대한 증가 비율임.

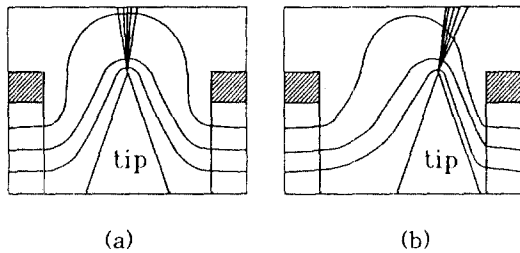


그림 2. 전계방출 소자의 등전위선과 전자빔 궤적을 시뮬레이션한 결과. (a) 바늘이 게이트 중앙에 있을 때와 (b) 중앙에서 벗어났을 때. 빗금 부분은 게이트 박막임.

전류 방출이 비대칭이라도 바늘의 각 지점에서 나오는 전류의 총합은 바늘이 중앙에서 게이트 구멍의 가장자리로 갈수록 더 커짐을 보여준다. 그림 2(a)와 (b)는 음극이 원형 게이트 구멍의 중앙에 있을 때와 중심에서 0.4  $\mu\text{m}$  벗어나 있을 때의 등전위선을 보여준다. 이 결과는 음극이 중앙에서 벗어났을 때는 예상대로 등전위선이 비대칭으로 생기며 전자빔 궤적도 등전위선이 조밀한 쪽으로 치우쳐질 것을 보여준다. 바늘이 게이트 중앙에서 벗어나면 전류는 커지지만 전자빔 궤적이 비대칭이므로, 이러한 소자는 표시 소자나 전자 렌즈에의 응용에 적합하지 않다.

실리콘 음극 바늘은 산화막 마스크 아래 부분의 실리콘을 식각하여 만들고 게이트 박막 또한 산화막 마스크를 shadow 마스크로 이용하여 금속을 열증착하여 만든다. 따라서 실리콘 식각이 비대칭으로 일어나면 바늘이 게이트 구멍 중앙에서 어긋나기 쉽다. 본 연구에서는

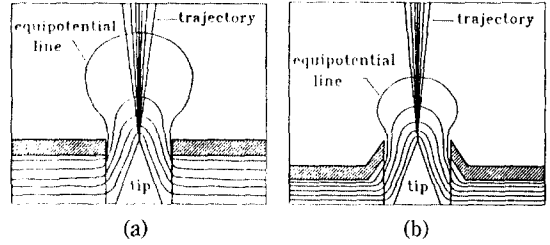


그림 3. 전계방출 소자의 등전위선과 전자빔 궤적을 시뮬레이션한 결과 (a) 게이트가 평평한 소자. (b) 화산형 게이트 소자.

3장에서 보듯이 바늘이 게이트에 자동으로 정렬되는 공정을 이용하였는데 이에 의하면 게이트 박막이 화산 꼭대기처럼 굽은 면이 되고 바늘이 분화구의 가운데에 위치하게 된다. 이러한 형태의 소자의 전계방출 특성을 시뮬레이션으로 알아보고 게이트가 평면인 소자와 비교하였다. 그림 3(a)와 (b)는 평면 게이트와 화산형 게이트에 대해 시뮬레이션으로 구한 등전위선 분포와 전자빔을 보여준다. (두 경우 모두 바늘은 게이트 중앙에 있음.) 이 결과에서 게이트가 화산형일 때 등전위선의 분포가 더 조밀하여 같은 전압에서 더 강한 전기장을 얻을 수 있음을 알 수 있다. 또한 두 경우의 전자빔 궤적에서 화산형의 경우가 전자빔이 적게 퍼지는 것을 보여준다. 본 시뮬레이션은 게이트 구멍의 지름, 바늘 끝의 기하학적 형태, 게이트 전압, 바늘 높이 등 다른 조건이 같을 때 화산형 소자의 방출 전류가 평면 게이트의 경우보다 약 5배 높음을 보여 주었다.

### 3. 화산형 실리콘 전계방출 소자 공정

음극과 게이트의 자동 정렬을 이용한 실리콘 전계방출 소자의 공정은 그림 4와 같이 실시하였다. 4인치 n형 단결정 실리콘 웨이퍼를 황산과 과산화수소를 섞은 용액으로 씻은후 10:1의 buffered HF(BHF) 용액에 담구어 자연산화막을 제거한 다음, 표면의 전기 전도도를 좋게 하기 위하여  $\text{POCl}_3$ 를 확산로에서 주입하였다. 실리콘 식각시 마스크로 이용하기 위한 열 산화막을 5000 Å 성장시킨 후 감광막을 도포하고, 감광막에 속이 찬 원형의 패턴을 새겼다. 이때 원의 지름은 2  $\mu\text{m}$ 이고 원과 원 사이의 간격은 3  $\mu\text{m}$ 였다. CHF<sub>3</sub>와 C<sub>2</sub>F<sub>6</sub> 가스를 사용하여 reactive ion etching(RIE)으로 산화막을 식각하여 그림 4(a)와 같은 원형의 산화막 마스크 패턴을 형성하였다. 그림 4(b)

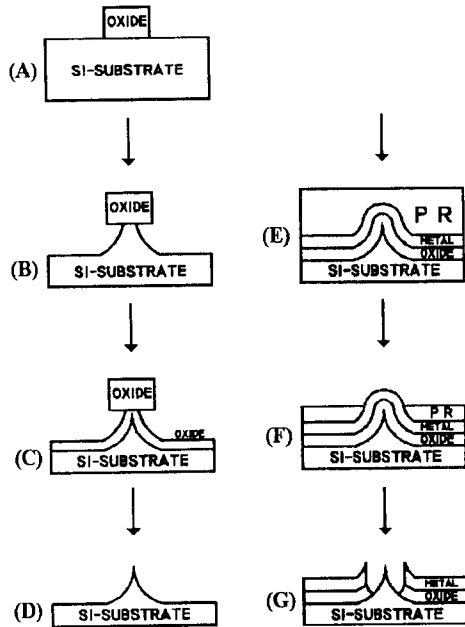
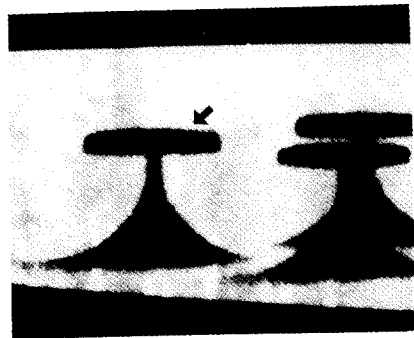
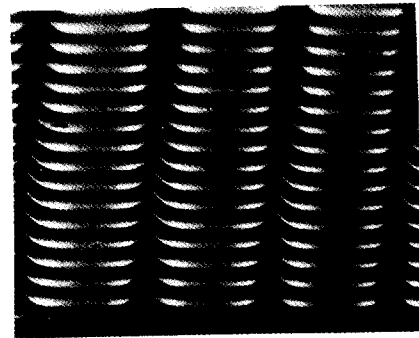


그림 4. 화산형 실리콘 전계방출 소자의 공정 과정. 각 단계의 자세한 설명은 본문을 참조하기 바람.

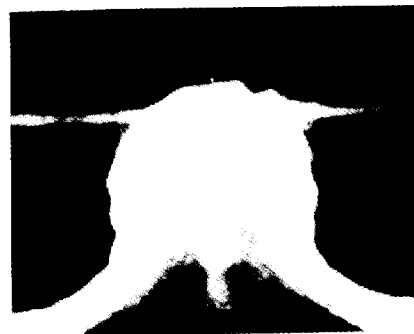
는 실리콘 바늘을 만들기 위해 SF<sub>6</sub> 가스를 사용하여 RIE로 기판을 등방성으로 식각하고 산화막 마스크 아래에 직경 2000 Å의 버섯 모양의 실리콘 바늘을 형성한 것이다. 그림 4(c)는 음극 바늘 끝을 최대한 날카롭게 하기 위해 실리콘 버섯 표면을 적당히 산화시킨 것이다. 그림 4(d)는 산화막 아래 부분의 날카로워진 실리콘 바늘을 노출시키기 위해 그림 4(c)에 성장시킨 산화막을 제거한 것이다. 다음으로 게이트와 실리콘 음극 사이의 절연층으로 실리콘 산화막을 실리콘 바늘 위에 PECVD(plasma enhanced chemical vapor deposition)로 6000 Å 증착하고 게이트 금속막으로는 절연층 위에 알루미늄을 3000 Å 증착하였다. 음극 바늘 끝을 게이트의 중앙에 정렬하기 위해서는 바늘 끝 부분의 게이트와 산화막만 선택적으로 식각해야 한다. 바늘 끝 부분의 게이트를 노출시키기 위해 스피너를 저속 회전하여 감광막을 두껍게 도포하였다. 이렇게 하면 감광막의 점성때문에 불록하게 튀어나온 패턴 부분은 다른 부분 보다 감광막이 얇게 도포된다. 이러한 감광막이 도포된 공정을 그림 4(e)에 나타내었다. 그후 감광막의 표면을 플라즈마로 균일하게 태우면 나머지 부분은 감광막으로 덮혀있고 불록하게 튀어나온 바늘 부분의 게이트 금속막만 노출되는데, 그림 4(f)는 게이트



(a)



(b)



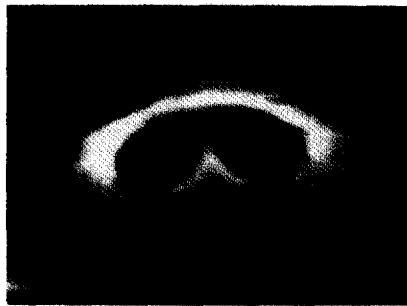
(c)

그림 5. (a) 산화막 마스크를 이용하여 실리콘을 버섯 모양으로 식각한 사진. 화살표로 표시된 버섯 윗 부분의 둥근 판이 산화막 마스크임. (b) 그림 4 (d)의 공정이 끝난 후의 실리콘 바늘 사진. 바늘 끝의 반지름은 250 Å임. (c) 감광막 표면을 살짝 태운 후 바늘 부분의 게이트 금속막이 드러난 사진.

금속만 노출된 공정을 나타낸 것이다. 바늘 끝을 덮고 있는 금속막을 RIE로 식각하고, 실리콘 바늘과 게이트 사이의 산화막은 건식 식각과 습식 식각의 두 단계로 식각



(a)



(b)

그림 6. (a)완성된 화산형 실리콘 전계방출 삼극관과 (b)단면의 전자현미경 사진.

하고 아직 남아있는 감광막을 제거함으로써 그림 4(g)와 같은 화산 모양의 실리콘 전계방출 소자를 완성하였다.

$POCl_3$ 를 주입한 후 측정된 접합 깊이는  $5\ \mu\text{m}$ 이었고, 면저항 값은  $4.2\ \Omega/\square$ 이었다. 그림 5(a)는 산화막 마스크를 사용하여 실리콘을 벅셋 모양으로 등방성 식각한 후의 전자 현미경 사진인데, 실리콘의 목 두께와 실리콘 기둥의 높이는 각각  $0.2\ \mu\text{m}$ 와  $1.4\ \mu\text{m}$ 이다. 그림 5(b)는 실리콘 바늘을 날카롭게 만들기 위해 표면을 산화한 다음 다시 산화막을 제거하여 날카로워진 실리콘 바늘을 노출한 후의 모습이다. 전자현미경 사진으로 본 실리콘 바늘 끝의 반경은 약  $250\ \text{\AA}$ 이었다. 그림 5(c)는 바늘 끝만 드러나도록 감광막 표면을 살짝 태운 후의 전자현미경 사진인데, 감광막 위로 돌출된 것이 게이트 금속막이다. 돌출된 원뿔의 밑지름이 게이트 구멍의 지름이 된다. 본 연구에서 제작한 소자의 게이트 구멍 지름은 보통  $1.2\ \mu\text{m}$ 이었는데, 이것은 감광막 식각 정도에 따라 조절할 수 있다. 그림 6(a)와 (b)는 완성된 화산형 전계방출 소자와 그 단면의 전자현미경 사진이다.

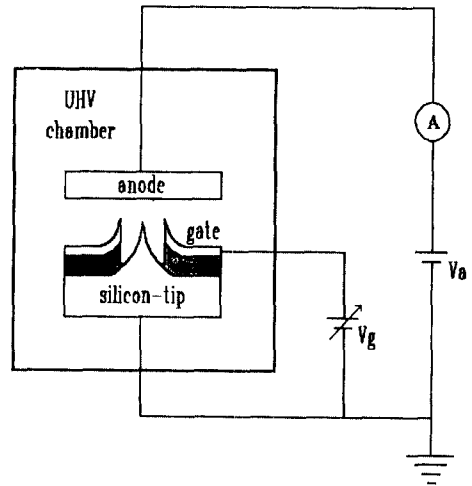


그림 7. 화산형 전계방출 소자의 전류-전압 특성을 측정하기 위한 장치.

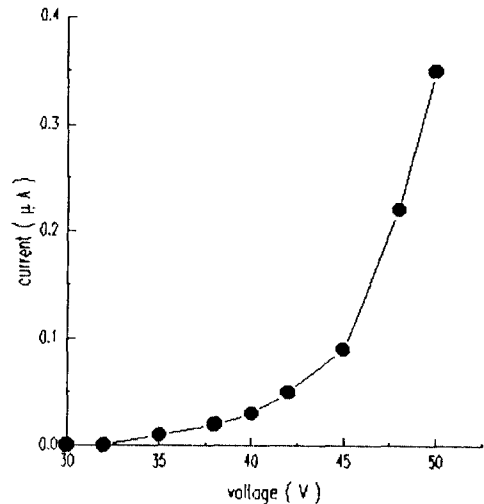


그림 8. 첫번째로 제작된 화산형 전계방출 소자의 전류-전압 특성 곡선. 양극은 게이트에서  $2\ \text{mm}$ 떨어져 있고  $300\ \text{V}$ 의 전압을 걸었다.

#### 4. 전류-전압 특성

제작된 전계방출 소자의 게이트 전압과 방출 전류는 그림 7과 같이 측정하였다. 음극 바늘은 접지를 하고 게이트에 양 전압을 걸어 음극에서 전계방출되어 양극으로 들어오는 전류를 측정하였다. 음극 바늘의 수는 100개이고 양극으로는 거울면처럼 연마한 스테인레스 막대를 게이트로부터  $2\ \text{mm}$  떨어진 곳에 배치하였다. 시료를 고정

시킨 다음 장치를 고진공 챔버에 넣고  $3 \times 10^7$  Torr까지 압력을 내린 후 전류-전압을 측정하였다. 전류는 게이트 전압뿐만 아니라 양극 전압에도 의존하는데 본 측정에서는 양극 전압을 300 V로 고정하였다. 그림 8은 첫번째로 제작된 화산형 소자의 전류-전압 곡선이다. 게이트 전압이 35 V일 때 전류가 나오기 시작하고, 50 V에서 0.35  $\mu$ A의 전류가 측정되었다. 게이트 전압이 50 V를 초과했을 때 스파크가 일어나면서 게이트와 음극 사이의 절연이 파괴되었다. 전계방출 소자에서 잡음을 줄이고 수명을 연장하기 위해서는 스파크를 억제하는 것이 중요하다. 스파크가 일어나는 원인에는 진공 방전(breakdown), 절연막 유전 파괴, 절연막 표면의 불순물에 의한 누전 등 여러가지가 고려되고 있으나 정확한 원인은 아직 연구의 대상이다.

## 5. 결 론

전계방출 소자에서 음극이 게이트 중앙에 정렬되지 않으면 방출 전류는 많아지나 등전위선이 비대칭이 되어 전자 궤적을 조절하기 어려움을 확인하였다. 전계방출 소자를 공정하는 과정에서 음극 바늘이 게이트 구멍 중앙에 자동으로 정렬되도록 하기 위해 화산형 실리콘 전계방출 소자를 제작하였다. 산화막 식각으로 끝의 반경이 250 Å인 실리콘 바늘을 제작하였으며 감광막의 접성을 이용하여 바늘 끝의 게이트와 절연막만 노출시켜 선택적으로 식각함으로써 바늘이 저절로 게이트의 중앙에 위치하도록 하였다. 이 방법으로는 바늘과 게이트의 정렬이 쉽고 게이트 구멍의 크기를 식각율에 따라 쉽게 조절할 수 있었다. 첫번째로 제작된 소자에서는 게이트

전압이 35 V일 때 전류가 방출되기 시작했으며 50 V에서 바늘 100개당 0.35  $\mu$ A의 전류가 방출되었다. 화산형 공정은 재질을 개선하기 위해 실리콘 바늘에 다이아몬드 또는 다이아몬드상 카본을 코팅했을 때도 게이트 금속막을 붙이는데 이용될 수 있을 것이다.

## 감사의 글

본 연구는 학술진흥재단 과제번호 ISRC-94-4063과 초미세 표면과학 연구 센터의 지원으로 수행되었습니다. 시뮬레이션 코드를 제공해주신 이종덕 교수님께 감사드립니다.

## 참고 문헌

1. R. H. Fowler and L. W. Nordheim, Proc. R. Soc. London, **119**, 173 (1928).
2. D. A. Buck and K. R. Shoulders, Proc. Eastern Joint Computer Conf., **55** (1958).
3. C. A. Spindt, J. Appl. Physics, **39**, 3504 (1968).
4. I. Brodie, Proc. IEEE, **82**, 98 (1994).
5. L. P. Muray, U. Stauffer, E. Bassous, D. P. Kern, and T. H. P. Chang, J. Vac. Sci. Technol. **B9**, 2955, (1991).
6. T. Utsumi. Journal of the Society of Information Display, **1/3**, 313 (1993).
7. 이상조, 이승협, 전동렬, 이광렬, 발표 예정.
8. Seoul National University - Field Emission Analysis Tool, 서울대학교 전자공학과 이종덕 교수 실험실에서 개발.