

배전계통에서 Data Logger에 의한 감시장치의 자동화

(Automation of Supervision Device by the Data Logger in Distribution System)

文學龍* · 金鎮祥** · 金秀坤** · 田喜鍾***

(Hak-Yong Moon · Jin-Sang Kim · Soo-Gon Kim · Hee-Jong Jeon)

요 약

본 논문은 배전선로의 정상 및 비 정상상태의 전류를 감시하기 위해 싱글 칩 마이크로프로세서를 이용하여 저가격의 Data Logger를 구현하였다. 수집된 데이터는 내장된 A/D변환기에 의해 디지털화된 후 RAM Card에 저장된다. 저장된 데이터는 직렬 통신 및 별도의 RAM Card Driver를 통해 병렬로 퍼스널 컴퓨터로 전송할 수 있도록 하였다. 수집된 데이터는 퍼스널컴퓨터상에 디스플레이가 되도록 하였으며 분석할 수 있도록 하였다.

Abstract

In this paper, we designed a low cost data logger system using single chip microcontroller. It detects the normal and abnormal current in distribution system. A sampled analog signals are stored on RAM card(4Mbit) after digitalized by internal A/D converter. Stored data can be transmitted to the personal computer either by internal serial communication port or by external parallel communication port. The transmitted data are analyzed and displayed on personal computer.

1. 서 론

최근 우리나라 전력설비는 규모가 대형화됨에 따라 설비의 이상 및 사고 발생시 인명및 재산상의 피해뿐 아니라 계통에 연계되어있는 제반

산업 정밀 설비에 심각한 피해를 초래한다. 이를 위해 배전계통은 상시 감시체계에 의한 사고시 신속대응 및 평상시 계통의 특성변화를 분석, 연구해야하며 이러한 기법은 현대 전기설비운영에 중요한 안전이 된다.¹⁾ 과거의 감시를 위한 아날로그 방식의 데이터 수집 장치는 잦은 고장, 측정의 불편함, 분석의 부정확성, 데이터의 저장 및 보존에 많은 어려움이 있었다.²⁾

본 연구에서는 이러한 문제점을 개선하기 위해

*正會員：崇實大 大學院 電氣科 博士課程

**正會員：崇實大 電氣科 碩士課程

***正會員：崇實大 工科學 電氣工學科 教授

接受日字：1996年 5月 3日

여 콘트롤 전용소자인 단일 칩(Single-Chip) 마이크로 콘트롤러를 이용하여 이상전류의 데이터 수집하고 컴퓨터를 이용한 수집데이터의 처리, 분석이 가능한 Data Logger를 제안하였다.

시스템의 콘트롤 CPU는 인텔사의 16bit 단일 칩 마이크로 콘트롤러인 80C196KC를 사용하였으며 전체 메모리는 64 Kbyte로 제한되어 있다. 본 장비는 64Kbyte이외에 메모리를 4Mbit(512 Kbyte)까지 확장하고 수집된 데이터를 설정된 기준값과 비교하여 유연하게(Flexibility)데이터를 메모리에 저장함으로써 메모리를 효율적으로 관리할 수 있도록 하였다. 또한 작은 용량의 캐패시터를 이용하여 낮은 주파수에서의 Aliasing 현상을 방지하였으며 수집된 데이터는 직, 병렬 통신 방법을 통해 퍼스널 컴퓨터로 전송되어 시간대별 부하 분포 및 크기 등을 분석할 수 있게 구성하였다.

구현된 장비는 현장 공장의 배전반에 설치하여 데이터를 수집, 분석함으로써 유용성을 입증하였다.

2. 시스템의 구성

본 Data Logger는 입력 신호를 단일 칩 마이크로 콘트롤러에 내장된 A/D 변환기를 사용하여 디지털신호로 변환하고 RAM Card에 저장한다. 저장된 데이터는 직, 병렬 통신방법에 의해 전송되어 퍼스널컴퓨터에서 데이터를 처리, 분석할 수 있도록 구성하였다.

시스템의 구성은 입력 처리부, A/D 변환부, I

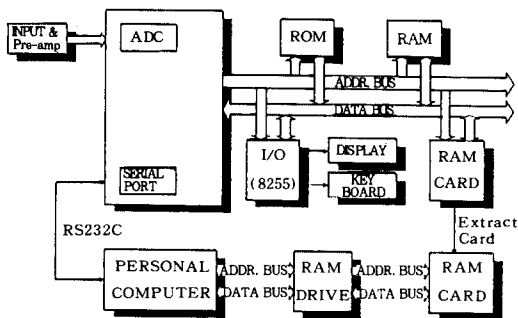


그림 2.1 전체 시스템의 구성도
Fig. 2.1 Block Diagram of Total System

/O부, 데이터 통신부, RAM Card부로 되어 있다. 전 시스템의 개요는 그림 2.1과 같다.

2.1 입력처리부

입력 처리부는 크게 정류부와 프리앰프부로 나누어진다. 정류부는 입력신호에대한 하드웨어적인 보호 및 입력의 변화를 최소화하기 위해 사용하였으며, 또한 검출된 입력신호는 전파정류에 의해서 주파수가 120(Hz)가 되므로 샘플링 주파수를 120(Hz)보다 작게할 경우에는 Anti-Aliasing현상이 일어나게 된다. 이를 방지하기 위하여 작은 용량의 캐패시터를 병렬로 연결하였다.

프리앰프부는 A/D변환기의 입력 레벨과 맞추기 위해 증폭 및 감소를 할 수 있도록 하였다. 정류부 및 프리앰프부의 블럭도는 그림 2.2와 같다.

2.2 A/D 변환부

A/D변환부는 분해능과 변환속도가 기본적인

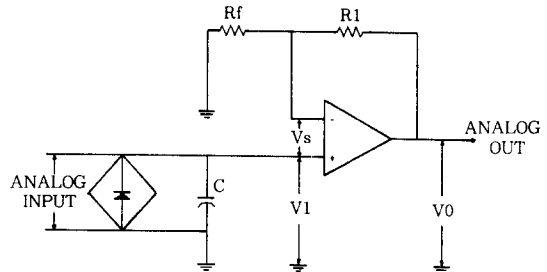


그림 2.2 정류부와 프리앰프부의 구성
Fig. 2.2 Configuration of Rectifier and Pre-amp

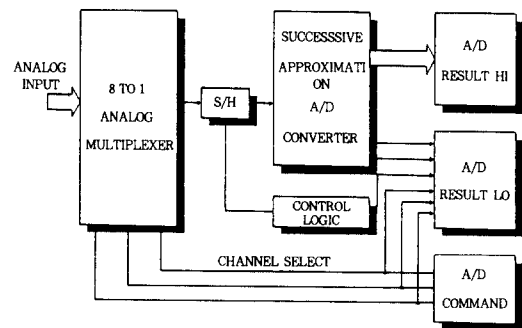


그림 2.3 A/D 변환기의 블럭도
Fig. 2.3 Block Diagram of A/D Converter

성능지표이며 본 시스템의 정밀성에 중요한 역할을 한다.

그림 2.3은 A/D 변환기의 블럭도이다.

A/D변환을 위해 80C196KC의 변환기 하드웨어는 256개 사다리저항, 비교기, 연결 커패시터, 과정을 안내하는 10비트 SAR(축차비교 레지스터 : Successive Approximation Resistor) 등이다.

사다리저항은 $V_{REF}=5.12[V]$ 에서 $20[mV]$ 단위이고 커패시터 연결은 단계별 $5[mV]$ 가 쓰인다. 그래서 1,024개 내부 기준 전압이 10비트 변환 결과를 만들기 위해 아날로그 입력과 비교하기가 용이하다.

축차 비교변환은 아날로그 입력에서 기준 전압의 비교에 의해 형성되며 1/2최대 기준 전압이 먼저 테스트된다. 이것은 MSB는 0이고 다른 모드 비트는 1(0111.1111.11b)에서 10비트 결과를 나타낸다. 또 아날로그입력이 테스트 전압보다 낮다면 SAR의 비트 10은 0으로 남고 새로운 테스트 전압의 1/4최대전압(0011.1111.11b)이 된다. 만일 테스트 전압이 아날로그 입력보다 작으면 SAR의 비트 9는 셋트되고 비트 8은 다음 테스트에 의해 클리어 된다(0101.1111.11b). 이런 2진 탐색이 10개가 될 때까지 계속되고, 소프트웨어에 의한 읽기 상태에서 SAR에 유효한 10비트 변환 결과가 나타난다.

본 연구에서 사용된 A/D변환기는 8입력 아날로그 멀티플렉서, 샘플&홀드회로, 10비트 분해능을 가지며 변환은 $22[\mu sec]$ 가 걸린다.

변환과정은 HSO명령 0FH의 실행에 의하거나 A/D제어레지스터의 GO 비트가 1로서 시작되며 각각은 A/D변환기에 변환시작신호를 변환기로 보낸다. 만일 HSO신호가 사용되면 변환과정은 타이머1 증가시 시작된다. 그러나 변환이 AD_CON 레지스터 GO비트에 1을 써서 시작되면 명령 후 3개 상태안에 즉 $0.75[\mu s]$ 의 변화안에서 완결된다(XTAL1=16 MHz).

변환결과는 입력전압의 10비트 비례표시이며 수치는 다음식으로 나타낸다.

$$10 \text{ 비트일 값} = \text{INT} \left\{ \frac{1023 * (V_i - \text{ANGND})}{(V_{REF} - \text{ANGND})} \right\} \quad (1)$$

2.3 I/O부

I/O 부분에서 인터페이스 소자는 8255를 사용하였으며 입력인 Key-Board와 출력인 LCD를 콘트롤한다. I/O부의 블럭도는 그림 2.4와 같다.

이 소자의 내부구성은 데이터 버스 버퍼, 리드/라이트 제어회로, 세 개의 8비트의 패러럴 입출력 포트, 그리고 이들의 포트기능을 설정하거나 제어하기 위한 콘트롤 워드 레지스터로 되어 있다. 그림 2.4에서는 외부장치와 연결하여 사용할 수 있는 입출력 포트 PA0-PA7, PB0-PB7, PC0-PC3, PC4-PC7의 4개의 블럭이 있으며 이 블럭들은 각각 포트 A(PA), 포트 B(PB), 포트C(PC)라는 세개의 서로 다른 I/O블럭을 가지며 각 블럭은 8255의 내부 데이터 버스에 연결되어 정보교환이 이루어진다.

그룹 A제어와 그룹 B제어 블럭은 세 개의 I/O포트가 어떻게 동작하는지를 결정하며 몇가지의 다른 동작모드를 가지고 있으며 모드의 결정은 CPU가 이 제어장치의 제어워드 레지스터에 데이터를 써 넣으므로써 결정된다. 데이터 버스 버퍼는 외부장치나 CPU의 데이터 버스로 나가고 들어오는 데이터 입력과 출력을 버퍼하며 리드/라이트 제어 논리는 내부 레지스터의 데이터 전송을 맡으며 이 두 블럭이 외부장치나 CPU와 8255 사이의 인터페이스를 담당한다.

동작은 리드/라이트 제어회로에 의해 각 포트에 대한 기능 및 동작에 대한 정보를 두개의 콘트롤워드 레지스터에 기입한 후 각각의 포트를 선택하여 설정된 기능에 따라 사용한다.

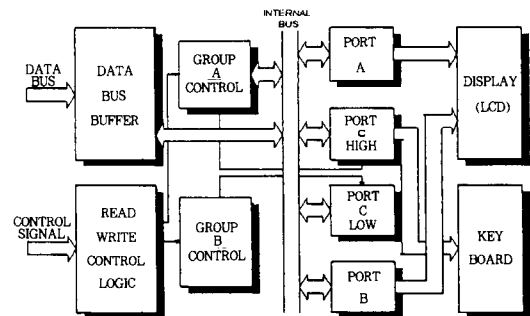


그림 2.4 I/O 포트의 구성
Fig. 2.4 Configuration of I/O Ports

본 실험에서는 I/O번지를 200H와 202H로 설정하였으며 출력으로는 Back-Light를 내장한 LM093LN을 사용하였다. LCD의 데이터는 8255의 PA0-PA7에 할당하였고 PB0-PB2는 LCD 제어용이다. Key 입력은 16개의 Key로 구성하고 Encoder를 통해 16개의 입력신호를 4bit의 2진 값으로 변환하여 8255의 PC0-PC3에 연결하였다.

2.4 데이터 통신부

1) 직렬 통신부

80C196KC의 직렬신호 포트는 3개의 비동기와 하나의 동기 모드를 가지며 수신기는 이중 버퍼로 되어 있다. 본 연구에서는 비동기 통신모드를 사용하였으며 데이터 포맷은 시작 비트(0), 8개의 데이터 비트(LSB우선)와 정지 비트(1)의 10bit로 구성하였다.

직렬(신호)포트제어는 직렬 신호 포트 제어/상태 레지스터의 위치 11H를 통해 이루어진다. 직렬 포트로 입출력 되는 데이터는 SBUF(rx)와 SBU(tx)의 07H 번지를 통해 이루어진다.

비록 이 레지스터는 같은 어드레스를 공유하지만 직렬 포트에 의해 수신된 데이터를 포함한 SBUF(rx)와 전송을 위해 준비된 데이터를 유지하기 위해 사용되는 SBUF(tx)와 물리적으로 분리되어 있다.

본 실험에서 사용된 Baud Rate는 9600BPS (Band Register : 67H)이며 Baud Rate 계산식은 다음과 같다.

$$\text{Baud Rate} = \frac{\text{XTAL1}}{16 \times (\text{Baud Register} + 1)} \quad (2)$$

여기에서 Baud Register의 값을 67H으로 한다면 Baud Rate는 9600 BPS가 된다. 이때 Baud Register값은 0이 될 수 없다.

대부분의 경우 직렬신호 또는 두 시스템의 보오레이트의 차이가 2.5[%]이내에서 작동한다. 두 개의 시스템이 각각 1.25[%]의 오차율을 서로 가질 때 최대 오차 허용을 2.5[%]에 도달할 수 있다.

직렬 포트 1은 SBUF(Serial Port Buffer)의 초기화나 적재, 또는 비적재에 대한 우려없이

사용될 수 있다. 패리티 비트가 있을시 8비트의 데이터 대신에 7비트의 데이터와 1비트 패리티 비트가 사용되며 패리티의 계산은 하드웨어에서 한다.

2) 병렬 통신부

PC 슬롯에 8255 인터페이스카드와, 램드라이브 카드를 장착함으로써 RAM Card만을 수거하여 데이터를 읽을 수 있도록 한 통신부이다.

C언어로 작성된 프로그램에 의해 데이터의 입출력 제어 및 4개 RAM Card를 개별선택하고 동작번지는 0x340-3H를 사용하였다. 어드레스 발생부는 5개의 4bit Counter를 직렬로 연결하여 A0~A16의 어드레스를 발생시키고 8255의 PB0는 어드레스 발생부의 CLK으로 사용한다.

8255의 PA0~PA7은 데이터 버스가 되며, PC0는 RD선, PC1은 WR선, PC2~PC5는 각각 CS1~CS4가 되어 4개의 RAM Card중 하나를 선택한다.

2.5 RAM CARD부

RAM Card부는 수집된 데이터가 저장되는 곳이며 여기에 사용된 메모리는 1 Mbit SRAM인 68100이 사용되었다. 그림 2.5는 RAM Card부의 구성도이다.

또한, PST518A는 전원 차단시 저장된 데이터 보호기능을 하게 된다. 전원 차단시 V_{cc}가 4.5[V]이하로 떨어지게 되므로 PST518A는 이것을 감지하여 출력단이 0[V]로 한다. 즉, RAM의

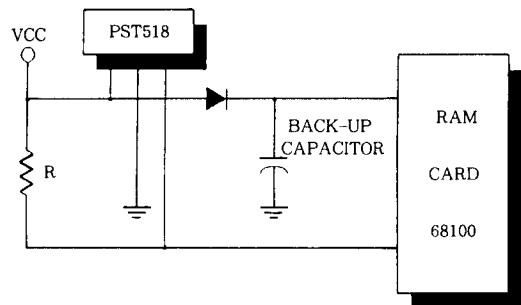


그림 2.5 RAM Card의 구성
Fig. 2.5 Configuration of RAM Card

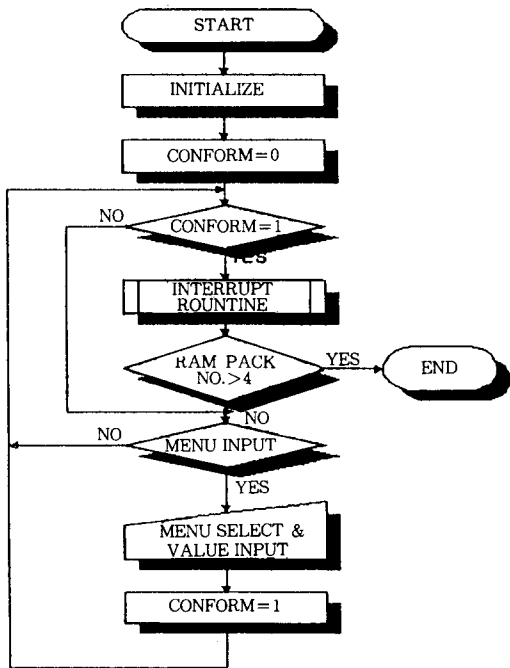


그림 3.1 주 프로그램의 흐름도
Fig. 3.1 Flow Chart of System Program

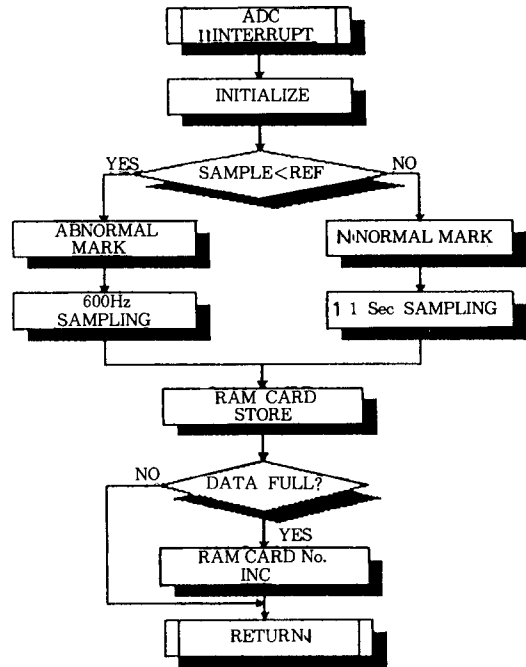
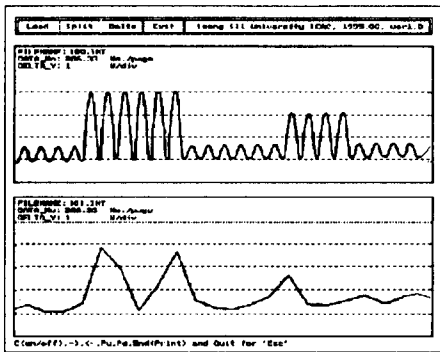


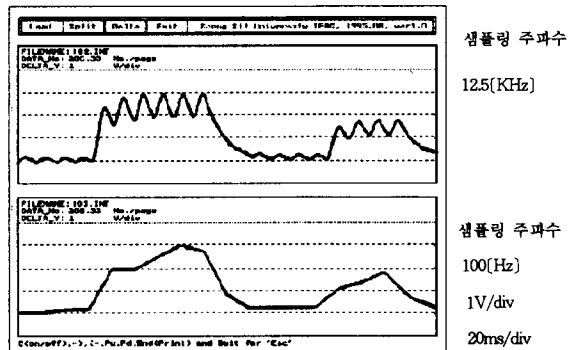
그림 3.2 인터럽트의 흐름도
Fig. 3.2 Flow Chart of Interrupt Program



(a) 정류전파형

그림 4.1 A/D 변환파형(샘플링 주파수 : 12.5kHz, 100Hz)

Fig. 4.1 Waveform of A/D Conversion(Sampling Frequency : 12.5kHz, 100Hz)



(b) 콘덴서를 통과한 정류파형

CS2 단자가 Ground 되므로 RAM의 동작은 멈추게 되어 데이터의 RD, WR가 불가능하게 되어 오동작에 의한 데이터 파손을 방지할 수 있다. 이 때 병렬로 연결된 Back-up Capacitor에 의해 저장된 데이터를 유지한다.

3. 제어 프로그램

본 연구에서 사용된 프로그램 언어는 80196용 C언어와 어셈블러를 사용하였으며 그림 3.1, 그림 3.2는 프로그램의 흐름도이다.

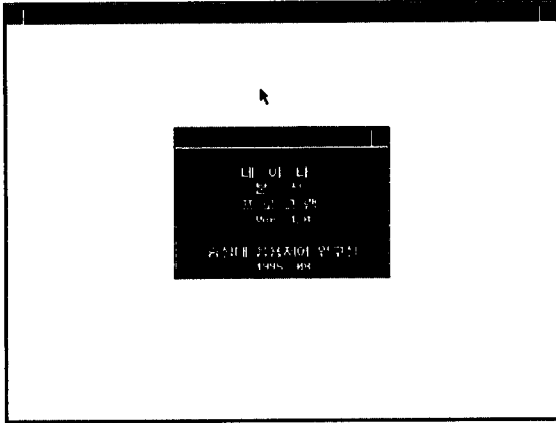


그림 4.2 주 프로그램의 초기화면
Fig. 4.2 Initial Display of Main Program

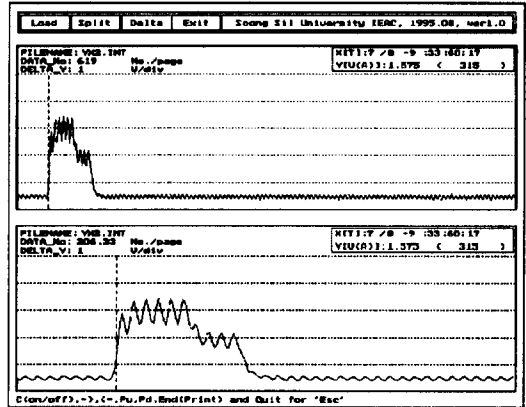


그림 4.3 데이터의 확대파형
Fig. 4.3 Waveform of Extended Data

4. 실험 결과 및 고찰

본 실험은 Data Logger의 정밀성, 신뢰성, 유용성을 입증하기 위해 두가지 방법으로 실시하였다.

1) 임의 파형 발생기를 이용한 모의 실험

현장에서의 사고 형태를 임의 파형발생기 (AFG : Arbitrary Function Generator)를 사용하여 가상의 신호를 만들어 측정하고 퍼스널 컴퓨터상에서 분석하여 본 시스템의 신뢰성을 확인한 모의실험이다.

2) 현장 적용 실험

본 시스템을 분전반에 설치하여 데이터를 수집하고 분석하여 유용성을 입증하였다. 기준값은 200A이고 기준값 이하에서는 1초-999초, 이상이면 1/600초로 데이터를 저장한다. 설치된 현장은 충격기, 내압기, 공작기 등을 사용하는 회사로서 정상시는 100(A)미만의 전류가 감지되나 순간적으로는 800(A)까지도 검출된다. 이와 같은 현장을 감안하여 본 실험 장비는 최대 1000(A)까지 선정하고 이상 상태 판단의 기준값은 100(A)로 설정하여 데이터를 수집하였다.

5. 결 론

본 연구에서는 배전계통의 부하상태를 감시하

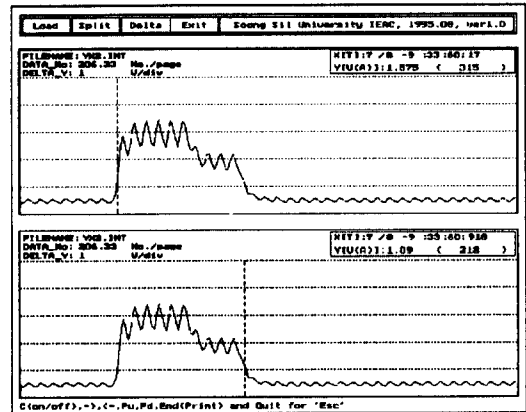


그림 4.4 이상(異常) 상태의 분석
Fig. 4.4 Analyzed of Abnormal Condition

여 데이터를 수집하고 수거된 데이터를 확장된 RAM Card에 저장하였다가 이를 수거하여 분석함으로써 선로에 발생된 이상 상태나 정상시의 시간대별 부하 분포등을 파악하여 계통의 사고원인 분석 및 예방을 가능하도록 하는 Data Logger를 구현하였다. 선로상에서 검출된 데이터는 A/D변환을 통해 RAM Card에 저장하여 RS-232C 방식을 통한 직렬통신이나 제작된 병렬통신장치를 통해 PC상에서 수집된 데이터를 분석할 수 있도록 하였다.

또한, A/D기능이 내장된 원 칩 마이크로콘트롤러를 사용하여 주변회로를 간소화하였으며 A/D Result 레지스터를 통하여 데이터 처리속도를

증가시켰다. 특히 기준치 설정값 및 샘플링 주파수를 가변할 수 있도록 하여 응용분야에 따라 적절한 샘플링 주파수값을 설정할 수 있도록 하였다.

본 Data logger의 구성시 원 칩 마이크로컨트롤러의 메모리 용량이 한정되어서 데이터 저장용량에 한계가 생기므로 이를 극복하기 위해 최대 4MBit까지 확장하였으며 전류를 정상상태와 이상상태로 구분하여 메모리를 효율적으로 이용할 수 있도록 하였다. 또한 구현된 장비를 실제 선로에 설치하고 데이터를 수거하여 PC상에서 분석하여 봄으로써 본 데이터 Logger의 정밀성과 신뢰성을 입증함으로써 실제 산업현장에 적용가능함을 입증하였다.

본 연구에서 제시한 전용 마이크로 컨트롤러 칩을 이용한 단일 목적용 Data Logger를 확장 개발하면 배전계통의 모든 요소에서 센서를 통한 전기신호들을 무인으로 자동 검사 및 관리가 가능하게 된다. 아울러 설치장소 주변의 PC로 관리가 가능함은 물론 사람이 상주하기가 힘든 오지에서는 저장용 RAM Card를 주기적으로만 교체함으로써 관리가 가능하게 된다. 그리고 전송기법을 이용함으로써 중앙감시 제어소로 통신이 가능함으로써 기존의 처리기와 호환 운용 될 수도 있다. 이와 같이 본 연구에서 제안한 기법을 통한 활용방안은 다음과 같이 요약할 수 있다.

- 오지의 자동 감시 및 관리의 편의성 증대
- 저가격으로 실현이 가능하기 때문에 설치 적용의 확대
- 기존 감시 체계와 호환 가능하므로 관리의 효율성 증대
- 교통, 환경 등 제반 분야에 적용이 가능
- 방폭용으로 구축하여 사고시 분석이 가능

본 연구는 한국전력공사의 지원에 의하여 기초전력공학 공동연구소 주관으로 수행되었음.
과제관리번호 : 94-059

참 고 문 헌

1) "配電 自動化 技術 特集", 富士時報 88. 8.
2) Yutaka Tomita, "A Fast, Simple, and Low Cost Data Acquisition System", IEEE Trans. on Instrumentation

and Measurement, Vol. IM-33, No. 1, pp.53~55, March, 1984.

3) Abid M. Elabdalla, Ahamad I. Abu-el-hajja, "Personal Computer Flexible Multichannel interface for Data Acquisition of Low Frequency Signals", IEEE Transaction on Instrumentation and Measurement, Vol. 37, No. December 1988.
4) J.H. Posenau & B.J Neilson, "A Portable PC Based Data Acquisition System for Water Quality Monitoring", in proc., IEEE Instrumentation Technology conf., pp.93~96, Apr., 1987.
5) William J. Tompkins, Jhon G., "Modern Electronic Instrument and Measurement Techniques", Prentice-Hall, Internation Editions.

◇ 著 者 紹 介 ◇



문 학 룡(文學龍)

1963年 9月 5日生. 1990年 崇實大 電氣科 卒業. 1993年 崇實大 大學院 電氣科 卒業(碩士). 1994年~1995年 三興重電氣 開發部. 1995年~現在 崇實大 大學院 電氣科 博士課程.



김 진 상(金鎭祥)

1969年 7月 25日生. 1992年 崇實大 電氣科 卒業. 1994年~現在 崇實大 電氣科 碩士課程.



김 수 곤(金秀坤)

1970年 3月 4日生. 1995年 崇實大 電氣科 卒業. 1995年~現在 崇實大 電氣科 碩士課程.



진 회 중(田喜鐘)

1953年 1月 6日生. 1975年 崇實大 電氣科 卒業. 1977年 서울대학교 大學院 電氣科 卒業(碩士). 1977年~1981. 8月 空軍士官學校 教授部 電子工學科 教授. 1987年 中央大 大學院 電氣科 卒業(博士). 1983年~現在 崇實大 工科大學 電氣工學科 教授.