

□ 기술애설 □

네트워크 처리율과 스피드업을 향상시키기 위한 Multistage Interconnection Network 기술 및 활용 방안

서강대학교 박병섭* · 김성천**

● 목 차 ●

- | | |
|-------------------|------------------------|
| 1. 개 요 | 3.3 네트워크의 병렬연결 |
| 2. MIN의 기본 구성 | 4. 베니안 네트워크의 사례연구 |
| 3. 네트워크 처리율 향상 방안 | 4.1 단일 베니안 망의 응용 |
| 3.1 링크의 확장 | 4.2 다중 출력을 갖는 베니안 네트워크 |
| 3.2 스테이지의 증가 | 5. 결 론 |

1. 개 요

병렬처리 시스템의 내부는 다수의 프로세서와 다수의 모듈화된 메모리(또는 프로세서)들이 강결합 또는 약결합 형태로 상호 연결되어 있다. 이들을 서로 연결해 주는 상호연결망(Intercornection Network)은 시스템의 성능에 상당한 영향을 미치는 핵심 구성 성분이다[1, 2]. 즉, 상호 연결의 내역폭에 따라 시스템의 확장성 및 대용량의 데이터를 처리하는데 있어서의 응답 지연이 영향을 받게 된다. 일반적으로 시스템 내에서의 상호연결망은 연결 방법에 따라 크게 다음과 같이 나눌 수 있다[3]; 공유 버스 시스템(Shared-Bus System), 크로스바 스위치(Crossbar Switch), 단 단계 상호연결망(Single-Stage Interconnection Network), 그리고 다단계 상호연결망(MIN : Multistage Interconnection Network) 등으로 구분된다. 그러나 공유 버스 구조는 구현이 용이한 반면 버스 내역폭의 제한으로 인해 시스템의 확장이 불가능하며, 크로스바 연결은 높은 시스템의 성능을 보장하지만, 상호연결망의 비용이 너무 높아 큰 규모의 시스템에는 적합치 않다. 그리

고 단 단계 및 다단계 상호연결망은 각 단계에서 스위치의 비용이 추가되지만 대용량의 시스템으로 확장 시에 적합한 구조이다. 대표적인 MIN 구조로는 베니안 네트워크(banyan network)[1,3]가 이에 속한다. 이러한 MIN구조의 상호연결망은 장단점이 존재하는데, 장점으로는 모듈러한 구성이 갖는 확장성의 용이성이 있고, 단점으로는 네트워크 지연 시간이 네트워크에서 단계 수에 비례하여 증가한다는 문제가 존재한다. 그러나 미래의 대용량의 컴퓨터 시스템을 구성하는데 있어서, 어떤 특수한 응용에서는 정적인(static) 위상이 더 요구될 수도 있지만, 광 기술 및 전자 공학의 급속한 발전에 힘입은 대규모의 MIN 구성이나 크로스바 망이 범용 컴퓨터 시스템에서 동적인(dynamic) 위상을 구성하는데 더 경제적이고 용이하게 될 것이라는 견해가 지배적이다[1].

현재의 상호연결망 기술 추세는 다수 개의 프로세서를 네트워크 명목 현상 없이 데이터 통신이 가능하고 네트워크 내역폭을 확장하려는 방향으로 진행되고 있다. 특히 대형 병렬컴퓨터 시스템에서 상호연결망 구조는 전체 시스템의 성능에 중대한 영향을 미치는 요소이다. 특히 많은 수의 프로세서를 어떤 방식으로 어떻게 상호 연결할 것인가는 병렬처리 컴퓨터

*학생회원

**중신회원

분야에서 지속적으로 연구되어야 할 분야이다. 이미 대용량의 병렬처리 시스템 개발의 선발 업체들은 이러한 상황을 인식, MIN 구조의 상호연결망에 대한 연구를 지속적으로 수행, 발전시키고 있다.

한편 이러한 베니안 타입의 MIN은 통신 분야로까지 확장되어 사용되고 있다. 대표적인 사례가 광대역 통신망에서 ATM(Asynchronous Transfer Mode) 스위치로서의 사용이다[4,5]. 이러한 MIN을 통신망에서 활용하는 방안은 첨단 학문으로 현재 활발한 연구가 진행되고 있다. 현재까지 제안된 베니안 타입의 스위치는 대표적인 것으로 Tandem switch[6], Sunshine[7], Starlite[8] 등이 이에 속한다. 그러나 기본적인 위상의 MIN만을 사용하여서는 대용량의 멀티미디어 서비스를 처리해야 하는 현재의 병렬처리 시스템에서 필요로 하는 네트워크 대역폭(network bandwidth)을 지원하기가 어렵다. 따라서 현재까지 제안된 많은 패킷 스위칭 네트워크 시스템들은 커다란 대역폭을 지원할 수 있는 스위칭 네트워크 설계에 중점을 두고 있다. 본 고에서는 대표적인 MIN 부류에 속하는 베니안 네트워크(banyan network) 부류를 적용하여, 스위칭 네트워크 시스템 전체의 처리율(throughput) 및 스피드업(speed-up)을 향상시키는 기법 및 이러한 스위칭 시스템의 활용 방안에 대하여 다룬다.

2. MIN의 기본 구성

Crossbar는 내부적으로 난블럭킹 네트워크(non-blocking network)이지만, N^2 의 크로스 포인트(cross-point)로 구성된다는 사실에 비추어 볼 때, 비용 면에서 네트워크의 크기가 제한적일 수 밖에 없다. 따라서 이러한 제한점으로 인해 Crossbar 스위칭 구조에 대한 대안으로 베니안-타입과 같은 MIN 부류의 공간 분할형 네트워크가 관심을 끌어들였다[5]. $N \times N$ 베니안 네트워크 $s = \log_2 N$ ($N =$ 네트워크 크기)개의 스테이지로 구성되는데, 각 스테이지는 N/k 개의 $k \times k$ 스위칭 소자(SE: Switching Element)로 이루어진다. 그리고 스테이지 사이의 상호 연결 라인은 각 입력에서 출력으

로 하나의(유일한) 경로를 형성하는 방법으로 만들어진다. 이러한 MIN에서 임의의 입력 라인에서 한 출력 라인으로의 경로 설정은 셀프-라우팅 절차(self-routing procedure)를 사용하여 분산 형태로 이루어진다. 다음 그림 1은 $k=2$ 인 8×8 베니안 네트워크의 기본적인 구조를 보여준다.

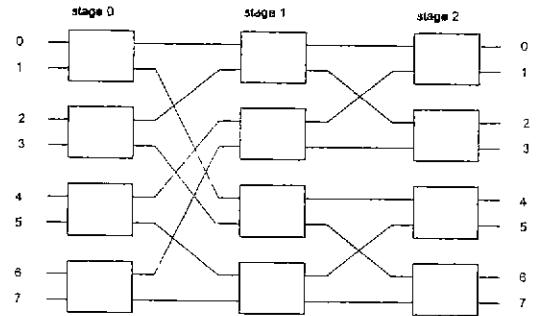


그림 1 8×8 베니안 네트워크

3. 네트워크 처리율 향상 방안

3.1 링크의 확장

출력 포트에서의 패킷 블럭킹을 줄이기 위해 사용하는 기법 중의 하나는 링크 확장(link expansion) 기법이다. 이러한 개념은 일반적으로 Dilated network으로 알려져 있다[9]. 즉, 하나의 출력 포트당 다수 개의 링크를 갖도록 하는 것이다. Dilated MIN은 모든 소스-목적지 경로에 대해, 몇 개의 경로를 제공할 수 있도록 각 스테이지 사이의 링크를 논리적으로 동

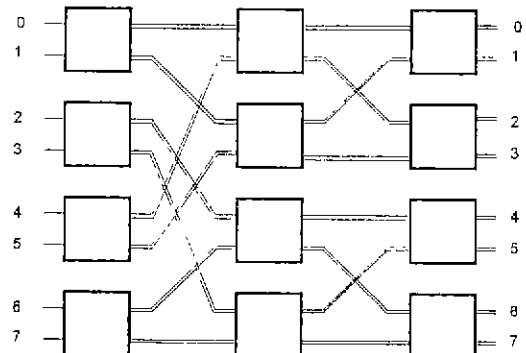


그림 2 2-dilated 8×8 MIN 구조

일한 두 개 이상의 링크를 갖도록 하고 있다. 이런 방법을 사용함으로써 스위치의 대역폭을 확장하는 것이 가능하다. 네트워크 내의 각 d -dilated $k \times k$ 스위칭 소자는 k 개의 포트 각각에 대하여 d 개의 물리적 링크를 갖는다. 따라서 같은 시간에 d -개의 패킷을 동시에 라우팅할 수 있는 장점을 갖는다. 다음 그림 2는 2-dilated 8×8 MIN구조를 보여주고 있다.

3.2 스테이지의 증가

네트워크 대역폭을 증가시키는 또다른 방법은 스테이지 수를 늘이는 기법이다. 즉, $\log_2 N$ 보다 더 많은 스테이지를 가지고 있고, 네트워크는 SE, 경로제어 링크, 그리고 바이패스 링크(bypass link) 또는 브리지(bridge)라는 링크로 구성된다. 한 스테이지의 특정 SE에서 충돌이 생기면 브리지를 통한 바이패스 경로제어를 수행하여 목적지에 빠르게 도달할 수 있다. 이러한 기능을 갖는 대표적인 네트워크로는 Rerouting network[10]과 BSN(Bridged Shuffle-exchange Network[11])이 있다. 두 네트워크 모두는 바이패스 기능을 통한 충돌-해결 기법을 사용하고 있다. 그러나 네트워크에서 패킷 충돌이 발생하면, BSN은 경쟁에서 진 패킷을 브리지를 통해 현재의 SE와 동일하게 경로 매정이 가능한 다음 스테이지의 SE로 전달한다. 따라서 Rerouting 네트워크의 바이패스 경로 제어 시에 처음부터 다시 새로운 베니안 네트워크에서 라우팅을 해야 하는 반면, BSN의 경우에는 패킷 충돌 이전까지의 경로제어 상태가 그대로 유지되는 장점을 갖는다. 다음 그림 3은 8×8 BSN의 구조를 보여주고 있다.

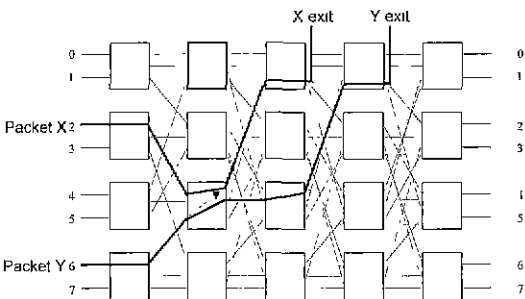


그림 3 8×8 BSN의 구조

3.3 네트워크의 병렬연결

순수한 단일 베니안 네트워크를 사용하여서는 최근의 고성능 병렬처리 컴퓨터 시스템에서 원하는 만큼의 충분한 네트워크 대역폭 확보가 거의 불가능하다. 따라서 최근의 또다른 MIN에 관한 연구는 기본적인 베니안 망을 병렬로 여러개 연결하여 다중 MIN 네트워크(multiple MIN network)를 구성하는 방향으로 진행되고 있다. 이러한 가능성은 현재의 VLSI 기술 및 신호 처리 기술의 발전에 힘입어 낮은 비용으로 모듈러한 MIN의 구성이 가능하였고, 실제 시스템에 사용하기에 용이하기 때문으로 분석된다. 이러한 MIN의 병렬 구성 방법을 적용한 시스템은 NCR사의 BYNET[12] 상호연결망 시스템이 그 예이다.

4. 베니안 네트워크의 사례연구

4.1 단일 베니안 망의 응용

일반적으로, 고속의 패킷 스위치 설계는 다음 두 가지 설계 이슈에 초점을 맞추고 있다; 자원 이용률(resource utilization), 비용(cost). 따라서 본 절에서는 이러한 요구 사항을 성취하는데 필요한 스위칭 시스템의 설계 기술을 사례 연구를 통하여 살펴보기로 한다.

(1) Buffered-Banyan network

Turner[13]에 의해 제안된 스위치로 내부 충돌이 발생할 때, 버퍼-베니안 네트워크(buffered-banyan network)은 블럭된 패킷을 버퍼링하고, 블럭된 패킷은 다음 스테이지 사이클에 다시 망에 입력된다. 그러나 버퍼-베니안 망은 제한된 처리율을 갖는데, $N \times N$ 망에서 N 이 증가할 수록 처리율이 감소하게 된다. $N = 1024$ 일 때, 처리율은 약 0.45이다. 처리율은 버퍼 크기의 증가와 더불어 증가하지만, 버퍼 크기가 4일 때 처리율은 약 0.58 정도이며, 이 값의 버퍼 크기를 넘어서면 성능 향상에는 효과가 없다. 더욱이, 비용과 지연 시간 입장에서 버퍼-베니안 망은 최상의 선택이 아니다.

(2) Dilated-banyan networks

Dilated Banyan network[9]는 스위칭 소자

의 입출력에 고정된 수의 링크-확장을 사용한다. 링크 확장 기법은 내부 대역폭(internal bandwidth)을 증가시킴에 의해서 베니안 망의 성능을 향상시킨다. 그러나, 망 초기 스테이지에서 기준 이하의 이용률을 갖게 되며, 링크 확장 정도는 이후의 스테이지에서는 적절하지 않으므로 스위칭 네트워크의 내부 대역폭은 최적으로 이용되지 못한다. 앞질의 그림 2에서 기술된 네트워크가 dilated network의 한 예이다.

(3) Batcher-banyan networks

배처-베니안 네트워크(Batcher-banyan network)[14]는 입력이 목적지 주소순에 따라 감소하지 않는 순이나, 증가하지 않는 순으로 정렬되어 있으면, 베니안 망은 내부적으로 넌-블러킹이 된다는 사실을 이용한다. 먼저 입력되는 패킷을 정렬하기 위해서, 배처 정렬기는 바이토닉 정렬(bitonic sorting)을 사용한다. N-입력 배처 정렬기는 $[\log N \times (\log N + 1)]/2$ 의 스테이지로 구성된다. 배처 정렬기는 다수의 요청이 동일한 출력으로 향할 때는 처리율 향상에 아무런 기여가 없다. 또한 과도한 패킷을 필터링하고, 라우팅을 위해 다음 시간 슬롯에 다시 망에 입력되기 위해 트랩 망(trap network), 집중기(concentrator)와 같은 망이 추가로 필요하다. 따라서 요청되는 성능을 성취하기 위해서 하드웨어 오버 헤드가 매우 크다. 다음 그림 4는 N=8인 Batcher-banyan network 구조를 보여준다.

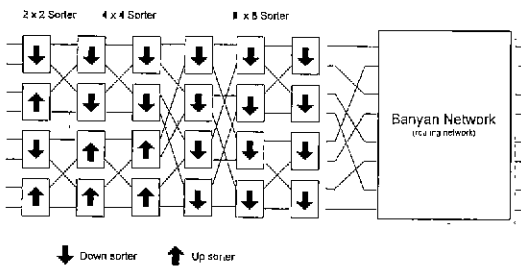


그림 4 8x8 Batcher-banyan network

4.2 다중 출력을 갖는 베니안 네트워크

보통 수백 개 이상의 프로세서를 갖는 대규

모의 다중 프로세서의 경우에 있어서, 블러킹 네트워크인, 베니안 네트워크만의 성능으로는 충분하지 않다. 충돌된 패킷 중의 하나가 다음 프레임에 다시 삽입되어야 하므로, MIN내에서 패킷 충돌은 망의 성능을 크게 떨어뜨린다. 심지어 Crossbar, Clos, Batcher-banyan과 같은 넌블러킹 망도 같은 목적지로 향하는 패킷이 망 내에서 서로 충돌하기 때문에 충분한 대역폭을 지원할 수 없다. 이런 충돌 타입으로 인해 임의의 목적지로 향하는 패킷의 대역폭(pass-through rate)은 63.5% 이하로 제한된다. 따라서 커다란 대역폭을 얻기 위해서, MIN은 같은 목적지로 향하는 다중 패킷을 전달하기 위해 여러개의 출력 라인(multiple outlet)을 갖는 MIN을 필요로 한다[15].

k-다중 출력을 갖는 MIN은 다른 측면에서 보면 스피드업이 k인 스위칭 네트워크로 볼 수 있다. 일반적으로 출력 충돌의 영향을 줄이기 위하여 대부분의 스위치들은 k-개의 베니안 망을 병렬로 연결하여 베니안 네트워크(또는 Batcher-banyan network)의 스피드업을 증가하는 방안을 사용하고 있다. 일반적으로 스피드업 k는 $k \leq \min\{B_0, N'\}$ 으로 정의되는데, 여기서 B_0 는 출력 버퍼의 크기이고 N' 은 출력 라인(outlet)의 수이다. 따라서 스피드업이 k인 경우, 한 시간슬롯안에 특정 출력 포트가 동시에 받을 수 있는 패킷의 수는 최대 k개가 된다. 따라서 이러한 스피드업을 갖는 스위칭 네트워크는 다수 개의 패킷(보통 k개)을 같은 목적지로 전달함으로써 넌블러킹의 망보다 높은 대역폭을 지원할 수 있는 망이다. 여기서는 일반적인 병렬처리 시스템에서 제안된 다중 출력을 갖는 MIN 구조와 통신 스위칭 시스템으로 제안된 MIN 구조의 스위칭 시스템을 살펴본다. 다음에 기술된 스위칭 네트워크가 이에 속한다; Multi-Banyan Switching Networks (MBSN)[16], Expanded Banyan Switching Networks(EBSN)[17], Tandem Banyan Switching Networks(TBSN)[6], OBSN (Overlapped Banyan Switching Networks) [10,11], MBCP(Multiple Banyan Connected in Parallel)[18], Piled Banyan Switching Networks(PBSN)[15], Sunchine[7].

(1) MBSN(Multi-Banyan Switching Networks)

MBSN[16]은 여러개의 출력 라인을 갖는 MIN 중에서 가장 간단한 MIN이다. 입력 트래픽은 독립적인 k개의 베니안(여기서는 omega network) 네트워크로 분산된다. 그 구조의 간단성 때문에 회선 스위칭(circuit switching) 망이나 ATM 패킷 스위칭(packet switching) 망으로 연구되었다. 회선 스위칭 망에서는 부하 분산(load distribution)의 방법이 성능에 영향을 줄 수 있다. 그러나, 패킷 스위칭 망에서의 입력 트래픽은 랜덤한 동적인 스케줄링이 불가능하다. 또한 이 구조에서는 다수의 경로가 존재함으로써 패킷 순서 유지 문제(packet sequence problem)가 대두된다. MBSN의 구조가 그림 5에 있다.

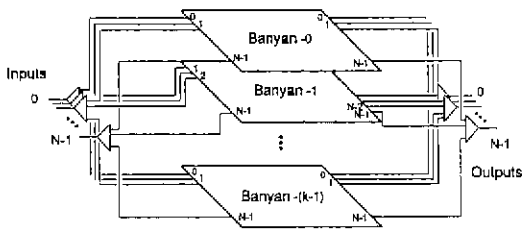


그림 5 MBSN의 구조

(2) EBSN(Expanded Banyan Switching Networks)

EBSN[17] 구조에서 여러개의 출력 라인은 MIN의 크기를 확장함으로써, 만들 수가 있다. 단일 MIN의 크기를 3배로 확장한다면, 3개의 출력이 사용 가능하다. N×N망의 EBSN은 l (인터리빙 수)개의 N×N 델타 네트워크(delta

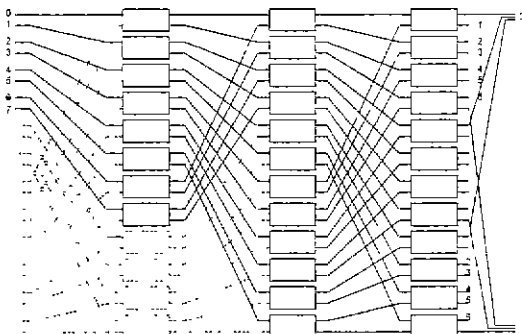


그림 6 EBSN의 구조(l=3)

network)를 인터리빙 하여 만들 수 있다. l을 증가시키는 것은 다음과 같은 두 가지 효과를 갖는다; 내부 블럭킹을 줄일 수 있고, 더 많은 패킷이 동시에 같은 출력 포트에 라우팅할 수 있도록 해준다. 따라서 처리율의 향상이 가능하다. 그러나 EBSN은 사용하지 않는 입력 및 스위칭 소자들이 존재할 수 있다. 다음 그림 6은 EBSN의 구조를 보여준다.

(3) TBSN(Tandem Banyan Switching Networks)

TBSN[6]은 몇 개의 베니안 망을 연속으로 연결하여 구성한다. 충돌이 발생할 때, 패킷을 미스라우트하고, 이후의 연속적인 베니안 스테이지에서 새로운 라우팅을 시작한다. TBSN은 MBSN와는 달리, 미스라우팅된 패킷만이 다음 베니안 망에서 재라우팅(rerouting)된다. 즉, 여러개의 베니안 망은 패킷 라우팅에 대한 적절한 동작을 수행한다. 또한 출력 큐잉을 구성하며, k(연속적인 베니안의 수)에 비례하도록 만들어, 집중기의 크기를 줄여 준다. 그러나 탠덤 베니안 네트워크는 $k \times \log_2 N$ 의 스위칭 소자를 요구하는 하드웨어 사용에 따라 역시 최적의 선택이 아니다. 더욱이 직렬로 연결된 베니안 네트워크 사이에는 동기화 문제가 제기된다. TBSN은 대역폭은 향상될 수 있는 반면, 새로운 망에서 다시 라우트하게 되므로 지연 시간(latency)은 또한 길어지게 된다. 다음 그림 7은 TBSN의 구조를 보여준다.

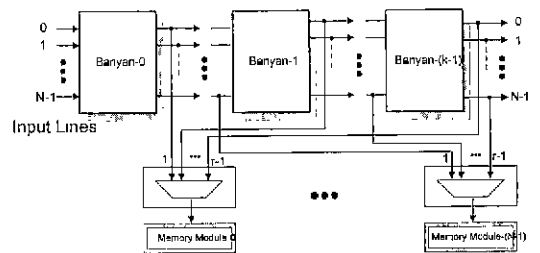


그림 7 TBSN의 구조

(4) OBSN(Overlapped Banyan Switching Networks)

OBSN[10,11]은 스위칭 패브릭 내에 몇 개

의 베니안 망을 내포 하도록 하여 TBSN에 비하여 스테이지의 수를 줄여 준다. 기본적인 방법은 충돌이 발생할 때, 패킷은 미스라우트 되고, 새로운 라우팅이 스위칭 소자의 다음 스테이지에서 바로 시작되도록 한다. 일단 패킷이 중복 베니안 망에서 요구된 위치에 도착하면, 바이패스 링크(bypass link)를 통하여 출력으로 전달된다. 이 스위칭 구조도 스위칭 소자가 탠덤 베니안의 스위칭 소자에 비해 약간 더 복잡하다는 사실을 고려할 때, 요구되는 스테이지의 수가 여전히 크다. 더욱이 탠덤 베니안과 OBSN은 패킷 재순서화(packet resequencing) 문제를 다루어야만 한다. 그림 8은 OBSN 네트워크 구조를 보여준다. 대표적인 OBSN은 Rerouting network과 BSN이 이에 속한다.

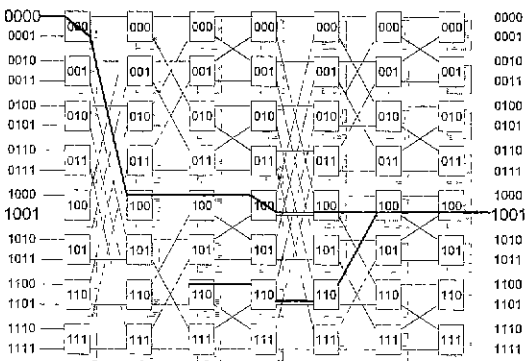


그림 8 OBSN의 구조

(5) MBCP(Multiple Banyan Connected in Parallel)

MBCP[18]은 k-개의 베니안 네트워크를 병렬로 연결하여 구성되는데, MBSN과는 다르게, MBCP로 들어 오는 모든 입력 패킷은 첫 레벨의 베니안 망으로만 들어간다. 다른 베니안 망들은 블럭된 패킷에 대한 우회 라우팅 경로를 제공하는데 사용된다. 기본적인 구성은 TBSN과 동일하나, 바이패스 기능을 갖는 스위칭 소자의 구성이 다르다. 일반적으로 하위 레벨의 베니안은 상위 레벨 베니안 망의 블럭킹-해결자(blocking-resolvers)로 제공된다. 즉, 베니안 1+1, 베니안 i+2, ..., 그리고, 베니안 k는 베니안 i(i=1,2,3,...,k)로부터 바이패스된 경쟁에서 실패한 패킷들을 받아들이는데

이용될 수 있다. 따라서 TBSN에서는 블럭킹의 경우 미스라우팅하여 다음 베니안에서 다시 시작하는 반면, MBCP에서는 동일한 스테이지의 스위칭 소자로 바이패스 되어 TBSN보다 네트워크 지연 시간이 매우 줄어들게 된다. 스위칭 소자는 두 부분으로 구성되는데, 바이패스 장치(bypass unit)와 스위칭 장치(switching unit)이다. 스위칭 장치는 한 사이클에 두 개의 독립된 라우팅 경로를 제공한다. 바이패스 장치는 두 개이상의 패킷이 들어올 때, 경쟁에서 실패한 패킷들을 다음의 하위 레벨 베니안으로 이 패킷들을 바이패스 하는데 사용된다.

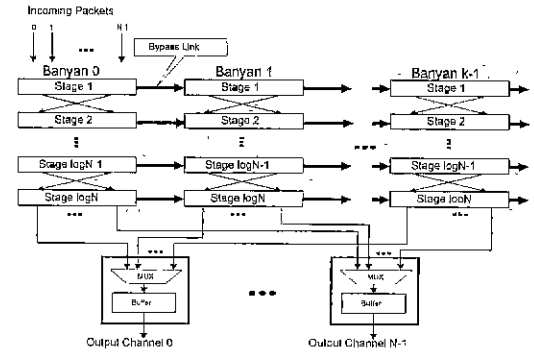


그림 9 MBCP의 구조

(6) PBSN(Piled Banyan Switching Networks)

비록 TBSN의 대역폭이 비록 충분하다 하더라도, 커다란 지연 시간은 MIN의 프레임 시간(frame time)을 늘리게 된다. 따라서 성능이 저하된다. 높은 처리율을 유지하고 지연 시간을 줄이기 위해, PBSN[15]가 제안되었다. 망이 일렬 연결로 구성된 TBSN와는 달리, PBSN에서는 베니안 망이 3차원 방향으로 구성된다. 최상이 계층과 최하위 계층을 제외한 모든 SE는 네 개의 입출력(수평 입력을 위해 두 개, 수직 방향으로 두 개)을 갖는다. 패킷은 망의 최상위 베니안 망 계층에서 삽입되어 수평 방향으로 전달된다. 두 패킷이 충돌되었을 때, 충돌된 패킷은 한 클럭 지연을 가지고 다음 하위 베니안 망 계층에 있는 대응하는 SE로 수직 링크를 통해 전달된다. TBSN과 같이

베니안 망의 각 출력측에 작은 크기의 버퍼가 제공된다. 이 출력 버퍼가 가득 찼을 때, 도착된 패킷은 폐기 패킷으로 간주하고, 다음 시간 슬롯에 다시 삽입한다. 그림 8은 PBSN의 기본 구조를 보여주고 있다.

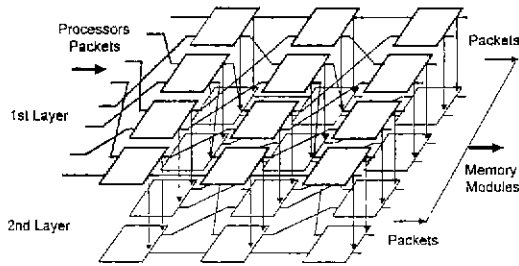


그림 10 PBSN의 구조

(7) Sunshine

Sunshine[7] 스위칭 네트워크는 IPC(input port controller), Sorter, Trap network, Concentrator, Selector, k-parallel banyans, 그리고 OPC(output port controller)로 구성된다. Sunshine은 년-블럭킹 스위치를 만들기 위해 배치 베니안 조합을 사용하며 패킷 손실률을 줄이기 위해 재순환 메커니즘을 사용한다. 또한 출력 충돌 문제를 극복하기 위해서 이 스위치는 정렬기와 베니안 사이에 추가적인 trap network를 사용한다. 패킷이 정렬된 후에 트랩망은 같은 출력으로 향하는 다수 개의 패킷을 체크하여 라우팅 불가능한 나머지 패킷들을 폐기한다. 그러나 Sunshine의 유일한 특징은 $k(<N)$ 개의 병렬 베니안 네트워크를 사용하는 것이다. 따라서 한 시간 슬롯안에 k 개의 패킷을 동시에 같은 출력 라인으로 라우트할 수 있어, 재순환 되는 패킷 수를 줄여 준다. 또한 어느 정도의 출력 버퍼링도 성취할 수 있다. 사실 출력 큐잉은 재순환 큐의 부담을 덜어 주고, 출력 포트에서 과도한 큐잉 요구 사항을 덜어 주기 위하여 구현되었다. 그림 10에 Sunshine 스위치가 나타나 있다. 재순환 버퍼의 크기는 $P_k \times P_k$ 로 이루어진다. 재순환 큐는 공유 버퍼이며, 이 큐에 입력된 패킷들은 우선 순위를 가지고 다음 슬롯에 다시 스위칭 네트워크의 입력으로 전달된다. 그림 10에서 $k=1$ 일

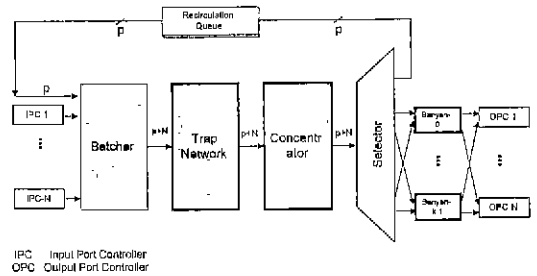


그림 11 Sunshine의 구조

5. 결 론

경우 이 스위치는 Starlite[8]로 볼 수 있다. 이 논문에서는 고속의 병렬처리 시스템에서 사용되는 다단계 상호연결망(MIN)의 구조에 대하여 알아보고, 그 특성 및 활용 방안에 대하여 살펴보았다. 이 논문을 통해서 우리는 병렬처리 시스템에서 뿐만이 아니라 광대역 통신망 시스템에서도 기본적인 MIN 위상이 활발히 연구되고 있음을 알 수 있었다. 이러한 광범위한 MIN의 활용에 있어서 특히 강조되었던 것은 네트워크의 처리율 및 스피드업에 관한 연구였다. 대부분의 병렬 시스템 및 통신 시스템에서는 기본적인 베니안 네트워크를 응용하여 그 시스템에 맞는 적절한 스위칭 시스템들을 연구, 제안하여 사용하고 있다. 특히 베니안 네트워크의 처리율을 향상시키는 방안으로는 링크를 확장하거나 네트워크의 스테이지를 늘리는 방안. 또는 기본적인 베니안을 병렬이나 직렬로 연결하여 높은 처리율을 얻기 위한 시도가 많이 있었음을 알 수 있었다. 이렇게 병렬처리 시스템의 내부에서의 프로세서와 메모리 또는 프로세서와 프로세서를 상호연결하기 위해서 제안되었던 MIN은 이제 그 활용 영역을 통신 시스템에까지 확장하고 있다. MIN에 관한 향후 연구 방향들은 다음과 같이 정리될 수 있을 것이다;

1) MIN의 오류 허용 연구

많은 병렬 및 통신 시스템에서 제안된 스위칭 네트워크들은 오류-허용성을 배제하고 있다. 따라서 그 이상적 특성에 따른 많은 오류-허용 기법들이 라우팅 알고리즘과 연관되어 연구될 필요성이 있다.

2) 스위칭 소자 내에서의 버퍼링 기법

현재 제안된 많은 MIN에서 스위칭 소자내의 버퍼링은 간단하게 입력, 또는 출력 버퍼링등 기본적인 버퍼링만을 가정하였다. 그러나 스위칭 소자 내에서의 버퍼를 경로에 따라 분리하는 방안등 내부 패킷 충돌을 줄일 수 있는 방안들이 더 연구되어야 하며, 이에 대한 분석 또한 요구된다.

3) 비용-성능 효율적인 스위칭 네트워크 위상연구

현재 제안된 MIN 응용연구와 비교한 하드웨어 비용뿐만이 아니라 성능에서 뛰어난 새로운 위상의 연구가 필요하다.

4) 모델링에 의한 성능분석

현재 제안된 MIN에 대한 모델링 기법들에 관한 연구를 통해 모든 네트워크에 적용가능한 새로운 모델링 기법이 연구되어야 한다.

5) 버퍼링 기법의 성능분석

다양한 입력 트래픽하에서 현재 제안된 MIN의 버퍼링 기법들에 관한 성능 분석이 요구된다. 이런 연구는 많이 제안되었지만 다양한 입력 트래픽에 대한 성능분석은 시뮬레이션에 그치는 정도이다.

참고문헌

[1] K.Hwang, Advanced Computer Architecture, Parallelism, Scalability. Programmability, McGraw-Hill Int. ed. 1993.
 [2] T.Y. Feng, "A Survey of Interconnection Networks," IEEE Computer, pp.12-27, Dec. 1981.
 [3] L.N.Bhuyan, Q.Yang, and D.P.Agrawal, "Performance of Multiprocessor Interconnection Networks," IEEE Computer, vol. 22, no.2, pp.25-37, Feb. 1989.
 [4] E.W.Zegura, "Architectures for ATM Switching Systems," IEEE Commun., Mag., pp.28-37, Feb. 1993.
 [5] F.A.Tobagi, "Fast Packet Switch Architecture for Broadband Integrated Services Digital networks", Proceedings of the IEEE, vol.38. pp.133-167. Jan. 1990.
 [6] F.A. Tobagi and T. Kwok, "Architecture,

Performance, and Implementation of the Tandem Banyan Fast Packet Switch," IEEE Journal on Selected Areas in Communications, vol.9, No.8. pp. 1173-1193, Oct. 1991.
 [7] A. Huang and S. Knauer, "Starlite : A Wideband Digital Switch," IEEE GLOBECOM'84, pp.121-125, 1984.
 [8] J.N. Giacopeli, J.J. Hickey, W.S. Marcus, W.D. Sincoskie, and M.Littlewood, "Sunshine : A high performance self-routing broadband packet switch architecture," IEEE Journal on selected Areas in Communications, vol.9, No.8, pp. 1289-1298, Oct. 1991.
 [9] E.T. Bushnell and J.S. Meditch, "Dilated Multistage Interconnection Networks for fast packet switching," IEEE INFOCOM'91, pp. 1264-1273, 1991.
 [10] S. Urushidani, "Rerouting Network : A High Performance Self-routing switch for BISDN," IEEE Journal on selected Areas in Communications, vol.9, No.8, pp. 1194-1203, Oct. 1991.
 [11] R.Zerour and U.T. Moultaq, "Bridged-Shuffle-Exchange Network : A High Performance Self-routing ATM Switch," ICC '93. pp.696-700, 1993.
 [12] NCR Corp. "Multiprocessor Computer System", USA patent, patent number 5, 303, 383, Apr. 1994.
 [13] S.J.Turner, "Design of a broadcast Packet Switching Network," IEEE Trans. on Commun., vol.36, pp.734-743, Jun. 1988.
 [14] H.Ahmada and W.E.Densel, "A Survey of Modern High -Performance Switching Techniques," IEEE Journal on selected Areas in Communications, vol.7, no.7, pp. 1091-1103, Sep. 1989.
 [15] T.Hanawa, H. Amano, and Y. Fujikawa, "Multistage Interconnection Networks with Multiple Outlets," ICCPP, pp. 1-1 - 1-8, 1994.
 [16] C.L. Wu and M. Lee, "Performance Analysis of Multistage Interconnection Net-

work Configurations and Operations,"
IEEE Tr. on Comput. vol.41 No.1, pp.18-
27, Jan. 1992.

- [17] R.Awedh and H.Mouftah, "The Expanded
Delta Fast Packet Switch," IEEE ICC'94,
1994.
- [18] C.A. Fun and J.A. Silvester, "A New Par-
allel Banyan ATM Switch Architecture,"
IEEE ICC'95, pp.523-527. 1995.

박 병 섭



1989 충북대학교 공과대학 컴퓨
터공학과 학사
1991 서강대학교 공과대학 전자
계산학과 석사
1991~현재 서강대학교 공과대
학 전자계산학과 박
사과정
관심분야: 병렬처리시스템 (Cache
Coherence, Intercon-
nection Network,
ATM Switch Archi-
tecture)

김 성 천



1975 서울대학교 공과대학 공업
교육학(전기전공)학사
1979 ~ 1977 동아컴퓨터 (주)
Sys. Eng.
1977 ~ 1978 스페리유니맥
Sales Rep.
1979 Wayne State Univ. 컴퓨
터공학 석사
1982 Wayne State Univ. 컴퓨
터공학 박사
1982 ~ 1984 캘리포니아주립대
조교수

1984~1985 금성반도체(주) 책임연구원
1986~1989 서강대학교 공과대학 전자계산소 부소장
1986~1991 서강대학교 공과대학 전자계산학과 학과장
1985~현재 서강대학교 공과대학 전자계산학과 조교수, 부
교수, 교수
1989~현재 한국정보과학회 병렬처리시스템 연구회 부위원
장, 위원장, 대한전자공학회 및 한국통신학회
논문지 편집위원
관심분야: 병렬처리시스템 (Parallel Computer Architec-
ture, Interconnection Network), Computer Net-
work

● '정보문화의 달' 기념 강연회 및 전시회 ●

- 일 자: 1996년 6월 20일(목)
- 장 소: 경북대학교 전자계산소 4층
- 내 용: 강연회, 패넬토의, 시연회 등
- 주 최: 영남지부
- 문 의 처: 경북대학교 컴퓨터공학과 유기영 교수
T. 053-950-5553