

# 화학기계적폴리싱(CMP)에 의한 층간절연막의 광역평탄화에 관한 연구

정해도\*

## A Global Planarization of Interlayer Dielectric Using Chemical Mechanical Polishing for ULSI Chip Fabrication

Hea-do Jeong \*

### ABSTRACT

Planarization technique is rapidly recognized as a critical step in chip fabrication due to the increase in wiring density and the trend towards a three dimensional structure. Global planarity requires the preferential removal of the projecting features. Also, the several materials i.e. Si semiconductor, oxide dielectric and aluminum interconnect on the chip, should be removed simultaneously in order to produce a planar surface. This research has investigated the development of the chemical mechanical polishing(CMP) machine with uniform pressure and velocity mechanism, and the pad insensitive to pattern topography named hard grooved(HG) pad for global planarization. Finally, a successful result of uniformity less than 5% standard deviation in residual oxide film and planarity less than 15nm in residual step height of 4 inch device wafer, is achieved.

**Key Words** : Global Planarization(광역 평탄화), Preferential Removal(선택제거), CMP(화학기 계적 폴리싱), Uniformity(균일성), Planarity(평탄도), Hard Grooved Pad(경질 홈형상 패드), Residual Step Height(잔류단차), Interlayer Dielectric(층간절연막)

### 1. 서론

차세대 LSI기술에 대한 기술동향은 Table 1의 로드맵<sup>(1)</sup>에서 나타내 듯이 선폭의 최소화(1차원적), 칩 및 웨이퍼의 대면적화(2차원적), 다층배선화(3차원적)와 같은 구조적 변화로 요약할 수 있다. 이와같은 반도체 LSI의 구조변화에 능동적으로 대처하기 위해 제조기술

에서도 큰 변화가 일어나고 있다. 즉, 256Mbit DRAM(최소선폭 0.25 $\mu$ m)급 이상을 로광하기 위한 KrF 엑시머레이저(파장 248nm)를 스캔방식으로 도입<sup>(2)</sup>하며, 현재 사용되고 있는 6인치 웨이퍼가 12인치로 변화됨에 따라 열처리방식이 배치(Batch)식에서 매엽식(枚葉式)으로, 잉곳절단방식이 내주날에서 와이어로 각각 변화<sup>(3)</sup>하고 있다. 성막 및 에칭에서는 플라즈마를

\* 부산대학교 기계공학과, 정밀정형 및 금형가공연구센터

활용한 화학증착법(CVD)과 반응성 이온에칭법(Reactive Ion Etching)이 등장<sup>(4)</sup>하고 있다.

한편 디바이스 구조의 3차원화는, 패턴의 고밀도화에 따른 저항용량치(RC)를 저감시킬 목적으로 배선의 다층화(Multilevel Interlayer)<sup>(5)</sup>가 시도되고 있으나 다층배선은 Fig.1과 같이 최종표면의 단차가 점차 커져 오히려 집적도를 악화시키는 요인이 된다. 따라서 디바이스를 집적하는 중간단계에서 일단 각종의 요철 표면을 평탄하게 할 필요가 있는데 이것을 평탄화(Planarization)<sup>(6)</sup>라 하고 Fig.2는 평탄화 프로세스를 나타낸다. 현재까지 평탄화 방법으로 주로 적용되어 온 것은 레지스트 에치백(Resist Etchback)이나 리플로우(Reflow) 등과 같은 순수한 화학적 방법(Fig.3)으로 디바이스 표면을 평활화(Smoothing)밖에 할 수 없었고 서브미크론 이하의 평탄도를 얻기가 거의 불가능하였다<sup>(7)</sup>. 이에 1991년 미국 IBM에서 처음으로 현재까지의 적용방법과는 전혀 다른 개념에 입각한 화학기계적폴리싱(Cheical Mechanical Polishing, 이후 CMP라 함)을 평탄화에 도입하였고<sup>(8)</sup>, 다층배선을 위한 절연막 및 금속배선의 평탄화<sup>(9,10)</sup> 등에 빠른 속도로 확산되고 있다.

그러나 현재 디바이스 메이커에서 부분적으로 적용되고 있는 CMP는 아직도 많은 문제점을 내포하고 있어, 평탄 표면을 웨이퍼 전면에 걸쳐 균일하게 갖는 광역 평탄화(Global Planarization)를 실현한다는 것은 매우 어려운 실정이다<sup>(11)</sup>. 이에 본 연구에서는 웨이퍼 전면에 대하여 광역 평탄화를 실현하기 위해, 디바이스 표면을 균일 제거할 수 있는 CMP머신 제작을 시도하였다. 그리고 CMP의 적용시에 평탄화 후의 패턴형상이 주로 기계적 제거작용에 의해 종속된다는 사실을 확인하고, 폴리싱 패드의 탄성변형에 대한 모델해석을 통해 경질 홈형상 패드(Hard Grooved Pad) 제작을 시도하였다. 실험은 시험 제작한 시스템을 이용하고 4인치 디바이스 웨이퍼의 요

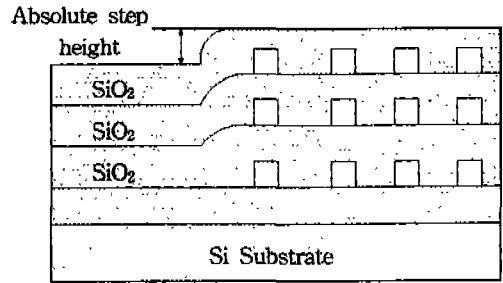


Fig.1 Increase of absolute step height in multi-level interconnect

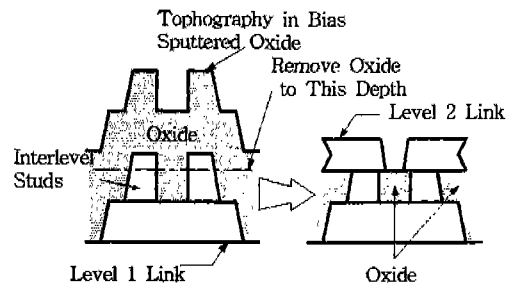


Fig.2 Schematic of planarization for interlayer dielectric

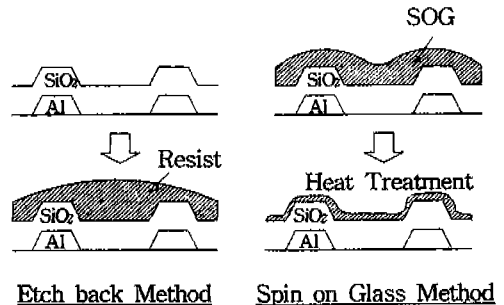


Fig.3 Conventional chemical planarization techniques

철 중간절연막을 가공하여 잔류절연막의 두께편차, 요철 단차의 평탄도 등을 살펴보았다. 특히 가공이 진행됨에 따라 변화하는 디바이스 표면의 평탄화상태를 단계별로 고찰하고 가공종점(End Point)검출의 가능성을 파악하였다.

## 2. CMP와 광역평탄화

### 2.1 CMP의 기본원리

CMP는 가공물을 탄성패드에 누르면서 상대운동시키

Table 1 Overall roadmap of ULSI devices

Year	1992	1995	1998	2001	2004	
Feature size(μm)	0.5	0.35	0.25	0.18	0.12	0.10
Gate/chip	300K	800K	2M	5M	10M	20M
Bits/chip						
- DRAM	16M	64M	256M	1G	4G	16G
- SRAM	4M	16M	64M	256M	1G	4G
Chip size(mm <sup>2</sup> )						
- Logic/μprocessor	250	400	600	600	1000	1250
- DRAM	132	200	320	500	700	1000
Wafer diameter(mm)	200	200	200 - 400			
Defect density (defects/cm <sup>2</sup> )	0.1	0.05	0.03	0.01	0.004	0.002
No. of interconnect	3	4-5	5	5-6	6	6-7

는 가공기계 상에서, 가공물과 친화력이 우수한 부식액으로 화학적제거(Chemical Removal)함과 동시에 초미립자로 기계적제거(Mechanical Removal)하는 가공법이다<sup>(12)</sup>. 일반적으로 CMP는 부직포(Felt)에 폴리우레탄을 함침시킨 연마패드를 사용하고, 그 위에 수~수십nm의 폼드실리카(Fumed silica)를 KOH 등의 알칼리성(pH10~11) 수용액에 현탁시킨 가공액(Slurry)을 공급한다. 결국 슬러리는 연마패드와 웨이퍼 사이에 존재하게 되며, 웨이퍼의 가압으로 겔(Gel) 상태의 콜로이드 실리카로 된 후, 수평방향의 상대운동에 의해 가공물 표면과 SiO<sub>2</sub>의 응착, 박리작용으로 원자·분자규모의 화학기계적 미소제거작용이 진행된다. 가공상태의 개념도<sup>(13)</sup>를 Fig.4에 나타낸다.

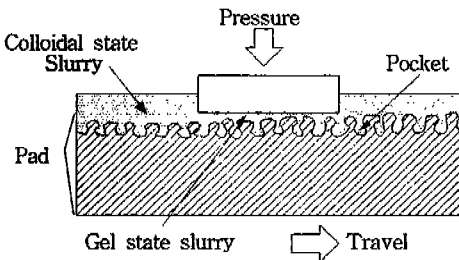


Fig.4 Schematic illustration of CMP process

## 2.2 광역평탄화의 정량적 목표치

현재 CMP를 실제 디바이스 공정에 적용하고 있는 것은 층간절연막 및 금속배선층의 평탄화가 주류를 이루고 있다. 특히 층간절연막의 요철표면을 CMP에 의해 실현시키고자 하는 광역 평탄화의 정량적 목표치를 요약하면 다음과 같다.

- ㉠적용 디바이스 웨이퍼의 직경: 6~8인치
- ㉡표면으로부터 최대가공량(두께): 1 $\mu$ m
- ㉢잔류박막의 두께편차(Uniformity): 5%STD 이하 (전면에 걸쳐 5~49점 측정, STD는 표준편차)
- ㉣가공능력(Throughput): 30장/시간 이상
- ㉤잔류단차의 광역평탄도(Global Planarity): 0.05 $\mu$ m이하 (일반적으로 최소선폭의 1/10이하)
- ㉥가공물제거속도(MRR)의 변화율: 2% 이하
- ㉦가공후 표면상태: 가공변질 및 결함이 없을 것
- ㉧세척후의 잔류 미립자: 0.3 $\mu$ m 이상이 100개 이하
- ㉨불순물 오염(Fe 등 중금속이온): 10<sup>11</sup>atoms/cm<sup>2</sup> 이하

이와같이 높은 요구목표치를 갖는 광역평탄화를 실현시키기 위해서는 먼저 웨이퍼상의 디바이스 표면을 균일하게 제거할 수 있어야 한다.

## 2.3 광역평탄화를 위한 CMP

CMP에 의해 웨이퍼상의 디바이스 표면을 광역평탄화하기 위해, 실제 웨이퍼 두께를 균일하게 하면서 한쪽 면을 경면가공 하는, 이른바 기판 웨이퍼(Substrate Wafer)의 폴리싱 방식을 그대로 적용하여 보았으나, 웨이퍼상의 디바이스 표면을 균일하게 제거가공할 수 없었다. 그 이유로서는 Fig.5와 같은 문제점이 존재하기 때문이라 생각되어진다. 즉,

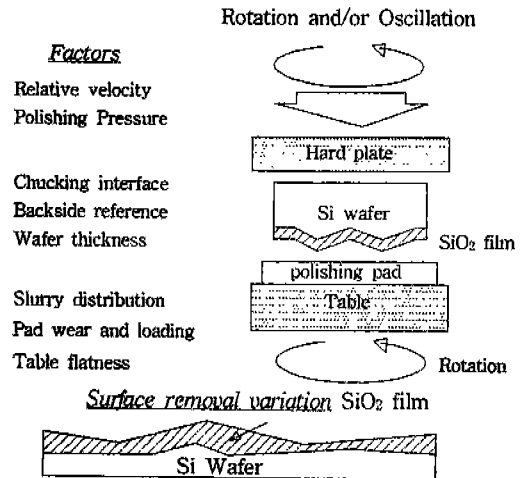


Fig. 5 SiO<sub>2</sub> film thickness deviations by using of substrate wafer polishing techniques

### 2.3.1 가공 기준면과 웨이퍼 지지법

기판 웨이퍼의 폴리싱에서는 웨이퍼 뒷면(Backside Surface)을 기준면으로하여 웨이퍼를 균일한 기판두께로 가공하나, 디바이스 패턴이 기판 웨이퍼 표면위에 일정한 두께로 형성되어 있는 CMP가공에서는 디바이스 표면이 기준면으로 교체되어야 한다. 현재 6인치 웨이퍼의 두께 편차(TTV)를 3~5 $\mu$ m정도밖에 구현하지 못하고 있는 실정으므로, 웨이퍼 뒷면기준 지지법을 적용하여서는 웨이퍼 자체 두께편차 때문에 1 $\mu$ m정도의 요철패턴박막을 균일하게 제거하는 것은 더욱 어렵다. 한편, 기판 웨이퍼의 지지법(Mounting)으로는 용융왁스에 의한 접착법(Wax Mounting)이나 진공척에 의한 고정(Vacuum Chuck Mounting)은 사용이 간편하다는 등의 잇점이 있어 널리

사용하였으나, 웨이퍼 지지면인 세라믹 원판의 평면도(요철) 및 고정시 경계면에 이물질이 혼입하기 쉽다는 단점이 있다. 따라서 캐리어 표면에 형성된 포켓에 웨이퍼를 끼워넣어 가공하는 캐리어 마운팅이 바람직하다. 단, 웨이퍼 지지면의 요철이나 이물질의 혼입에 대처하기 위해 지지면은 탄성체로 대체되어야 한다.

2.3.2 CMP머신의 기구학적 설계

기판 웨이퍼의 폴리싱머신의 경우(Fig.6), 웨이퍼를 고정된 헤드중심축을 통하여 가압됨으로 인해 폴리싱 패드를 부착한 테이블면과 정확하게 직각을 유지하기가 어렵다. 따라서 CMP머신의 가압기구에는 헤드를 전면가압할 수 있어야 하고, 회전하는 폴리싱 패드면을 따라 웨이퍼 전면을 밀착하여 균등하게 가압할 수 있도록 자유도를 갖는 구조가 바람직하다. 한편, 운동기구에는 헤드 및 테이블의 단순회전운동이 기본운동이고 슬러리의 공급을 원활하게 할 목적으로 헤드를 요동운동(Oscillation)을 부가하고 있다. 단순회전운동의 경우에는 폴리싱 패드와 접촉하는 웨이퍼면내의 모든 점, 위치에서 균일한 상대속도를 얻기가 매우 어렵기 때문에 CMP머신의 운동기구는 다른 형태의 균일한 상대속도를 얻을 수 있는 기구로 설계되어야 한다.

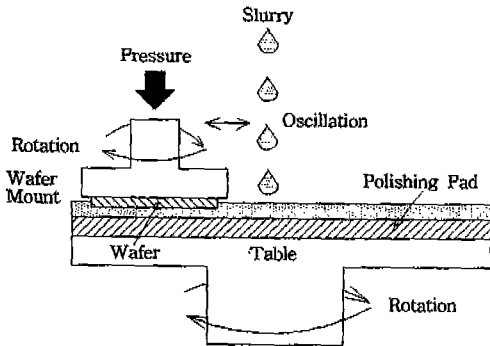


Fig. 6 A conventional polishing machine for silicon substrate wafer

2.3.3 폴리싱 패드와 슬러리

설명, 균일한 표면제거속도를 얻을 수 있는 CMP머신 상에 디바이스 표면을 가공의 기준면으로 설정하고 탄성체로 웨이퍼를 지지한다고 하더라도, 실제 가공을 유도하는 곳은 폴리싱 패드이다. 기판 웨이퍼의 폴리싱에 주로 적용되어 왔던 패드는 유연한 부직포 함침 발포 우레탄패드로서, 비교적 사용이 용이하나 표면평탄도가 낮고 탄성 변형하기 쉽다는 결점이 있다. 특히 장시간 사용할 때에

눈막힘(Glazing)이라고 하는 피가공물의 마모성분과 슬러리의 혼합물이 패드표면에 고체정체화현상을 유발시켜 가공능률을 저하시킨다. 물론 이러한 눈막힘현상은 전착 다이아몬드 연삭숫돌에 의한 드레싱(Dressing)에 의해 새로운 패드면이 생성되나, 드레싱 시점 및 연삭숫돌입자의 탈락 등에 의해 많은 문제점을 남기고 있다. 한편, 이 패드표면에 공급된 슬러리는 주로 웨이퍼의 가장자리에는 원활하게 침투하여 화학기계적 제거작용이 왕성하게 일어나나 웨이퍼의 중심부에는 상대적으로 적은 양이 침투되고 반응생성물이 원활하게 제거되지 못하는 이유로 인해 웨이퍼 표면제거량에 상당한 차이를 발생시킨다. 이것은 웨이퍼 직경이 클수록 더욱 심각하다. 따라서 CMP용 패드는 디바이스 표면에 결함을 발생시키지 않을 정도의 경질재료를 사용하여 높은 평탄도로 제조되어야 한다. 또한 드레싱이 필요없고 새로운 슬러리가 웨이퍼 중심부까지 원활하게 공급된 후 가공생성물 역시 정제되지 않고 빨리 배출될 수 있는 구조로 제조되는 것이 바람직하다.

3. 실험장치 및 실험조건

3.1 실험장치

Fig.7은 앞에서 지적한 점들을 구체화하여 균등한 압력과 균일한 속도분포가 보장되는 CMP머신을 도식적으로 나타낸 것이다. 우선, 디바이스 패턴과 같은 대소조밀한 표면형상을 폴리싱하기 위해서 가공기준면을 디바이스 표면으로 설정(Front Surface Reference)하였다. 그리고 균등가압을 위해 파스칼의 원리에 근거한 정수압으로 웨이퍼 뒷면을 눌러(2N/cm<sup>2</sup>이하), 웨이퍼 자신이 갖는 변형(Warp)과 기판두께편차가 존재하더라도 균일한 표면제거가 일어나도록 디바이스 표면을 패드표면에 밀착시켰다. 한편 웨이퍼의 패드에 대한 상대속도기구에 대해서는, 폴리싱 패드정반을 단순회전시키는 것이 아니라, 웨이퍼의 어떤 점, 위치에서도 동일한 소원운동궤적(Small Circle Locus, 편심반경 30mm이하)를 그려서, 임의의 균일한 상대속도를 얻을 수 있는 운동기구를 도입하였다. 그리고 최대가공량이 1μm이하인 점을 감안하여 원주속도를 현재의 수십m/min이상에서 수m/min(100rpm)이하로 낮추어 고속에서 발생하기 쉬운 진동, 시스템의 불안정 등의 문제점에 대처하였다. Fig.8은 시험제작한 균일표면제거 CMP머신 본체의 외관사진을 나타낸다. 가공물은 4인치 웨이퍼를 4장 균등배치하여 동시가공할 수 있고, 정반은 직경 480mm의 주철원판이다. 동분포 가압기구

는 물 또는 공기를 넣은 얇은 탄성막(두께 0.1~0.3mm 의 실리콘 고무)이 웨이퍼를 누르도록 설계하였다.

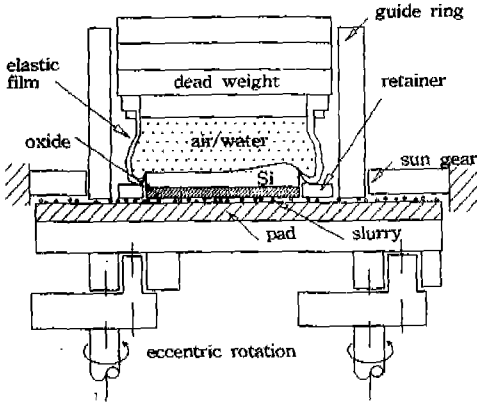


Fig. 7 Schematic of developed CMP machine with uniform pressure and velocity mechanism

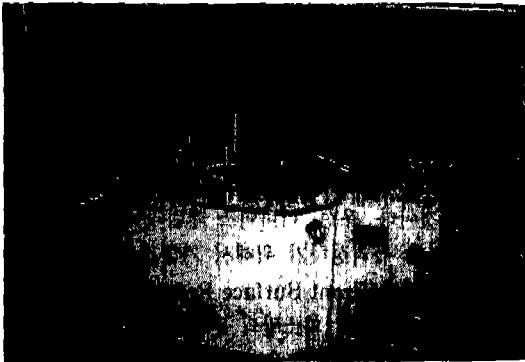


Fig. 8 View of developed CMP machine for uniform surface removal

### 3.2 실험조건

Table 2는 실험조건을 나타낸다. 먼저, CMP머신에 의한 표면제거특성을 살펴보기 위해 기관웨이퍼 표면에 균일한 두께의 산화막이 증착되어 있는 CVD SiO<sub>2</sub> Blanket Wafer를 이용하였다. 한편, 요철절연막에 대한 광역평탄화실험에 사용한 디바이스 웨이퍼는, 기관 웨이퍼 표면에 디바이스 패턴이 형성되고, 요철면을 따라 절연막인 CVD SiO<sub>2</sub>가 증착되어 있다. 결국, 디바이스 표면의 요철단차는 디바이스 패턴의 초기단차와 같다. CMP조건은 태양치차의 회전수 10rpm, 패드정반에 대한 편심소원운동 반경 10mm 및 회전수 50rpm, 가압력

12kgf이다. 슬러리는 초미립자 SiO<sub>2</sub> 현탁액(SiO<sub>2</sub> 21vol%, pH10.2, 비중1.01, 점도36cps, 평균입경10~20nm)을 사용하였다. 실험결과는 잔류막두께를 박막계(Spectramap SM200/e, Prometrix제품)로, 가공표면의 상태를 비디오 마이크로스코프(OVM100NM, Olympus제품)로, 잔류단차를 접촉식 표면조도계(Surfest 701, Mitsutoyo제품)로 각각 측정평가하였다.

Table 2 Experimental conditons

Machine	Developed CMP machine	
	Eccentric motion	Rotation speed 50rpm, Radius 10mm
	Load	12 kgf
Consumables	Slurry	Colloidal SiO <sub>2</sub> (SiO <sub>2</sub> 21vol%, pH10.2, grain size10~20nm)
	Pad	<ul style="list-style-type: none"> <li>Soft(polyurethane) artificial leather</li> <li>Hard(polyamide)/soft(polyurethane) double layered pad</li> <li>Hard(PVC) grooved pad</li> </ul>
Specimen		<ul style="list-style-type: none"> <li>Blanket CVD SiO<sub>2</sub> film on Si substrate (4 inch wafer)</li> <li>Interlayer dielectric on Si pattern topography(4 inch wafer)</li> </ul>
	Film thickness meas	Spectramap SM200/e [Prometrix]
Measurements	Profilometer	Surfrest 701 [Mitsutoyo]
	Video microscope	OVM100NM [Olympus]

## 4. CMP용 패드

### 4.1 패드의 탄성변형 해석

Fig.9는 CMP에 의한 요철절연막의 평탄화에 대한 개념도를 나타낸다. 현재 시판되고 있는 패드의 대부분은 연질 폴리우레탄계가 대부분이고 이것을 사용하여 요철 절연막을 평탄화할 경우, 패드가 요철 표면을 따라 탄성 변형하게 된다. 따라서 돌출부에 압력이 집중되고 상대적으로 높은 표면제거속도로 제거된다. 그리고 돌출부가 가공되어 감에따라 접촉면적은 점차 증가하여 부분제거속도는 감소해 간다. 패드의 탄성변형 해석은 탄성체의 "Indentation" 이론을 도입하여 다음의 가정하에서 이루어졌다.

- 1)슬러리에 의한 폴리싱은 기계적 및 화학적 제거작용이 있지만 기계적 제거작용만을 고려한다.
- 2)가공하려는 웨이퍼는 강체(Rigid Body)로서 간주한다.
- 3)가공중의 디바이스 웨이퍼를 정적평형상태하에서 생각한다.

정적평형상태하에서 가압된 패턴의 돌출부는 패드를 침입(Penetration)한다. 강체의 압입물(Indentor)을 탄성체에 밀어넣는 Fig.10과같은 모델이 설정된다. 즉, 압입물로부터의 하중P가 탄성체에 가해져, 탄성변형영역이

형성된다. 하중의 수직방향으로  $\delta_v$ , 수평방향으로  $\delta_h$ 만큼 변형되어 일정한 변형경사각  $\theta$ 를 갖는 오목부가 생기고 정적평형으로 된다. 하중P가 가해진 패드의 표면하부 변형요소는 수직방향만 구속되어 있기 때문에 수직응력  $\sigma_x$ 만 존재한다.

$$\sigma_x = -P/A, \sigma_y = \sigma_z = \tau_{xy} = \tau_{yz} = \tau_{zx} = 0 \quad (1)$$

3축방향의 변형을  $\epsilon$ 는 응력-변형을 관계식으로부터 다음과 같이 구해진다.

$$\begin{aligned} \epsilon_x &= [\sigma_x - \nu(\sigma_y + \sigma_z)]/E = \sigma_x/E \\ \epsilon_y &= [\sigma_y - \nu(\sigma_z + \sigma_x)]/E = -\nu\sigma_x/E \\ \epsilon_z &= [\sigma_z - \nu(\sigma_x + \sigma_y)]/E = -\nu\sigma_x/E \\ \gamma_{xy} = \tau_{xy}/G = \gamma_{yz} = \tau_{yz}/G = \gamma_{zx} = \tau_{zx}/G &= 0 \end{aligned} \quad (2)$$

3축방향의 변형을 이용하여 패드의 수직탄성변형량  $\delta_v$ 와 변형경사각  $\theta$ 의 근사치가 구해지고 또한 이들로부터 수평탄성변형량  $\delta_h$ 를 얻을 수 있다.

$$\begin{aligned} \delta_v &= \epsilon_x T = -\frac{PT}{AE} \\ \theta &= \sin^{-1} \epsilon_y = \sin^{-1} \epsilon_z = \sin^{-1} \frac{\nu PT}{AE} \\ \delta_h &= \frac{\delta_v}{\tan \theta} \approx \frac{\delta_v}{\theta} \end{aligned} \quad (3)$$

여기서 A는 패턴 돌출부와 패드간의 접촉면적을, T는 패드의 두께를, E는 패드의 영률을,  $\nu$ 는 포아송비를 각각 나타낸다.

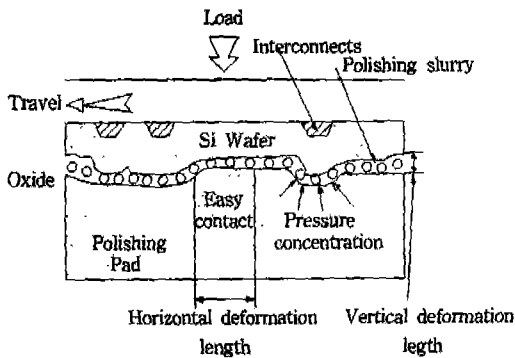


Fig. 9 Deflection of pad elastically deformed by instantaneous pattern topography

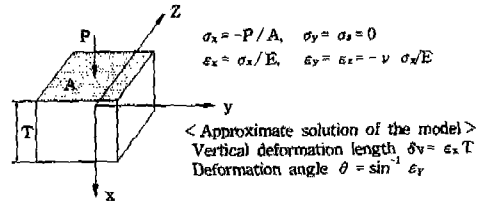
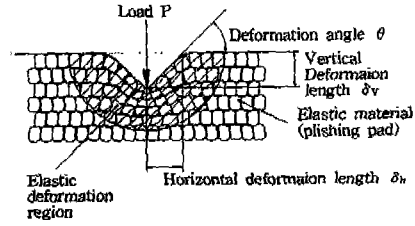


Fig.10 Schematic of "Indentation" of elastic body

#### 4.2 시판용 연질패드와 탄성변형량

앞절에서 구한 계산식을 실제 시판되고 있는 CMP용 패드에 적용하여 탄성변형량을 산출해 보았다. 본 실험에 사용한 4인치 디바이스웨이퍼의 경우, 하중P 12kgf를 가했을 때의 실제 패턴 돌출부와 패드가 접촉하는 면적은 웨이퍼 전면적의 6%에 지나지 않는다. 따라서 돌출부의 단위면적당 하중w는 0.3N/mm<sup>2</sup>로 일정하게 된다. 연질의 폴리우레탄을 발포시킨 인공피혁패드(영률 E 20N/mm<sup>2</sup>, 포아송비  $\nu$ 0.5, 두께 200 $\mu$ m)의 경우, 수직탄성변형량  $\delta_v$ 가 3 $\mu$ m이고 수평탄성변형량  $\delta_h$ 가 400 $\mu$ m이었다. 이 패드를 사용하여 CMP를 할 경우, 절연막의 돌출부를 선택적으로 제거할 수 없고 평활화(Smoothing)밖에 할 수 없음을 예측할 수 있다. 그래서 Fig.11의 경연질 2층구

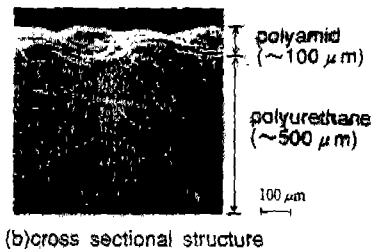
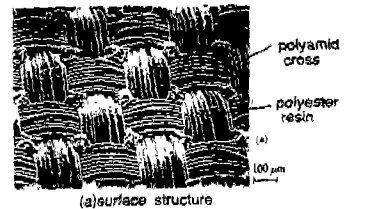


Fig.11 SEM micrograph of hard/soft double layered pad

조패드(윗층:경질 폴리아미드 크로스, 아래층:폴리우레탄, 영률 E 500N/mm<sup>2</sup>, 포아송비  $\nu$ 0.4, 두께 600 $\mu$ m)에 대해 계산한 결과, 수직탄성변형량  $\delta_v$ 가 0.36 $\mu$ m이고 수평탄성변형량  $\delta_h$ 가 1500 $\mu$ m로 인공피혁패드에 비해 매우 감소하였다. 그러나 요철 절연막의 초기단차가 1 $\mu$ m이고 광역평탄화를 위해 요구되는 잔류단차가 0.1 $\mu$ m이하임을 고려할 때 탄성변형량이 보다 작은 패드가 필요하다. 그러나 이 값들은 앞절에서 서술한 가정하에서 유도된 계산치이고 특히 화학적 제거작용에 대해 고려되지 않았기 때문에 실제 CMP에 의한 요철절연막의 잔류단차와는 다소 차이가 있을 것으로 예상된다.

### 4.3 경질 홈형상 패드

Fig.12는 탄성체의 "Indentation"이론을 바탕으로 시험제작한 경질 홈형상 패드의 표면구조와 사양을 나타낸다. 패드형상에 따른 패드의 탄성변형량을 극소화하기 위해, 영률 E가 큰 플라스틱 재료를 사용하여 탄성변형에 의한 영향을 극소화하였다. 제작한 패드의 재질은 영률 E가 2.7GPa(기판웨이퍼의 폴리싱 패드에 비해 수백배)인 고품의 경질 염화비닐(PVC:Poly Vinyl Chloride)이며, 이 유기고분자 재료를 직경 480mm, 두께 12mm의 원판상으로 기계가공하였다. 그리고 슬러리를 균일하게 분포시키고 가공생성물을 가능한 빨리 배출시키기 위해, 원판 PVC표면에 폭 0.5mm, 피치(간격) 2mm의 홈(단면형상:역삼각형)을 나선형(Spiral)으로 가공하였다.

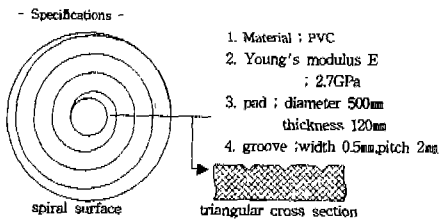


Fig.12 Specifications of hard grooved pad

## 5. 실험결과 및 고찰

### 5.1 블랭킷(Blanket) 절연막의 평탄화

먼저, 시험제작한 CMP머신의 균일표면제거특성을 평가하기 위해 CVD SiO<sub>2</sub> Blanket Wafer를 이용하였다. 웨이퍼 기판자체의 두께편차(TTV)가 약 6 $\mu$ m이고, 절연막 두께 8000Å의 표준편차( $\sigma$ 수평 및 수직 15군데 측

정)가 54Å이다. 그리고 이때 적용한 패드는 경연질 2층 구조의 크로스패드를 사용하였다. Fig.13은 이 절연막을 20분간 폴리싱하여 3000Å정도 제거된 후의 잔류절연막의 두께분포를 나타낸다. 잔류절연막의 두께편차가 156Å으로 광역평탄화의 목표치인 5%STD의 범위에 있음을 알 수 있다. 이것은 웨이퍼 표면기준에 의한 균등가압 및 균일속도기구가 매우 유효적절함을 의미한다. 특히 웨이퍼 기판자체의 두께편차가 6 $\mu$ m정도 있음에도 불구하고, 절연막이 균일하게 제거되었다는 사실이 주목된다.

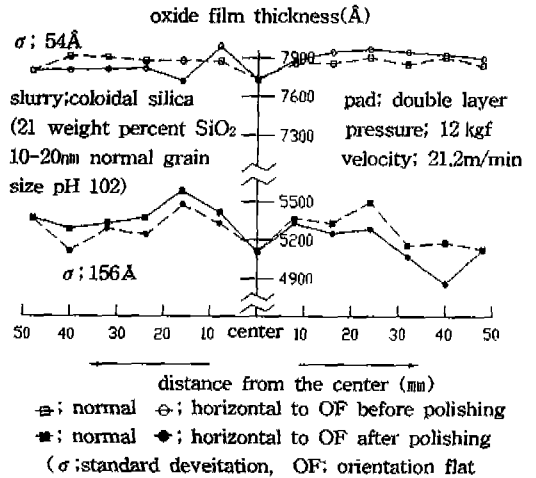


Fig. 13 Uniformity on blanket films of silicon dioxide before/after CMP

### 5.2 연질 패드에 의한 요철 절연막의 평탄화

실험에 이용한 시료는 Fig.14에 나타내 듯이 요철단차 D가 1 $\mu$ m이고 폭W가 10 $\mu$ m, 100 $\mu$ m, 1000 $\mu$ m 및 5000 $\mu$ m인 Si 패턴 위에 CVD SiO<sub>2</sub> 막두께 T1.5 $\mu$ m를 균일하게 증착하여 절연막의 요철단차H도 1 $\mu$ m이다. 본 실험에서는 요철폭이 동일한 것을 이용하였기 때문에 실제 디바이스 패턴의 대소조밀함이 평탄화에 미치는 영향과는 다소 차이가 있으나, 그 경향은 어느정도 예상할 수 있다고 생각된다. Fig.15는 실험결과를 나타낸다. 절연막의 요철단차 폭W가 5000 $\mu$ m인 경우, 돌출부의 제거속도가 오목부에 비해 매우 높기 때문에 1 $\mu$ m의 돌출부가 거의 제거되었을 때 오목부는 0.1 $\mu$ m밖에 제거되지 않았다. 또한 잔류단차가 소실되기 위해서는 오목부의 제거량이 0.3 $\mu$ m정도 요구된다. 이것은 하부의 Si 돌출부가 출현하기 전에 요철절연막이 평탄면이 되었기 때문에 비교적 바람

직한 광역평탄화가 얻어졌다고 말할 수 있다. 그러나 절연막의 요철단차 폭W가 1000 $\mu\text{m}$ 인 경우, 오목부에 대한 돌출부의 제거속도가 약간 저하하고 돌출부의 절연막이 전부 제거되기 직전까지 잔류단차가 0.05 $\mu\text{m}$ 정도 존재하였다. 초기요철단차의 폭W가 작아질수록 광역평탄화 특성이 악화되는 경향이 있음을 알 수 있었다. 한편, 보다 폭W가 작아진 10 $\mu\text{m}$ 의 경우에는 오목부에 대한 돌출부의 제거속도가 거의 동일하게 되어 오목부의 절연막이 0.4 $\mu\text{m}$ 정도 제거되어도 절연막의 잔류단차가 0.6 $\mu\text{m}$ 정도 존재하였다. 대소조밀한 실제의 디바이스에서는 이러한 불균일한 표면제거경향이 동시에 발생되므로 광역평탄화는 매우 어렵다. Fig.16은 입자지름 10~20nm 정도의 SiO<sub>2</sub> 슬러리를 인공피혁 패드표면에 공급하면서 실제의 디바이스 웨이퍼(초기요철단차H 1 $\mu\text{m}$ , 폭W 100 $\mu\text{m}$ 이내)를 일정시간 가공했을 때, 가공전후의 표면 및 단면 형상을 나타낸다. 가공전과 비교하여 평활화되었을 뿐 단차의 변화는 거의 없었다. 따라서 균일표면제거 CMP머신상에서 가공을 하여도 시판되는 연결패드를 사용할 경우, 패턴형상의 대소조밀에 비례하여 표면제거속도가 달라지기 때문에(Pattern Sensitivity), 광역평탄화를 실현할 수 없음을 알았다.

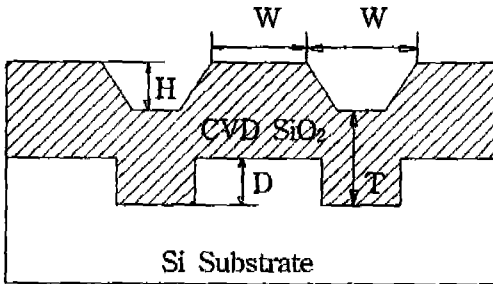


Fig.14 Dimensions of pattern topography used in planarization experiment

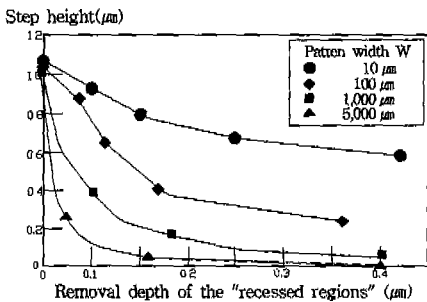


Fig.15 Dependence of residual step height upon pattern width

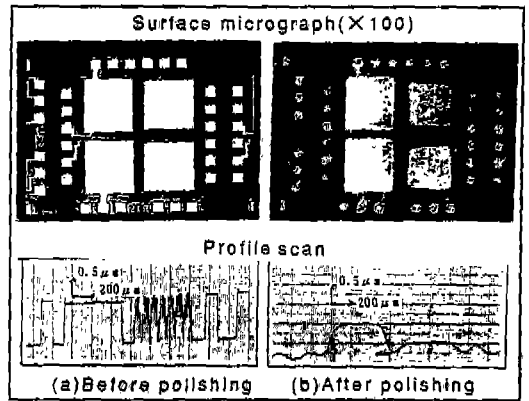


Fig.16 One example of planarization using a soft CMP pad

### 5.3 경질 홈형상 패드에 의한 요철 절연막의 광역평탄화

Fig.17은 경질 홈형상 패드를 이용한 CMP에 의해 대소조밀한 요철 절연막이 평탄화된 상태를 나타낸다. 가공전(a)의 초기단차가 0.6 $\mu\text{m}$ 인 돌출부의 표면형상이 정사각형(100 $\mu\text{m} \times 100\mu\text{m}$ )인 것, 직사각형(20 $\mu\text{m} \times 1000\mu\text{m}$ )인 것들로 구성되어 있다. 돌출부 표면으로부터 0.5 $\mu\text{m}$ 정도 제거하였을 때의 단면형상을 측정한 결과(b), 표면형상의 대소조밀과는 무관하게 돌출부만이 선택적으로 균일하게 제거되어 있음을 알 수 있었다. 가공을 더 진행

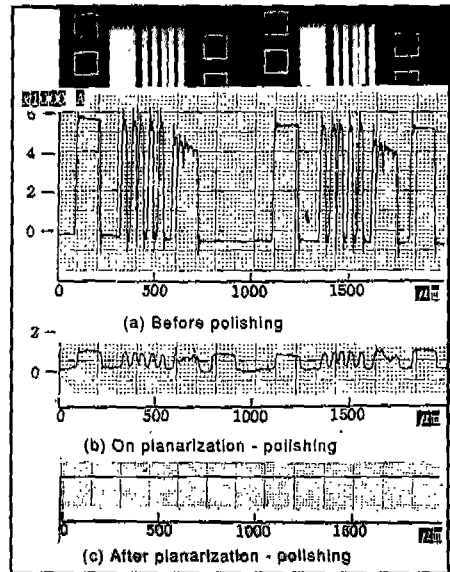


Fig.17 Local planarization using hard grooved pad insensitive to pattern topography



시킨 결과(c), 최종적으로 하나의 칩(Chip) 내의 잔류단차 즉, 국소평탄도(Local Planarity)가 10nm이하인 완전 평탄면을 얻을 수 있었다. 이것은 경질 흡형상 패드가 요철형상에 따라 거의 변형하지 않기(Insensitivity to pattern topography) 때문에 얻을 수 있었던 결과라고 생각된다. 결국, 대소조밀한 요철절연막을 갖는 디바이스 웨이퍼의 평탄화가공에는 시험제작한 경질 흡형상 패드가 매우 효과적임이 확인되었다.

디바이스 제조시의 불량율을 고려하여, 칩 내부 뿐만 아니라 웨이퍼 전면에 대한 광역평탄도도 동시에 향상되어야 한다. 현재 디바이스 메이커가 요구하는 광역평탄도는 최소선폭의 10%이하(64M DRAM의 경우 35nm)이므로, 향후 최소선폭이 더욱 작아지는 Gbit급 이상의 차세대 LSI에 대해서는 그 요구정도가 더욱 엄격해지리라 생각된다. Fig.18은 Fig.17의 결과를 웨이퍼 표면의 5군데에 대해 측정하여 나타낸 것으로, 약 15nm정도의 광역평탄도를 얻을 수 있었다.

평탄화가공 공정이 다음 디바이스 제조공정과 원활하게 연계되기 위해서는, 가공종점단계에서 제거량이 엄격하게 지켜져야 한다. 즉, 평탄화 종점(End Point)의 정확성을 기하기 위해서는, 보다 적절한 검출법이 필요하다. 현재까지 발표되어 있는 검출법<sup>(14)</sup>으로서는, ①정전용량 센서 등에 의한 인프로세스 계측법 ②디바이스 내에 가공하기 힘든 스톱퍼(Stopper)를 형성시키는 방법 ③가공시간 제어법 등이 제시되어 있다. 그러나, 가공속도의 선형성(Linearity) 및 재현성(Repeatability)이 양호하다면, ③의 가공시간제어가 평탄화 종점을 파악하기 위해서는 가장 유리하다. 그래서 평탄화 종점의 정확성을 파악기

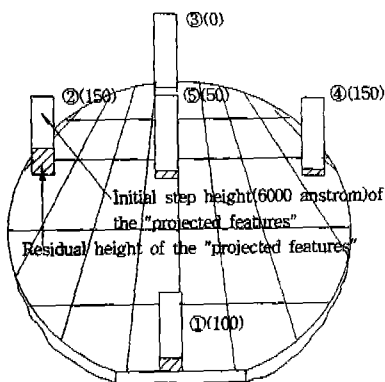


Fig.18 Global planarization for 4 inch device wafer using hard grooved pad

위한 일환으로, CMP 가공에 의한 표면제거속도가 다른 각 단계별로 가공속도의 선형성을 파악·고찰하였다.

Fig.19는 가공시간에 대한 디바이스 표면의 제거량을 나타내고, 그 가공속도는 표면형상이나 재질에 따라 차이가 있다. 즉 요철산화막의 돌출부만을 선택적으로 제거하는 1단계에서는 40nm/min의 가공속도가 얻어졌다. 그 후, 평탄하게 된 산화막만을 제거하는 2단계에서는 13nm/min로 1단계에 비해 1/3정도의 가공속도를 얻었다. 이것은 가공면적이 넓어져 단위면적당 가공압력이 감소하였기 때문이라고 생각된다. 가공이 더욱 진행되어 오픈부 산화막(SiO<sub>2</sub>)과 실리콘 패턴(Si)을 동시에 제거하는 3단계에서는 30nm/min로 산화막에 비해 가공하기 쉬운 실리콘 패턴이 출현했기 때문에 2단계에 비해 2배의 가공속도가 얻어졌다. 2단계 제거후에 출현한 실리콘 패턴 상부에 발생하는 화학 혹은 자연산화막은 수Å 정도의 두께를 갖는다고 하나, 3단계에서 쉽게 제거된다. 그리고 가공종료후에는 세정액중에서 보관 뒤 한정된 시간 내에 다음 공정에 적용되게 한다. 한편 3단계의 초기에 해당하는 평탄화 종점까지의 가공시간은 33분이 걸렸다. 이와같이 CMP에 의한 가공특성이 다른 각 단계에서 가공속도를 조사한 결과, 표면형상과 재질의 차이에 따라 3배정도의 차이가 있으나 가공속도의 선형성은 매우 양호함을 알 수 있었다. 따라서 각 단계의 소요가공시간을 정확히 파악하면 평탄화 종점을 검출할 수 있다. 그러나, 다종의 디바이스 및 다양한 가공조건에 대하여 종점까지의 소요시간을 일률적으로 결정할 수 없기 때문에 예비실험을 통하여 파악할 필요가 있다.

CMP에 의한 광역평탄화를 실현하기 위해 요구되는 또 다른 중요한 특성은, 연속가공에 대한 재현성이다. 연속

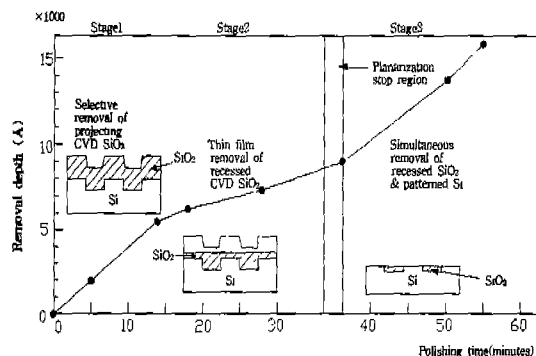


Fig.19 Linearity of planarization rate in each polishing steps using SiO<sub>2</sub> slurry

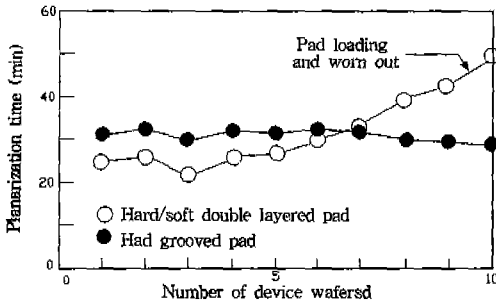


Fig.20 Comparison of planarization time between hard/soft double layered pad and hard grooved pad

가공에 의해 패드는 점차 눈막힘이 생겨 가공능률이 저하된다. 재현성을 유지하기 위해서 작업자가 감각적으로 전착 다이아몬드 스톨로 드레싱을 해 주고 있으나, 근본적인 해결책이 되지 못하고 패드를 손상시키거나 탈락된 다이아몬드 입자가 웨이퍼 표면에 치명적인 결함을 유발시키는 많은 문제점을 갖고 있다. Fig.20에 경질 홈형상 패드와 경연질 2층구조패드를 사용하여 연속가공시에 평탄화 중점까지의 소요가공시간을 비교하였다. 경연질 2층구조패드를 사용한 경우, 평탄화 중점까지의 소요가공시간이 가공초기 30분 걸렸으나, 가공횟수가 증가할수록 길어져서 10회째의 웨이퍼를 가공할 때에는 약 1시간 정도 걸렸다. 이것은 패드의 눈막힘과 열화등이 가공능률을 저하시켰기 때문이라고 사료된다. 그러나 개발한 경질 홈형상 패드를 사용한 경우에는 가공횟수가 증가하여도 일정한 가공능률을 유지하였다. 이것은 CMP에 의해 제거된 가공생성물을 나선상의 홈에 수용하고 홈을따라 이동시켜 배출시키므로 패드의 눈막힘이 발생하지 않았기 때문이라고 사료된다. 따라서 개발한 홈형상 패드는 드레싱할 필요가 없고 반영구적으로 사용할 수 있으며 현재 실용화를 서두르고 있다.

### 6. 결 론

본연구는 차세대 반도체 칩 제조를 위해 필요불가결한 광역평탄화를 실현하기 위해, 기계 가공법중에서 가장 유력한 수단으로서 알려져 있는 CMP법을 중심으로 가공원리, 가공장치와 공구개발 및 그 효과등에 대하여 서술하였다. 그 결과, 저자에 의해 독창적으로 고안개발된 가공시스템이 광역 평탄화(Global planarization)를 실현가능케 하는 유력한 기술이 될수 있음을 실험을 통해서 명확히 했다.

### 후 기

본 연구는 부산대학교 정밀정형 및 금형가공 연구센터의 지원에 의하여 수행되었으며, 이에 감사를 드립니다. 아울러 원활한 연구수행을 위해서 CMP용 소모품을 공급하여 주신 일본 Rodel Nitta 관계자에게도 감사를 드립니다.

### 참 고 문 헌

1. S.Davis, 1994, Sematech, Austin, TX, USA.
2. 荒木 謙, 松橋 郁夫, "半導體製造裝置業界-多層配線化の進展とCMP法登場に注目," NRI證券調査レポート, Vol.96, No.37, pp.1-40, 1996.
3. 高須新一郎, "大口徑ウエハの諸問題," 月刊 Semiconductor World, 4月號, pp.118, 1990.
4. G.C.Schwartz, "Reliability of Semiconductor Devices and Interconnection and Multilevel Metallization, Interconnection, and Contact Technology," The Electrochemical Society Softbound Proceedings Series, pp.493-496, 1989.
5. Y.Arita, Y.Awaya, K.Ohno, and M.Sato, "Copper Metallization Technology for Deep Submicron ULSIs," MRS Bulltin, August, pp.68-74, 1994.
6. M.B.Small, D.J.Pearson, "On-chip wiring for VLSI: Status and directions," IBM Journal of research and development, vol.34, No.6, 1990.
7. W.Patrick, W.Guthrie, C.Standley, and P.Schaible, "Application of Chemical Mechanical Polishing to the Fabrication of VLSI Circuit Interconnections," Journal of Electrochemical Society, Vol.136, No.6, pp.1778-1783, 1991.
8. C.W.Kaanta, S.G.Bombardier, W.J.Cote, W.R.Hill, G.Kerszykowski, H.S.Landis, D.J.Poindexter, C.W.Pollard, G.H.Ross, J.G.Ryan, S.Wolff, and J.E.Cronin, "Dual Damascene: A ULSI Wiring Technology," IEEE-VMIC Conference, pp.144-152, 1991.

9. R.Uttecht and R.Geffken, "A Four-level Metal Fully Planarized Interconnect Technology for Dense High Performance Logic and SRAM Applications," IEEE-VMIC Conference, pp.464-470, 1991.
10. J.F.Wang, A.R.Sethuraman, L.M.Cook, D.R.Evans and V.L.Shannon, "Chemical Mechanical Polishing of Copper Metallized Multilevel Interconnect Devices," IEEE-VMIC Conference, pp.505-507, 1995.
11. 有田睦信, "インプロセス平坦化技術の最新動向と今後の展開", Break Through Seminar Proc. No.4, pp31-39, 1993.
12. 茂木克己, "次世代多層デバイスのCMP研磨", 砥粒加工學會誌, Vol.38, No.3, pp17-20, 1994.
13. 土肥俊郎, "超精密ポリッシング(研磨)技術によるデバイスのプラナリゼーションへの試み", リアライズ社最新技術講座資料集, 1993.
14. 丁海島, "砥粒加工によるデバイスウエハのプラナリゼーションに関する研究", 東京大學博士學位論文, 1994.