[논 문] 한국재료학회지
Korean Journal of Materials Research
Vol. 6, No. 7 (1996)

Co 단일막과 Co/Ti 이중막을 이용한 Co-실리사이드의 형성 연구

장지근 · 엄우용 · 장호정 · 홍성수* · 송진태*

단국대학교 전자공학과
*한양대학교 재료공학과

Formation of Co-silicides using Co Single Layer and Co/Ti Bilayer

G. K. Chang, W. Y. Ohm, H. J. Chang, S. S. Hong* and J. T. Song*

Dept. of Elec. Eng., Dankook Univ.

**Dept. of Material Eng., Hanyang Univ.*

초 록 n-type Si (100) 웨이퍼를 precleaning하고 HF 용액에 dip etching한 후 E-beam evaporator에 장착하여 Co 단일막(170Å, 340Å)과 Co/Ti 이중막(200Å/(50~100)Å)을 성장시켰다. 시편의 RTA 과정에서는 N_2 분위기에서 direct annealing 방식으로 열처리 온도와 시간을 변화시켜가며 Co-silicidation 공정을 수행하였다. Co 단일막으로 형성된 Co-실리사이드의 면저항은 500℃ ≤ T ≤ 850℃ 범위에서 열처리 온도와 시간의 변화에 관계없이 거의 일정한 값을 나타내었다. Co/Ti 이중막의 경우 Co-실리사이드의 형성온도가 Co 단일막의 경우에 비해 높게 나타나고 낮은 비저항의 $CoSi_2$를 얻기 위해서는 800℃ 이상의 온도로 열처리해야 함을 알 수 있었다. XRD 분석결과, Co 단일막으로부터 얻어진 $CoSi_2$는 (111) 및 (220) 결정상을 나타내었으나, Co/Ti 이중막에 의한 $CoSi_2$는 (200) 결정상만이 나타나서 Si(100) 기판과 에피층을 이루고 있음을 알 수 있었다. 본 실험에서 $CoSi_2$의 비저항은 약 18 $\mu\Omega$ · cm로 나타났으며, TEM 및 AES 분석으로부터 Co/Ti bilayer-실리사이드가 다량의 Si과 Ti외에 소량의 Co가 섞여있는 표면 복합층과, Si과 Co만이 존재하는 내부 에피층으로 구성됨을 확인하였다.

Abstract The substrates, n-type Si (100) wafers were subjected to standard cleaning procedures followed by a diluted HF solution dip immediately prior to loading into the UHV chamber. Thin Co films(170 Å, 340 Å) and Co/Ti bilayer films(200 Å/(50~100) Å) were deposited on the substrates by E-beam evaporation with the base pressure of 4×10^{-6} Torr. Co-silicidations of each sample were performed by direct annealing over a range of temperatures(T=450℃~850℃) and times(t=10~50sec) with N_2 ambient in a RTA system. The sheet resistances of Co-Silicides formed from Co films exhibited nearly constant values due to the formation of $CoSi_2$ crystalline phases regardless of annealing temperature and time in a range of 500℃ ≤ T ≤ 850℃. For Co/Ti bilayer films, the stable $CoSi_2$ phases with low resistivity could be obtained above the annealing temperature of 800℃. The XRD spectra showed the (200) oriented epitaxial growth of $CoSi_2$ on the Si (100) substrate for Co/Ti bilayer-silicides, while the (111) and (220) oriented growth for $CoSi_2$ formed from Co films. The resistivities of $CoSi_2$ obtained from our experiments were approximately 18 $\mu\Omega$ · cm. From TEM micrographs and AES profiles, we could observe that the Co/Ti bilayer-silicides were composed of a Co-Ti-Si compound layer at the surface and a $CoSi_2$ epitaxial layer on the substrate.

1. 서 론

VLSI 소자가 submicron 스케일로 초미세화 되면서 short channel 현상을 줄이기 위해 source-drain의 접합깊이를 0.1㎛ 이하의 ultra shallow junction으로 실현하려는 연구가 진행되고 있다[1,2]. 그러나 소자의 규격이 엄격해질수록 접합의 면저항과 poly Si 게이트 전극의 배선저항, 금속-반도체간의 접촉저항 증가로 나타나는 기생저항의 크기는 소자의 안

정적 동작을 제한하는 중요한 요인으로 대두된다[3,4]. 이에 따라 낮은 저항의 신뢰성있는 VLSI 소자를 제작하기 위해 salicide(self aligned silicide) 기술이 개발되었다[5,6].

salicide 기술은 실리사이드 박막이 실리콘이 노출된 영역에서 선택적으로 형성되어 poly Si 게이트 전극의 배선저항을 감소시킬 뿐만 아니라 source-drain 접합이 형성된 전체 Si 표면을 금속 접촉면으로 전환함으로 접합면의 면저항과 금속의 접촉저항을 줄일 수 있다. 그러나 실리사이드는 실리콘과 단일박막 금속의 반응에 의해서 형성됨으로 실리사이드 박막의 두께만큼 실리콘이 소모된다. 이것이 접합깊에 실리사이드의 두께를 더하는 결과를 가져옴으로 얕은 접합을 어렵게 할 뿐만 아니라 silicide/Si 계면이 거칠어 면저항 값이 불균일하고 응집(agglomeration)에 따른 열적 불안정성과 금속-도펀트 화합물의 형성 등으로 인해 VLSI 제작에 salicide 기술을 적용하기는 매우 어렵다[7~9]. 현재의 salicide 기술에서는 $TiSi_2$가 일반적으로 이용되고 있는 데, $TiSi_2$는 다른 실리사이드에 비해 재료의 낮은 비저항, Si과의 양호한 오옴성 접촉 등의 장점을 가지나 Si내의 도펀트와 화합물(예로, TiB_2/TiAs)을 형성하여 doped Si의 degradation을 유발하는 문제점을 안고 있다[10,11] 또한 $TiSi_2$는 Si/silicide 계면에서의 자연산화막, 금속 증착시의 잔여산소와 dopant 종류 및 양에 따라 성장 상태가 급격히 변화하는 등 공정조건에 매우 민감하며, 열처리 후 silicide의 다결정화로 인해 응집이 발생하고 이에 따른 면저항의 증가, surface roughness 등도 해결되어야 할 문제점으로 남아 있다. 따라서 이러한 문제점을 해결하기 위해 최근에는 $TiSi_2$의 대체 물질로 Co나 Co/Ti 이중막으로부터 $CoSi_2$를 형성하고 이를 통해 salicide 기술이나 SADS(silicide as diffusion Source)방법으로 heavy doped ultra shallow junction($X_j \leq 0.15\mu m$, $N_S \geq 10^{19} cm^{-3}$)을 실현하려는 계획이 시도되고 있다[12,13]. $TiSi_2$에 비해 $CoSi_2$는 Si과 같은 입방(cubic)구조이며 Si과의 격자 부정합이 1.2%밖에 되지 않아 에피택시 성장이 가능하며, 비저항이 낮고, 금속-도펀트 화합물 형성에 대한 안정성이 높아 shallow junction 형성을 위한 미래의 silicide로 가장 주목을 받는 재료이다[14,15].

본 연구에서는 E-beam evaporation 장치에서 Si 웨이퍼 위에 Co 단일막 및 Co/Ti 이중막을 성장시킨 후, 급속 열처리 방식으로 열처리 온도와 시간을 변화시켜가며 $CoSi_2$를 형성하였다. 형성된 $CoSi_2$의 전기적 특성을 면저항 측정을 통해, 결정구조와 상전이를 X-선회절(XRD) 분석을 통해 확인하였다. silicide/Si 계면형상과 두께를 TEM으로 관찰한 후, 박막의 깊이에 따른 원소분포를 SIMS 및 AES로 분석하여 실리사이드 박막의 조성 균일도를 알아 보았다.

2. 실 험 방 법

n-type(100)웨이퍼($\rho = 1 \sim 10 \Omega cm$)를 <$H_2SO_4 : H_2O_2 = 4 : 1$>의 용액에 cleaning하고 웨이퍼 표면에 생성되는 자연산화막을 최소로 줄이기 위해 50 : 1의 HF 용액에 dip etching한 후 E-beam evaporation 장치에 loading하여 4×10^{-6}Torr의 진공도에서 Co 단일막(340Å, 170Å)과 Co(200Å)/Ti(50Å, 75Å, 100Å) 이중막을 증착시켰다. 증착된 금속박막으로부터 실리사이드를 형성하기 위해 RTA(rapid thermal annealing) 장치에서 급속 열처리($T = 450 \sim 850℃$, $t = 10 \sim 50sec$)를 실시하였고 열처리 후 반응되지 않은 Co를 <$HCl : H_2O_2 = 3 : 1$>의 에칭용액으로 제거하였다. E-beam evaporation 장치에서 금속 증착에 대한 공정조건을 Table 1에 수록하였다. 실험에 사용된 RTA 시스템의 기본 진공도는 2.5×10^{-2}Torr이며 열처리시 N_2 분위기($\sim 1 \times 10^{-1}$atm)에서 정상상태까지의 온도를 점진적 승온방식으로 상승시켰다. 열처리 온도와 시간을 정상상태의 경우로 정의했을 때 RTA의 실험공정을 Table 2에 수록하였다.

3. 결과 및 고찰

Fig. 1과 2는 170Å과 340Å의 두께로 증착된 Co 박막과 Co(200Å)/Ti(50Å, 75Å, 100Å)-시편들을 450℃~850℃의 온도범위에서 20초간 열처리한 실리사이드 박막의 면저항 변화를 보여 주고 있다. Co 단일막의 경우 열처리 온도가 500℃에서 450℃로 낮아짐에 따라 면저항이 급격히 증가되었고, 500℃ 이상에서 열처리된 실리사이드의 면저항은 온도의 증가에 관계없이 거의 일정한 값을 나타내었

Table 1. Evaporation conditions for metal deposition.

metal	Co single layer	Co/Ti bilayer	
		Co	Ti
thickness(Å)	340, 170	200	50, 75, 100
deposition rate(Å/s)	0.5	0.5	1.2
base vacuum(Torr)	4×10^{-6}		
substrate temperature(℃)	room		
substrate rotation(rpm)	60		
DC power(kV/A)	−3.5/11		

Table 2. RTA process.

temperature(℃)		450~850
time(sec)	rising	< 90
	steady state	10~50
base vacuum(Torr)		2.5×10^{-2}
ambient	pressure(atm)	$\sim 10^{-1}$
	gas	N_2

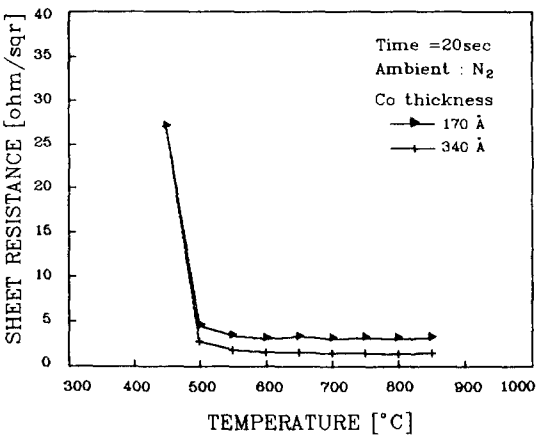

Fig. 1. Sheet resistances of the Co-silicides obtained from Co films as a function of annealing temperature.

다. 반면 Co/Ti 이중막의 경우 $CoSi_2$의 형성온도가 단일 Co 박막에 비해 높게 나타나고 낮은 비저항의 $CoSi_2$ 막을 얻기 위해서는 800℃ 이상의 온도로 열처리해야 함을 알 수 있었다. Ti 금속의 두께가 두꺼워지면 실리사이드막의 면저항이 증가하는데 이는 Co가 Ti 층을 통하여 Si 기판에 도달함으로 Co 원자의 이동량이 자기억제되기 때문이다. 또한 500℃~700℃의 열처리 온도 범위에서 결정상의 면저항은 크게 증가하는데 이러한 이유는 형성되는 Co-실리사이드의 두께가 얇아지고 비저항이 큰 CoSi, Co_2Si 결정

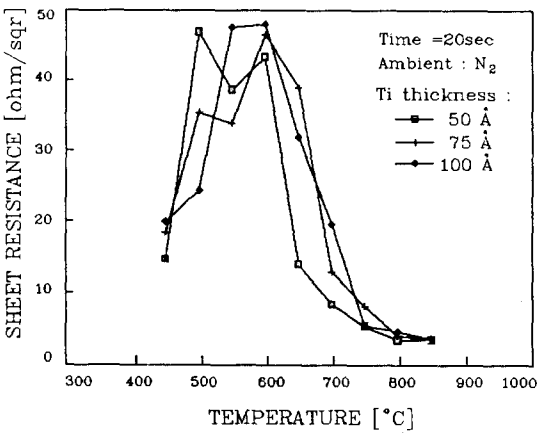

Fig. 2. Sheet resistances of the Co/Ti bilayer-silicides obtained from Co/Ti films as a function of annealing temperature.

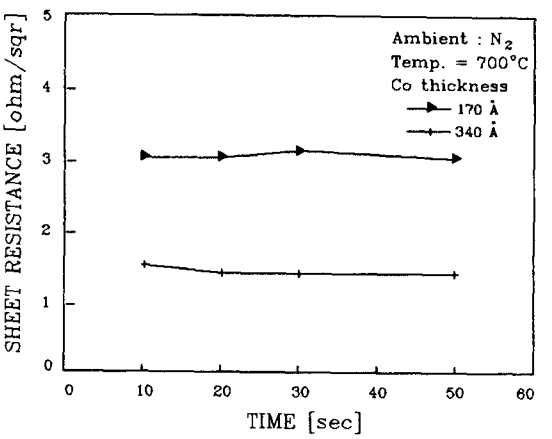

Fig. 3. Sheet resistances of the Co-silicides annealed at 700℃ as a function of annealing time.

이 형성되었기 때문이라 판단된다.

Fig. 3은 T = 700℃에서 Co 단일막을, Fig. 4는 T = 800℃에서 Co/Ti 이중막을 N_2 분위

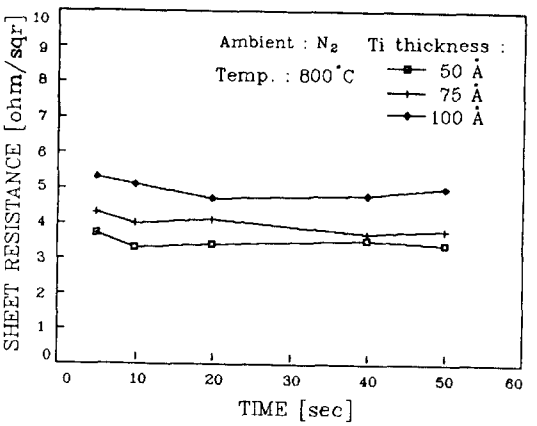

Fig. 4. Sheet resistances of the Co/Ti bilayer-silicides annealed at 800℃ as a function of annealing time.

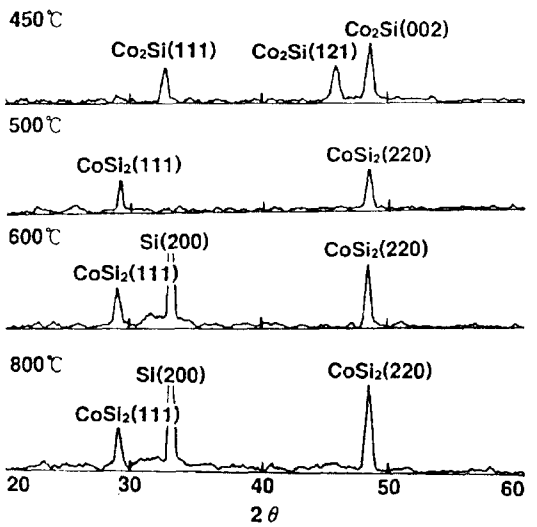

Fig. 5. XRD patterns of the Co(170Å)-silicides annealed at various temperatures.

기로 10~50sec 동안 열처리했을 때 나타나는 실리사이드의 면저항 분포이다.

이들 Fig.에서 Co-실리사이드의 면저항 값은 RTA 공정시간에 관계없이 거의 일정한 분포를 나타내고 있는데, 이는 낮은 비저항의 실리사이드가 얻어지는 열처리 온도에서는 실리사이드가 급속히 형성되어 같은 두께의 안정된 결정상($CoSi_2$)으로 성장되었기 때문이다.

Fig. 5는 170Å의 두께로 증착된 Co 박막시료에 대해 450℃, 500℃, 600℃ 및 800℃의 온도에서 열처리된 Co 실리사이드의 X-선 회절곡선을 보여주고 있다. 열처리 온도에 따른 결

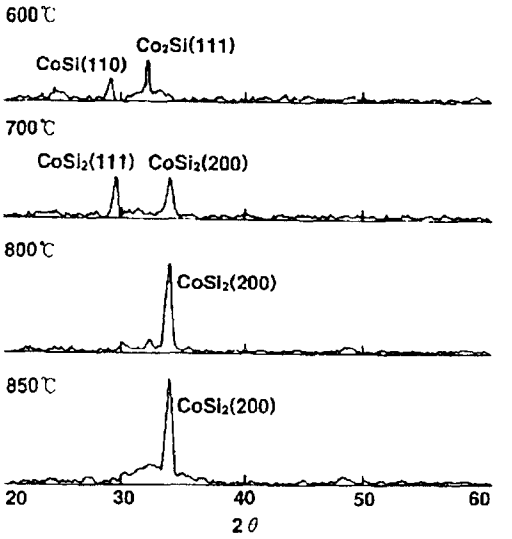

Fig. 6. XRD patterns of the Co(200Å)/Ti(50Å) bilayer silicides annealed at various temperatures.

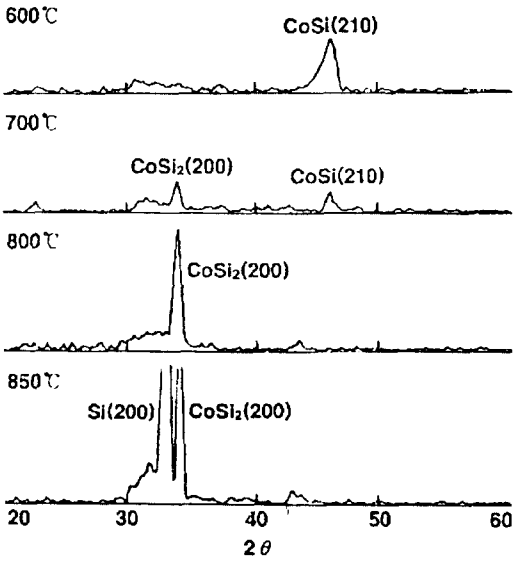

Fig. 7. XRD Patterns of the Co(200Å)/Ti(75Å) bilayer silicides annealed at various temperatures.

정상의 변화는 450℃ 온도에서 열처리된 시편의 경우 Co_2Si 결정상이 나타났으며, 500℃ 이상에서 안정상인 $CoSi_2$ 상이 형성되었다. 또한 온도가 500℃에서 800℃로 증가함에 따라 $CoSi_2$ 결정상의 peak가 다소 증가하는 경향을 보여주고 있다.

Fig. 6, Fig. 7 및 Fig. 8은 Co(200Å)/Ti 구조에서 Ti 두께를 각각 50Å, 75Å 및 100Å

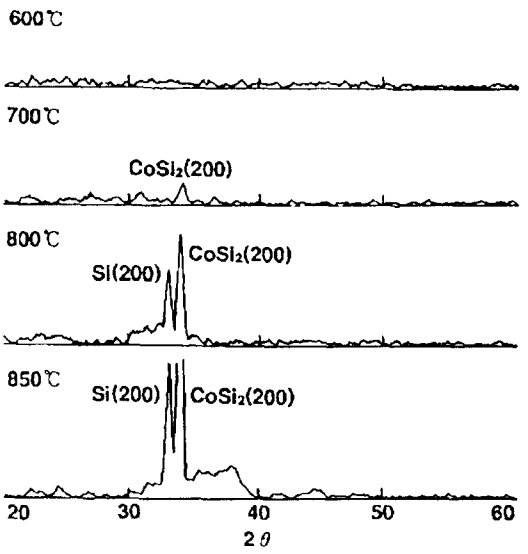

Fig. 8. XRD Patterns of the Co(200Å)/Ti(100Å) bilayer silicides annealed at various temperatures.

으로 성장시켜 600℃, 700℃, 800℃ 및 850℃의 온도로 20초간 RTA 열처리한 X-선 회절 곡선이다. X-선 분석을 통해 Co/Ti 이중막 구조에서 600℃의 열처리 온도에서는 $CoSi_2$ 상이 형성되지 않으며 CoSi 및 Co_2Si 상이 혼재되어 나타남을 알 수 있다. 열처리 온도가 700℃ 이하일 때 Ti 박막의 두께에 따라 Co 실리사이드의 결정상이 달라지며 Ti 두께가 100Å으로 증가되면 600℃ 이하의 열처리 온도에서는 어떠한 Co 실리사이드 상도 형성되지 않음을 알 수 있다. 또한 열처리 온도가 800℃ 이상으로 증가되면 Co/Ti bilayer 실리사이드는 $CoSi_2$(200) 결정상만이 나타나고 Si(100) 기판과 에피층을 이루고 있음을 볼 수 있다. T ≥ 800℃에서 Co/Ti 이중막을 이용하여 $CoSi_2$ 에피박막을 성장시킬 수 있음은 산화력이 큰 Ti가 Si 표면의 자연산화막을 환원하여 깨끗한 Si 표면을 만들고 확산계수가 큰 Co가 Ti 박막과 위치 역전을 일으키면서 Si 결정과 격자정합을 이루는 $CoSi_2$ 박막을 만들기 때문이라 판

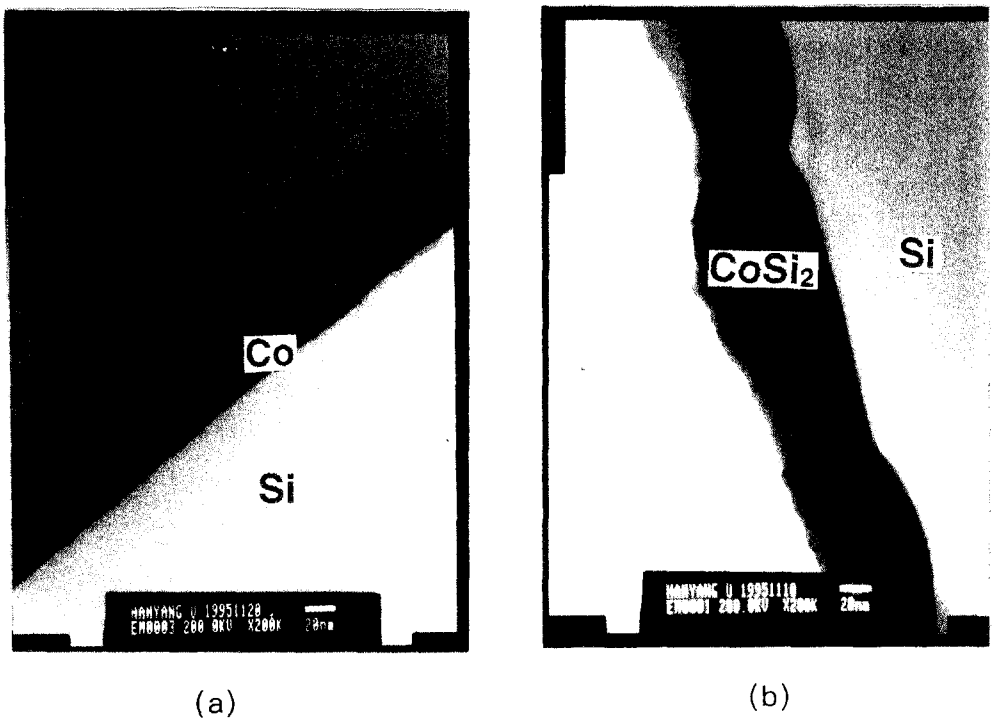

Fig. 9. Cross sectional TEM micrographs.
(a) as-deposited Co film with the thickness of 170Å. (b) $CoSi_2$/Si film annealed at 800℃ for 20sec.

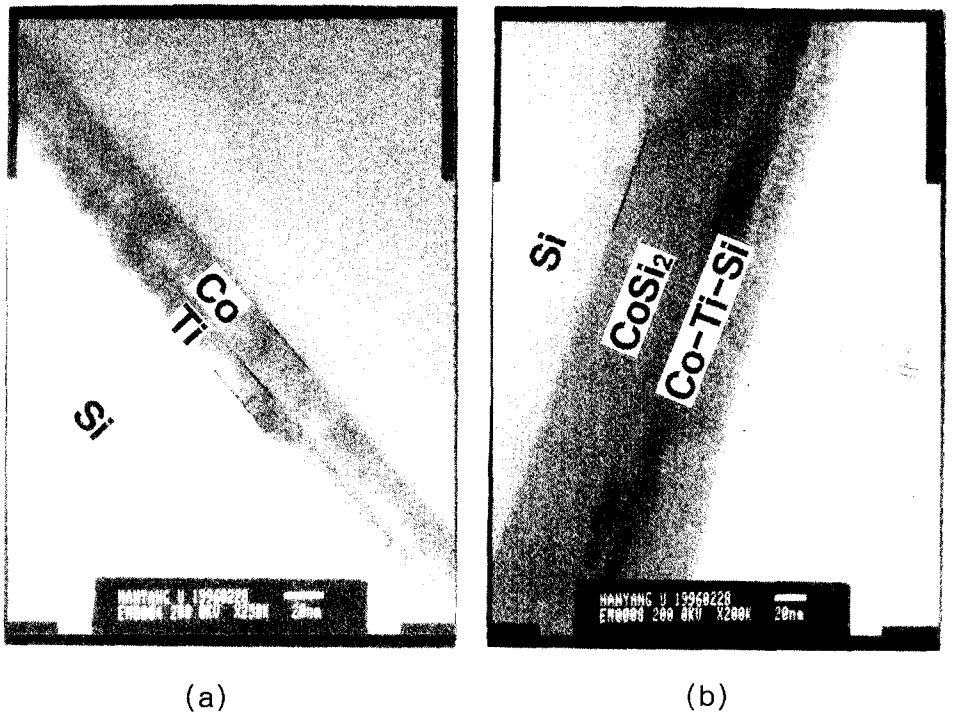

Fig. 10. Cross sectional TEM micrographs.
(a) as-deposited Co(200Å)/Ti(100Å) film. (b) $CoSi_2$/Si film annealed at 800℃ for 20sec.

단된다.

Fig. 9는 170Å의 두께로 증착된 (a) as-deposited Co 박막과 (b) 170Å 두께의 Co 박막에 대해 800℃에서 20초간 열처리한 Co 실리사이드의 TEM 단면사진을 보여주고 있다. TEM 단면분석 결과 as-deposited Co 박막의 두께는 약 170Å이었으며, 열처리된 Co 실리사이드 박막의 두께는 약 600Å을 나타내었다. $CoSi_2$ 단면층의 형상은 silicide-silicide-Si 삼중점(triple point)이 관찰되며 결정입계의 크기는 약 0.15~0.2㎛로 비교적 큰 결정입도를 나타내고 있다. TEM 단면사진으로 측정한 Co 실리사이드의 두께(d_{sil} = 600Å)와 4탐침법으로 측정한 면저항(R_S = 3Ω/□)에 의해 $CoSi_2$의 비저항을 계산했을 때 $\rho \fallingdotseq 18\mu\Omega$-cm의 값을 얻을 수 있었다.

Fig. 10은 Co(200Å)/Ti(100Å)의 두께로 증착된 (a) as-deposited 박막과 (b) 이를 800℃에서 20초간 급속열처리한 Co/Ti bilayer-실리사이드의 TEM 단면사진을 보여주고 있다. TEM 단면사진으로부터 열처리된 Co 실리사이드 박막의 두께는 약 600Å을 나타내었으며 $CoSi_2$ 단면층의 형상은 silicide/Si 계면에서 매우 평활한 상태를 보여주고 있다.

Fig. 11은 170Å의 두께로 증착된 (a) as-deposited Co 박막과 (b) 800℃에서 20초간 열처리된 $CoSi_2$/Si 박막에 대한 SIMS depth profile을 나타낸다. SIMS 분석결과, 170Å의 두께로 증착된 as-deposited 박막에서는 Si과 Co 이외의 어떠한 불순물 원소도 발견되지 않았다.

Fig. 12는 Si 기판상에 Co(200Å)/Ti(100Å)의 두께를 증착한 as-deposited film의 AES depth profile이다. Fig. 13에서는 Co(200Å)/Ti 구조에서 Ti의 두께를 각각 (a) 50Å, (b) 75Å 및 (c) 100Å으로 증착한 시편을 T = 800℃에서 20초간 열처리한 시편의 AES depth profile을 나타내고 있다. as-deposited Co/Ti 이중막의 경계를 Fig. 12에서 뚜렷이 구분할 수 있으며 Fig. 13에서는 Co/Ti bilayer silicide/Si 박막의 조성이 표면으로부터 다량의 Si과 Ti 외에 소량의 Co가 섞여 있는 표면

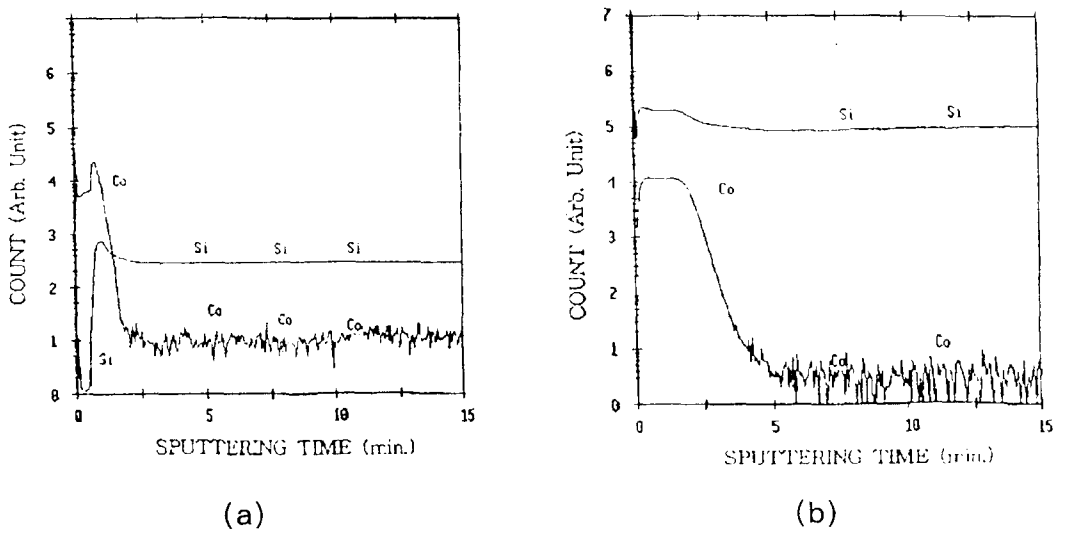

Fig. 11. SIMS depth profiles of (a) the as-deposited Co (170Å)/Si film and (b) the $CoSi_2$/Si annealed at 800℃ for 20sec.

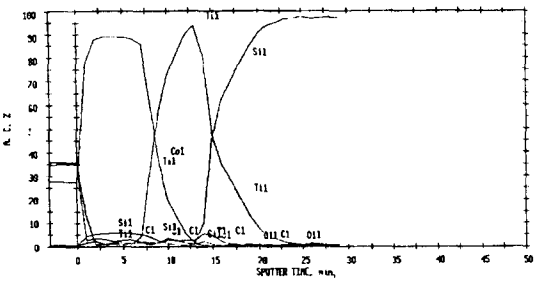

Fig. 12. AES depth profile of the as-deposited Co(200 Å)/Ti(100Å) bilayer.

층과, Si과 Co만이 섞여 있는 중간층 그리고 Si만이 존재하는 기판의 내층으로 형성되고 있음을 볼 수 있다. 표면층에서 나타나는 Co-Ti-Si 복합체는 필요에 따라 제거되어야 하며, Co/Ti 이중막을 이용한 $CoSi_2$ 막의 형성시 적절한 Ti의 두께 조절이 매우 중요한 요소로 나타난다. Co/Ti 이중막 구조에서 Ti의 두께가 지나치게 두꺼울 경우 위치 역전에 의한 $CoSi_2$의 형성이 억제되며, Ti 두께가 얇을 경우 에피성장된 $CoSi_2$(200)막을 얻기가 어려울 것으로 판단된다.

본 연구에서는 Ti 두께를 50Å~100Å으로 조절하여 Si 기판상에 양호한 계면형상을 갖는 에피성장된 $CoSi_2$ 막을 성공적으로 얻을 수 있었다.

4. 결 론

본 실험에서는 n-type (100) Si 기판상에서 E-beam evaporation 방식으로 Co 단일막(두께 : 340Å, 170Å) 및 Co(200Å)/Ti(50Å, 75Å, 100Å) 이중막을 증착하고 급속 열처리 방식으로 $CoSi_2$를 형성하는 연구를 실시하였다.

Co 실리사이드의 형성과정에서 Co/Si 반응은 열처리 온도에 따라 영향을 받으며 T = 500℃의 낮은 오도에서 안정된 $CoSi_2$ 상이 형성되기 시작하였으며 결정상은 (111)/(220) 방향으로 성장되었다. 반면 Co/Ti 이중막으로부터 낮은 비저항의 $CoSi_2$ 막을 얻기 위해서는 열처리 온도를 800℃ 이상으로 증가시켜야 한다. Co/Ti 이중막 구조에서 열처리 온도가 700℃ 이하일 때 Ti 박막의 두께에 따라 Co 실리사이드의 결정상이 달라지며 Ti 두께가 100Å으로 증가하면 600℃의 열처리 온도에서는 어떠한 Co 실리사이드 결정상도 형성되지 않았다. 또한 Ti 두께가 50Å~100Å 범위내에서 열처리 온도가 800℃ 이상으로 증가되면 형성되는 Co/Ti bilayer-실리사이드는 Si(100) 기판과 에피층을 이루면서 $CoSi_2$(200) 결정상만이 나타났다. Co/Ti bilayer-실리사이드의 조성은 Co-Ti-Si 복합체를 이루는 표면층과 Si과 에피관계를 이루는 $CoSi_2$ 층으로 나타났다.

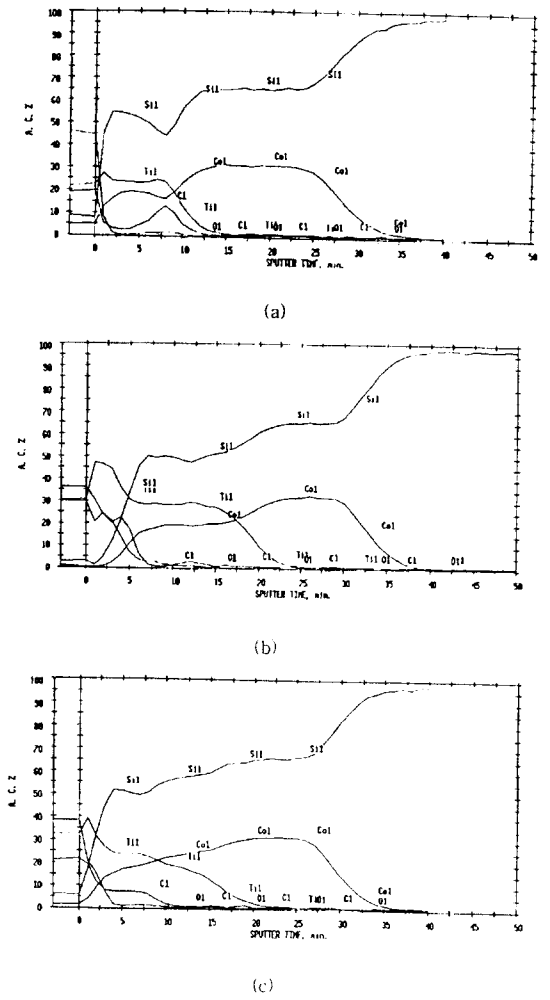

Fig. 13. AES depth profiles of the Co/Ti bilayer-silicides annealed at 800℃ for 20sec. (a) Co(200Å)/Ti(50Å), (b) Co(200Å)/Ti(75Å) and (c) Co(200Å)/Ti(100Å).

Ti 층이 두꺼울수록 Co/Ti bilayer-실리사이드의 면저항이 다소 증가하는 경향을 볼 수 있었다. TEM 분석 결과, silicide/Si 계면은 Co 단일막 실리사이드보다 Co/Ti 이중막 실리사이드의 경우가 비교적 결함이 없는 양호한 단면형상을 보였으며, Co 단일막 실리사이드의 경우 결정입도의 크기가 약 0.15~0.2㎛로 나타났다.

참 고 문 헌

1. C. M. Osburn, J. Electron. Materials, **19**(1), 67~88(1990).
2. S. Wolf, *Silicon Processing for the VLSI Era, V. 2-Process Integration*(Lattice Press), 154~160 (1990).
3. J. Amano, K. Nauka, M. P. Scott, J. E. Turner and R. Tsai, Appl. Phys. Lett., **49** (12), 737 (1986).
4. S. M. *VLSI Technology*(McGraw-Hill), 397 (1988).
5. C. Y. Ting, S. S. Lyer, C. M. Osburn, G. J. Hu and A. M. Schweighard, in Proc. Electrochem. Soc. Meeting, **82**(2), 224 (1982).
6. C. K. Lau, Y. C. See, D. B. Scott, J. M. Bridges, S. M. Perna and R. D. Davies, in IEDM Tech. Dig., 714 (1982).
7. C.Y. Ting, F.M. d'Heurle, S.S. lyer and P. M. Fryer, J. Electrochem, Soc. : SOILD-STATE SCIENCE AND TECHNOLOGY, **133**(12), 2621 (1986).
8. S. P. Murarka, *Silicides for VLSI Applications*(New York, Academic Press), 164~171 (1983).
9. M. Tabasky, E. S. Bulat, B. M. Ditchek, M. A. Sullivan and S. C. Shatas, IEEE Trans. Electron Devices, **ED-34**(3), 548 (1987).
10. S. L. Hsia, T. Y. Tan. P. Smith and G. E. McGuire, J. Appl. Phys., **72**(5). 1864 (1992).
11. M. L. A. Dass, D. B. Fraser and C. S. Wei, Appl. Phys, Leet., **58**(12), 1308 (1991).
12. A. E. Morgan, E. K. Broadbeut, M. Delfino, B. Coulman and D. K. Sadana, J. Electrochem. Soc., **134**, 925 (1987).
13. B. S. Chen and M. C. Chen, J. Appl. Phys., **72**(10), 4619 (1992).
14. S. P. Murarka, D. B. Fraser, A. K. Sinha, H. J. Levinstein, E. J. Lloyd, R. Liu, D. S. Williams and S. J. Hillenius, IEEE Trans. Electron Devices, **ED-34**(10), 2108 (1987).
15. L Rubin, D. Hoffman and N. Herbots, IEEE Trans. Electron Devices, **37**(1), 183~190 (1990).