

Dual-gate MESFET를 사용한 분포형 혼합기 해석에 관한 연구

Analysis of a Distributed Mixer Using Dual-gate MESFET's

김갑기** · 오양현* · 정성일* · 이종악*

Kab-Ki Kim** · Yang-Hyun Oh* · Seung-Il Jeung* · Jong-Arc Lee*

요 약

본 논문에서는 dual-gate GaAs MESFET(DGFET)를 이용한 광대역 분포형 혼합기에 대한 해석을 제시하였다. DGFET의 저잡음 혼합기 모드(LNM) 영역에 대한 모델링을 이용하여 바이어스에 따른 전달 컨덕턴스 g_m 과 변환 이득의 변화를 보였다. 분포형 혼합기는 드레인과 게이트 선로, 입·출력단에서의 m-유도 영상 임피던스 정합 회로, DGFET로 구성되며, 컴퓨터 시뮬레이션 프로그램을 이용하여 이와 같이 설계된 분포형 혼합기의 광대역 특성이 확인되었으며 게이트 1과 게이트 2사이의 LO/RF 분리도는 15dB 이상이 얻어짐을 확인하였다.

Abstract

In this paper, a theoretical analysis of a wide band distributed mixer using a dual-gate GaAs MESFET's(DGFET) is introduced. Based on low noise mixer mode(LNM) region modeling of DGFET, variation of g_m and conversion gain are presented versus bias. The distributed mixer is composed of drain and gate transmission line, m-derived image impedance matching circuits at each input and output port, and DGFET's. Through computer simulation, wide-band characteristics of designed distributed mixer are confirmed. And, it is certificated that LO/RF isolation between gate 1 and gate 2 is obtained more than 15dB.

I. 서 론

분포형 혼합기에서 분포형이란 개념은 1936년에 영국의 W. S. Percival에 의해 처음으로 제안되어 광대역 증폭기 설계에 이용되었으며, Ginzton에 의해서 이론적 분석이 이루어졌다. 1980년대에는 GaAs MESFET을 이용한 20GHz 이상의 대역폭을 가진 MMIC형태의 분포형 증폭기가 설계되었

으며, 최근에는 2단으로 배열된 평면 배열식 분포형 증폭기가 연구되어 이득을 개선시켰다. 이러한 분포형 증폭기의 개념을 주파수 혼합기 설계에 처음으로 제안한 사람은 1985년 Tang과 Aitchson이며 이들은 single-gate FET(SGFET)를 사용한 분포형 주파수 혼합기를 설계 제작하였다. 그후 하이브리드 형태의 분포형 주파수 혼합기를 설계하여 변환 이득을 개선시키고자 하였다. 그러나 SGFET의 사용은 LO/RF 입력신호를 분리 인가하기 위

* 건국대학교 전자공학과

** 목포 해양대학교 전자통신공학부

해서 입력단에 하이브리드 형태의 복잡한 평형 회로가 필요할 뿐만 아니라 LO/RF 분리도를 크게 개선시키지 못하였다[1].

본 논문에서는 DGFET 분포형 혼합기의 변환이득을 이론적으로 해석하였으며, 분포형 증폭기의 설계 기술을 도입하여 분포형 혼합기를 설계하였다. DGFET 분포형 혼합기 개념은 Tang과 Aitchison에 의한 분포형 혼합기의 개념을 확장시킨 것이며, DGFET는 2개의 게이트와 드레인을 갖고 있기 때문에 게이트 1, 게이트 2에 LO와 RF신호를 분리 인가할 수 있으며 게이트 사이의 용량 성분이 매우 작기 때문에 여파기나 평형 구조를 사용하지 않아도 높은 LO/RF 분리도를 얻을 수 있다. 또한 두 게이트 바이어스 전압에 의해서 DGFET의 여러 동작 모드가 결정되며, 저잡음 모드(LNM) 영역이 혼합기로서 가장 많이 쓰이고 있다. 이 영역에서 하단의 FET는 드레인 혼합기로서 혼합 작용을 하게 되며 상단의 FET는 공통 게이트 증폭기로서 증폭 작용을 하게 되어 증폭과 혼합을 동시에 얻을 수 있다[2]. 또한 DGFET소자는 SGFET에 비해 전달 컨덕턴스가 매우 선형적이기 때문에 낮은 파형 왜곡을 나타낸다. 또한, DGFET 분포형 혼합기는 LO와 RF가 두 게이트 선로 입력단에 인가되어 두 게이트 선로 끝단에 전달되며 두 게이트 선로에 전달되는 LO와 RF신호는 DGFET의 전달 컨덕턴스를 통해 IF주파수가 드레인단에서 출력된다. 각 드레인에 출력된 IF신호는 드레인 선로의 끝단으로 전달되며 드레인 출력단에서 IF 신호들은 동위상으로 합쳐져 출력되기 때문에 이득을 높일 수 있고 각 DGFET의 게이트와 소스 사이의 캐패시터(C_{gs}), 드레인과 소스사이 캐패시터(C_{ds})는 각각 게이트와 드레인 전송선로에 흡수시킴으로써 LO와 RF신호에 대한 광대역 특성을 갖게 된다. 각 전송선로는 정-K형 선로, 입·출력단에서 전송선로가 완전히 임피던스 정합되고 각 드레인에서 IF신호가 동위상으로 출력된다면 DGFET의 수에 따라 변환 이득을 보다 높일 수 있다.

II. Dual-gate FET 혼합기의 이론적 해석

2-1. DGFET의 구조

1971년 Turner 등에 의해 처음 보고된 두 게이트를 갖는 FET의 이점은 1) 이득 조정이나 신호 혼합을 할 수 있는 두 독립된 게이트에 의해 얻어지는 기능적인 가능성의 증가와 2) 피드백의 감소 혹은 그로 인한 전력 이득이나 안정성의 향상이다[3].

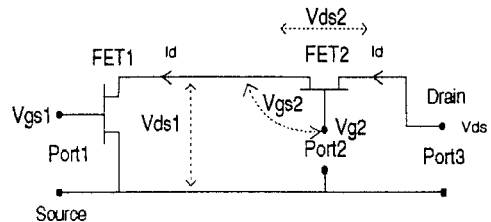
Dual-gate MESFET의 구조와 두 FET의 캐스코드(cascade) 연결로 등가시킨 모델이 [그림 1]에 보여진다[4].

2-2. DGFET 혼합기의 변환 이득

R. A. Minasian 등에 의해 Dual-gate MESFET의 내부에 걸리는 전압을 포함하여 각 FET의 동작 모드를 정의할 수 있는 해석적인 해가 제시되었다[5].

[그림 1]에서 FET1과 FET2의 연결점에서의 내부전압 V_{ds1} 은 고정된 값이 아니며 내부 전압 V_{gs2} , V_{ds1} , V_{ds2} 를 유도하여 각 FET의 동작모드를 결정 후 전체적인 전달 특성(transfer characteristic) $I_d(V_{gs1}, V_{gs2}, V_{ds})$ 를 외부전압의 함수로서 나타낼 수 있다.

FET1은 저항성 영역에 있고, FET2는 포화 영역에 있을 때를 DGFET의 LNM(low noise mode) 영역이라 하고 이 영역에서의 전달 특성에 관한 식은 다음과 같다.



[그림 1] DGFET의 단면과 캐스코드 등가 모델

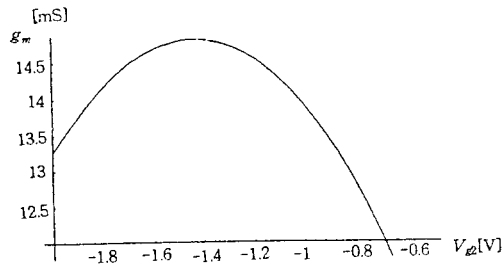
$$V_{ds1} = \frac{1}{1+a} \{ a(V_{gs1} - V_t) + V_{g2} - V_t - \sqrt{[a(V_{gs1} - K_t) + V_{g2} - V_t]^2 - (1+a)(V_{g2} - V_t)^2} \} \quad (1)$$

$$I_d = \beta(V_{g2} - V_t - V_{ds1})^2 \quad (2)$$

여기서 V_t , a , β 의 값은 DGFET의 데이터 표로부터 쉽게 유도할 수 있는 값들이며 NE463 DGFET의 경우 $a=1.1$, $\beta=0.013$, $V_t=-3$ 임을 알 수 있다[5].

식 (2)에서 드레인 전류 I_d (V_{gs1} , V_{g2})는 V_{ds} 와 무관하며 R_{ds1} 이 V_{gs1} 에 따라 크게 변화하지 않으므로 드레인 전류는 V_{gs1} 보다는 V_{g2} 의 변화에 더 크게 영향을 받는 것으로 생각할 수 있다. 식 (1)을 (2)에 대입한 후 게이트 전압으로 미분하면 각 게이트의 전달컨덕턴스를 식 (3)과 같이 구할 수 있으며 이로부터 V_{g2} 의 변화에 대한 전달 컨덕턴스의 변화를 [그림 2]에 나타내었다.

$$g_{m2} = \frac{\partial I_d}{\partial V_{g2}} = \frac{1}{1+a} (2\beta(-aV_{gs1} + aV_{gs2} + \sqrt{aV_{gs1}^2 + 2V_{gs1}V_{g2} - V_{g2}^2 - 2V_{gs1}V_t - 2aV_{gs1}V_t + V_t^2 + aV_t^2}))$$



[그림 2] V_{g2} 에 따른 전달 컨덕턴스의 변화($V_{gs1} = -1.5V$)

$$G = \frac{1 + \frac{1}{1+a} \left(-1 + \frac{a(V_{gs1} - V_{g2})}{\sqrt{-((1+a)(V_{g2} - V_t)^2 + (aV_{gs1} + V_{g2} - V_t - aV_t)^2}} \right)}{(\omega C_{gs1} V_{gs1})^2 R_s} \quad (3)$$

혼합기의 변환 이득은 RF입력 전력에 대한 IF출력 전력의 비이다.

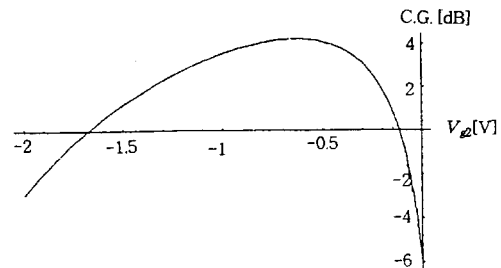
$$G = P_{IF} / P_{RF} \quad (4)$$

드레인 전류의 식에서 IF 성분과 C_{gs} 에 걸리는 전압을 고려하면 변환 이득에 대한 식을 다음과 같이 구할 수 있다[6].

$$G = \frac{\left\{ \frac{1}{2} \frac{g_{m2}}{(V_{g2} - V_t - V_{ds1}) \left(1 - \frac{\partial V_{ds1}}{\partial V_{g2}}\right)} |V_{g2}| \mu |V_{gs1}| \right\}^2 R_o}{(\omega C_{gs1} V_{gs1})^2 R_s} \quad (5)$$

$$\text{여기서 } g_m = \frac{\partial I_d}{\partial V_{g2}} = 2\beta(V_{g2} - V_t - V_{ds1}) \cdot \left(1 - \frac{\partial V_{ds1}}{\partial V_{g2}}\right) |V_{g2}=1, V_{gs1}=-1.5$$

게이트 1을 $-1.5V$ 로 고정하고 변환 이득을 게이트 2 바이어스에 대하여 그래프로 나타내면 [그림 3]과 같다.



[그림 3] 게이트2 바이어스에 대한 변환 이득의 변화

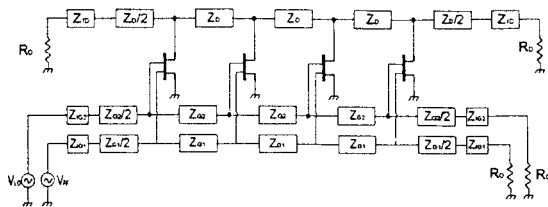
Ⅲ. DGFET 분포형 혼합기 해석

3-1. DGFET 분포형 혼합기의 선로 특성

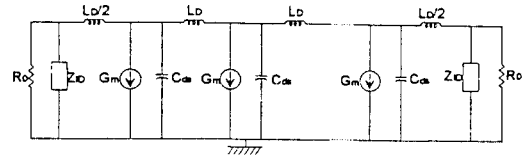
DGFET를 이용한 분포형 혼합기는 SGFET를 이용한 분포형 혼합기의 설계 개념과 유사하며 SGFET에 비해 2개의 게이트를 갖기 때문에 주파수 혼합기 특성을 개선시킬 수 있다. DGFET 분포형 주파수 혼합기는 DGFET와 세 개의 전송선로로 구성되며, 이에 대한 구성도는 [그림 4]에 나타내었다.

[그림 4]에서와 같이 4개의 DGFET로 구성된 분포형 혼합기의 경우, 입력에서 출력에 도달하는 신호는 4개의 경로가 있고 모든 신호의 경로에 대해 드레인 각 단자에서 IF신호의 위상지연차가 없다면 출력단에 신호가 동위상으로 도달하여 최대전력을 얻게 된다. 반면 출력단이 아닌 반대 방향으로 흐르는 신호는 위상차에 기인하여 서로 상쇄된다. DGFET 분포형 혼합기의 각 전송선로의 등가회로는 [그림 5]와 같다.

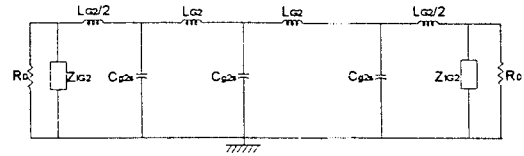
DGFET의 극간 용량 C_{g1} , C_{g2} , C_{ds} 는 차가 크므로 C_{ds} 와 C_{g2} 에 부가적인 캐패시터를 추가하여 극간 용량을 일치시킴으로서 각 드레인 단자에서 IF신호가 동위상이 되게 할 수 있다. 분포형 혼합기는 게이트 1, 2 선로에 RF와 LO의 주파수 성분을 인가하며 드레인 선로는 IF외에도 이들 주파수 하모닉 성분을 포함하게 된다. 각 드레인단에서 출력된 신호들은 각각의 선로에 전달되는 주파수차에 의한 시간 지연을 가져올 수 있으며, 이는 출력 감쇠를



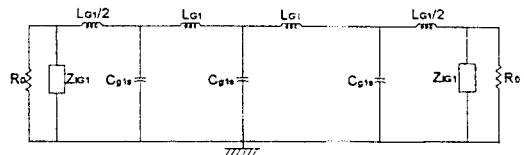
[그림 4] DGFET를 사용한 분포형 혼합기 구성도



(a) 드레인 전송선로의 등가회로



(b) 게이트 2 전송선로의 등가회로

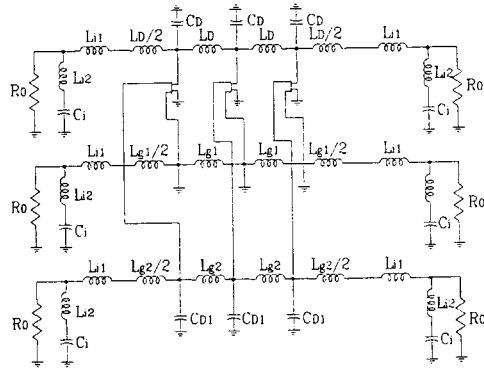


(c) 게이트 1 전송선로의 등가회로

[그림 5] DGFET 분포형 혼합기의 각 전송선로

가져온다. 이에 대한 해결책으로, 각 선로의 정-K형 T섹션은 주파수 변화에 대하여 시간 지연차가 비교적 낮고 실현 가능한 m-유도형 T섹션을 사용하여 해결할 수 있다. 각 선로의 끝단에서 영상 임피던스는 주파수 변화에 따라 가장 낮은 변화를 나타내는 m-유도 영상 임피던스를 사용하여 해결할 수 있다. [그림 6]은 이상적인 DGFET 분포형 혼합기에 대한 등가회로이다. [그림 6]에서 C_d 와 C_{d1} 은 게이트 1 전송선로의 C_{ds} , C_{ds} 의 극간 용량을 일치시키기 위한 부가적인 캐패시터 값이며 L_{d1} , L_{d2} , L_d 는 DGFET의 극간 용량을 특성 임피던스에 일치시키기 위한 인위적 선로의 직렬 리액턴스 성분이며 L_{d1} , L_{d2} , C_s 는 각 전송선로의 임피던스를 50Ω의 부하 저항에 정합시키기 위한 영상 임피던스이다.

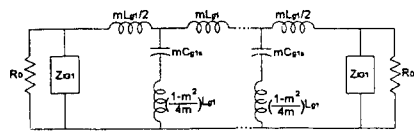
분포형 혼합기의 인위적 전송선로들은 각 링크의 입·출력 병렬 캐패시터와 인덕턴스로 구성된다. 각 선로에서의 캐패시터 선택은 [그림 6]에 있는 세 인위적 선로의 위상 지연 및 임피던스 값을 함께



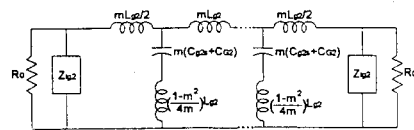
[그림 6] 이상적인 분포형 혼합기의 등가회로

하기 위해 게이트 2와 드레인 선로에 고유값 외에 부가적인 캐패시터를 요한다. 드레인 선로에 외부 캐패시터 C_b , 게이트 2 선로에는 C_{o2} 를 부가하여 각 선로에서 캐패시터 값을 일치시킨다. 분포형 혼합기의 게이트와 드레인 선로는 반사와 시간 지연에 관한 문제점을 해결하기 위해 m-유도 섹션이 모색되었다.

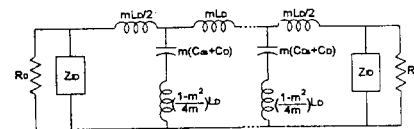
정-K 선로에 대해 m-유도 선로의 개념을 도입하



(a) 게이트 1 선로의 m-유도 등가 전송선로



(b) 게이트 2 선로의 m-유도 등가 전송선로



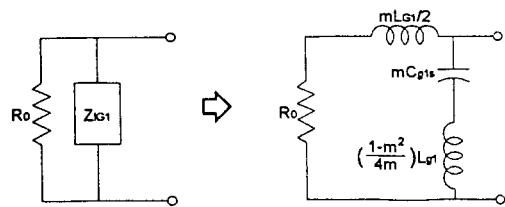
(c) 드레인 선로의 m-유도 등가 전송선로

[그림 7] DGFET 분포형 혼합기의 m-유도 선로

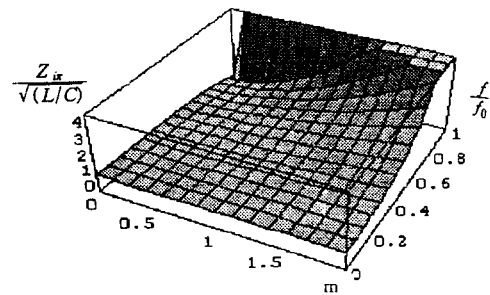
여 표현한 각각의 등가회로는 [그림 7] (a), (b), (c)에 나타내었다. 또한 각 선로의 입·출력단에서 임피던스 정합을 고려한 m-유도반 π 섹션 등가회로는 [그림 8]에 나타내었다.

m-유도 π -섹션의 영상임피던스를 구하면[7]

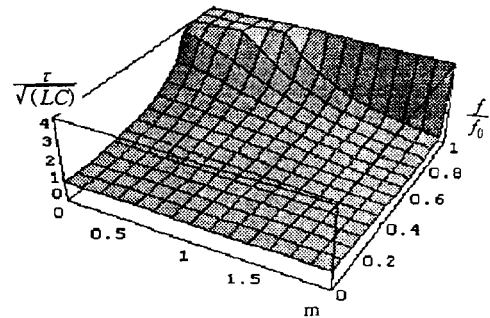
$$Z_{inm} = \sqrt{\frac{L}{C}} \frac{[(1-(1-m^2)(f/f_c)^2)]}{\sqrt{1-(f/f_c)^2}} \quad (6)$$



[그림 8] 선로 입·출력단에서의 정합회로



[그림 9] 주파수에 따른 m-유도 π 섹션 영상임피던스 특성



[그림 10] 주파수에 따른 m-유도 전송선로의 시간지연 특성

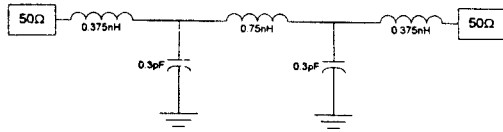
이고, 시간 지연 특성은 (7)과 같고,

$$\tau = \frac{1}{[1 - (1 - m^2)(f/f_c)^2] \sqrt{1 - (f/f_c)^2}} \quad (7)$$

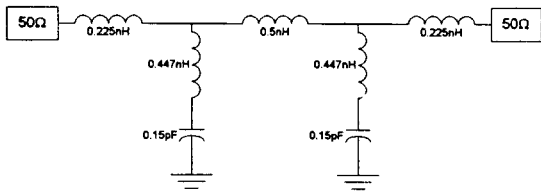
이에 대한 그래프를 [그림 9]와 [그림 10]에 나타내었으며 이로부터 $m=0.6$ 일 때 영상 임피던스는 가장 평탄하고 시간 지연은 $m=1.27$ 일 때 가장 평탄하다는 것을 알 수 있다.

3-2. 분포형 혼합기 설계 및 시뮬레이션

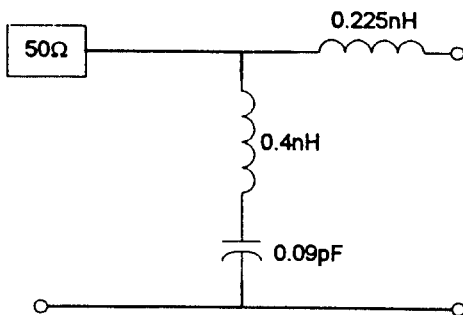
M/W 주파수대에서 NEC7100이 캐스코드 접속



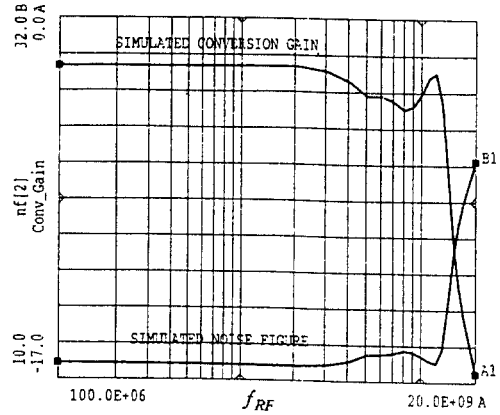
[그림 11] 게이트 1 전송선로



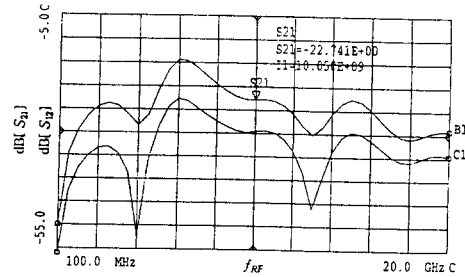
[그림 12] 게이트 2 전송선로



[그림 13] 영상 임피던스 선로



[그림 14] m-유도 전송선로를 이용한 분포형 혼합기의 광대역 특성



[그림 15] 분포형 혼합기의 주파수에 따른 LO/RF 분리도 특성

된 DGFET 등가 모델링을 이용한 분포형 혼합기의 각 전송선로의 등가 회로는 [그림 11], [그림 12]와 같고, 각 선로 끝단에서의 영상 임피던스는 [그림 13]에 나타내었다.

3단으로 구성된 분포형 혼합기의 컴퓨터 프로그램을 통한 시뮬레이션 결과는 [그림 14], [그림 15]와 같다.

IV. 결 론

DGFET의 캐스코드 등가 모델에서 하단의 FET는 저항성 영역에서 상단의 FET는 포화 영역에서 동작할 때의 모델식을 이용하여 바이어스에 따른

g_m 의 변화와 변환 이득의 변화를 제시하였다.

DGFET 분포형 혼합기의 각 전송선로의 입력과 부하단에 영상 임피던스와 m-유도 전송선로 개념을 도입하여 전송선로간에 주파수에 따른 최대 정합을 갖도록 하여 보다 넓은 대역 특성을 얻도록 설계하였으며, 3단으로 설계된 분포형 혼합기의 주파수에 따른 변환 이득과 RF/LO 분리도를 컴퓨터 시뮬레이션 프로그램을 통하여 확인하였다.

시뮬레이션을 통하여 3단의 DGFET 분포형 혼합기의 RF와 LO 주파수를 동시에 변화시켜가면서 측정된 변환 이득의 변화는 RF 주파수가 10GHz 이상에까지 평탄한 이득을 갖음을 알 수 있었으며 이로부터 m-유도 전송선로를 이용하여 개선된 분포형 혼합기의 주파수에 따른 광대역 특성이 DGFET를 이용한 분포형 혼합기에도 잘 적용됨을 확인할 수 있었다. 또한 RF/LO 분리도는 LO 전력이 10dBm이고 RF 전력이 0dBm일 때 RF 주파수가 1~20GHz의 전 범위에서 15dB 이상을 나타냄을 [그림 15]에서 확인할 수 있었으며 이는 기존의 DGFET를 사용하지 않는 혼합기에 비해 매우 양호한 결과이다.

이와 같은 m-유도 전송선로 개념을 도입한 DGFET 분포형 혼합기는 넓은 주파수 대역을 요하는 시스템에 응용할 수 있을 것으로 기대되며 또한 MMIC 형태로 DGFET 분포형 주파수 혼합기를 구성할 경우 광대역 특성과 더불어 시스템의 소형화 및 경량화를 동시에 실현할 수 있을 것으로 사료된다.

이 논문은 1996년도 한국학술진흥재단의 지원을 받아 수행중인 초고속 정보 통신망을 위한 우선 LAN 시스템에 관한 연구의 일부임.

참 고 문 헌

- [1] O. S. A. Tang and C. S. Aitchison, "A Very Wide-Band Microwave MESFET Mixer Using the Distributed Mixing Principle," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-33, 1985, p. 1470.
- [2] C. Tsironis, R. Meierer and R. Stahlmann, "Dual-Gate MESFET Mixers," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-32, 1984, p. 248.
- [3] T. Furutsuka, M. Ogawa and N. Kawamura, "GaAs dual-gate MESFETs," *IEEE Trans. on Electron Devices*, vol. ED-25, June 1978.
- [4] G. Vendelin and M. Omori, "Circuit-model for the GaAs MESFET valid to 12 GHz," *Electron. Lett.*, vol 11, pp. 60-61, 1975.
- [5] R. A. Minasian and M. Sc., "Modelling DC characteristics of dual-gate GaAs MESFETs", *IEE Proc.*, vol. 130, Pt. I, No. 4, Aug. 1983.
- [6] R. A. Pucel, D. Masse and R. Bera, "Performance of GaAs MESFET Mixers at X Band," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-24, 1976, p. 351.
- [7] L. B. John, *High-Power GaAs FET Amplifiers*, pp. 264-280.

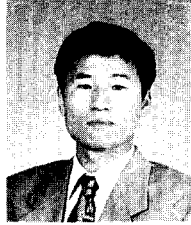
김 갑 기



1954년 4월 28일생
1980년 광운공대 전자통신과 졸업
1980년 건국대 대학원 전자공학과 졸업(공학석사)
1996년 현재 동 대학원 전자공학과 박사과정. 목포 해양대 전자통신공

학부 부교수

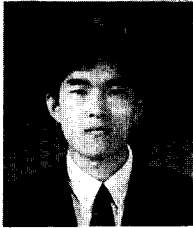
오 양 현



1961년 9월 26일생
1988년 건국대학교 전자공학과 졸업
1990년 동 대학원 전자공학과 졸업(공학석사)
1996년 현재 동 대학원 전자공학

과 박사과정

정 성 일



1971년 3월 15일생
1994년 건국대학교 물리학과 졸업
1996년 건국대 대학원 전자공학과 졸업(공학석사)
1996년 현재 동 대학원 전자공학과 박사과정

이 종 악

1940년 4월 20일생

1966년 한양공과대학 전기과 졸업
1970년 연세대 대학원 졸업(공학석사)
1974년 동 대학원 박사과정 졸업(공학박사)
1996년 현재 건국대학교 전자공학과 교수