

Au/Te/Au/ n-GaAs 구조의 열처리 효과



The annealing effects of Au/Te/Au/ n-GaAs structure

정성훈*, 송복식*, 문동찬*, 김선태**

(Sung-Hoon Kim, Bok-Sik Song, Dong-Chan Moon, Sun-Tai Kim)

Abstract

The annealing effects of Au/Te/Au/n GaAs structure was investigated by using x-ray diffraction, scanning electron microscope, the specific contact resistance and I-V measurement. Increasing the annealing temperature, the intensity of Au-Ga peak by X-ray diffraction was increased. The Ga₂Te₃ peak got evident for the samples annealed at 400°C and GaAs peak by recrystallization appeared for the samples annealed at 500°C. The variation from the schottky to low resistance contact was confirmed by I-V curve. The lowest value of the specific contact resistance of the samples annealed at 500°C was $3.8 \times 10^{-5} \Omega \cdot \text{cm}^2$ but the value increased above 600°C.

Key Words(중요용어) : Au/Te/Au/n-GaAs structure(Au/Te/Au/n-GaAs 구조), specific contact resistance(건움접촉저항), I-V curve(전류-전압곡선)

1. 서 론

최근 화합물 반도체를 사용한 고속전자 및 광자소자의 개발로 저저항성과 열적 안정성을 지닌 전극접촉에 대한 관심이 높아지고 있다. 특히, 음성 접촉의 형성 과정에 대한 연구가 활발해지면서, 기존의 전통적인 음성 재료보다는 특정소자나 기판에 대해 최적의 접촉특성을 실현시킬 수 있는 물질에 대해서도 구체적인 연구가 진행되었다. 일반적으로 Au-Ge계의 금속이 n형 GaAs의 대표적인 저저항 접촉물질로 알려져 있으나 Wang 등은 Pd이 포함된 시스템과 GaAs과의 접촉특성에서 $10^{-6} \Omega \cdot \text{cm}^2$ 이하의 접촉저항값을 보고⁽¹⁾하고 있으며, Tanahashi 등은 NiSiW를 사용한 음성접촉에 대해 보고⁽²⁾한 바 있다. 그밖에도 In-Au(90:10), Au-Si(94:6), Au-Sn(90:10), Au-Te(98:2)등이 있다.⁽³⁾ 그러나 Au-Ge, Pd계열외에 Au-Te계열 물질의 저저항접촉에 대한 연구가 국내에서 거의 이루어진 바가 없으므로 본 연구에서는 합금형태가 아닌 단일층

의 Au와 Te을 적층한후 열처리를 함으로써 n형GaAs와의 접촉면이 열처리에 따라 Schottky접촉에서 저저항 접촉으로 변화하는 과정에서의 물성적인 변화를 조사함으로써 Au/Te계의 저저항 접촉요인을 규명하고 응용 가능성을 타진해 보고자 하였다.

2. 실험 방법

2-1. 시편 제작

HCl:H₂O (1:1)수용액으로 표면처리된 n-GaAs 기판 (Si doped, $1.2 \times 10^{18}/\text{cm}^3$)에 100Å Au, 400Å Te, 1000Å Au로 10^{-6} Torr에서 연속적으로 열증착하였다. 이와 같은 형태의 제작은 Te이 0.33eV, GaAs와 결합시 생성되는 Ga₂Te₃와 As₂Te₃등이 모두 1.0eV이하의 낮은 에너지값을 지니고 있고 이 물질들에 n형의 불순물이 첨가된다면 금속과 반도체의 계면에서 저저항을 실현하는데 기여할 수 있다는 것에 기인한다. 특히, schottky 접촉을 위해 기판과 Te 사이에 Au를 형성하였고, 기존의 Au-Te(98:2)의 저저항 물질조성에 충실하기 위해 Au에 의한 샌드위치 구조를 시도하였다. 열처리는 5 l/min의 Ar을 주입시키면서 3단 수평전기로에서 온도와 시간을 각각 200~600

* : 광운대학교 전자재료공학과 신기술연구소

** : 대전산업대학교

접수일자 : 1996년 2월 28일

심사완료 : 1996년 8월 14일

℃, 1~4시간 변화시키면서 행하였다. 실험방법을 그림 1에 나타내었다.

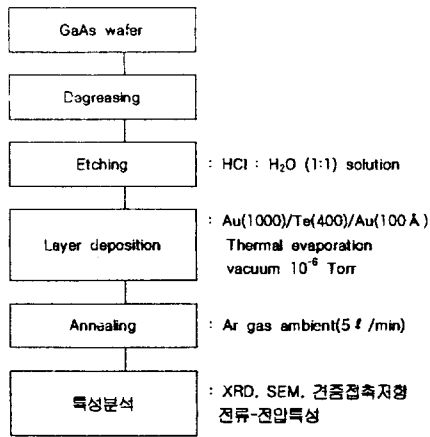


그림 1. 실험 흐름도.

Fig. 1. The Flow chart of the process.

2-2. 측정 및 분석

n-GaAs기판위에 열 증착방법으로 형성된 Au/Te/Au 구조에 대해 X선 회절을 통한 혼합물 분석하였다. 회절선에 의한 혼합물 및 방향성은 생성 가능한 물질의 JCPDS cards의 면간거리값과 분석한 결과값을 비교하여 결정하였다. 표면분석을 위해 전자현미경을 사용하였으며, 전기적 특성은 건준접촉저항, 전류-전압곡선을 통해 분석하였다. 건준접촉저항⁽⁴⁾은 4점 접촉법^{(5),(6),(7)}에 의해 구하였다. 저저항 접촉을 이루는 계면에서의 총저항 R은 다음과 같다.

$$R = R_c + R_s + R_m + R_p$$

여기서, R_c 는 접촉저항, R_s 는 접촉점 밑에서 발생하는 불균일 전류흐름에 의한 저항, R_m 은 접촉점간의 저항성분, R_p 는 측정침에 의한 저항이다. 본 논문에서 구하고자 하는 건준접촉저항(specific contact resistance)은 R_c 와 다음과 같은 관계이다.

$$\rho_c = R_c A$$

여기서, A는 접촉점의 면적이다.

본 논문에서 사용한 4점 접촉법은 건준접촉저항 측정방법으로서 Terry 등에 의해 제안된 방법이다.⁸⁾ 그림2는 측정개략도를 나타낸 것이다. 위 그림에서 시편은 4개의 접촉점이 등간

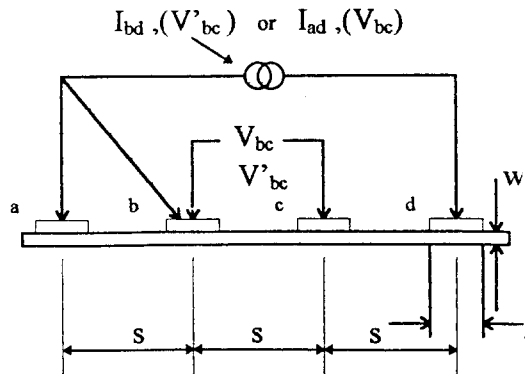


그림 2. 접촉저항 측정개략도.

s : 전극간 거리(등간격), I_{ad} : 항전류, w : 시편두께 d : 전극직경, V'_{bc} : b-d간에 전류인가시, 전극 b-d사이의 전압

Fig. 2. Schematic configuration of the specific contact resistance measurement.

s : distance of electrode(equi-distance), I_{ad} : constant current, w : sample thickness, d : diameter of electrode V'_{bc} : voltage across electrode b and c, when current is applied to point b-d

격으로 일직선상에 위치한 장방형의 형태로 하였다. 접촉점간의 전위왜곡을 피하기 위해 통상 접촉점 간격보다 직경을 훨씬 작게 제작하였는데, 본 실험에서는 직경 0.25mm, 간격 5.0 mm로 제작된 시편을 사용하였다. 항전류를 a-d와 b-d에 인가했을 때, b-c에서 측정된 각각의 전압을 V_{bc} , V'_{bc} 로 표기하였다.

점 b에서의 건준접촉저항 ρ_c 는,

$$\rho_c = AR_c = A(R - R_m) = A\left(\frac{V'_{bc}}{I_{bc}} - \frac{V_{bc}}{I_{ad}}\right)$$

점 b의 퍼짐저항(spreading resistance)과 점 b와 c사이의 직렬저항(series resistance)을 고려하고 측정침에 의한 저항을 무시하면, 다음과 같이 건준접촉저항 관계식을 단순화할 수 있다.

$$\rho_c = A(R - R_s - R_m)$$

$$= A\left[\frac{V_{bc}}{I_{bc}} - R_s - \frac{V_{bc}}{I_{ad}} \cdot \frac{\ln\left(\frac{4s}{d} - 1\right)}{2 \cdot \ln 2}\right]$$

여기서,

$$R_s = \frac{4\rho_c}{\pi d^2} \left[\frac{\sum_{m=0}^{\infty} y^m}{[2^{2m} (2m!)^2]} - 1 \right]$$

$$\frac{\sum_{m=0}^{\infty} y^m}{[(m+1)2^{2m} (m!)^2]}$$

$$y = \frac{\rho d^2}{4\rho_c w} \quad (\rho: \text{반도체 기판의 비저항})$$

3. 결과 및 고찰

그림3과 4는 열처리온도에 따른 각 시편의 X선 회절도를 나타낸 것이다. 200℃ 시편에서는 주로 Ga₂Au (111)면의 회절선을 볼 수 있으므로 Au와 Ga의 혼합물이 생성되기 시작하는

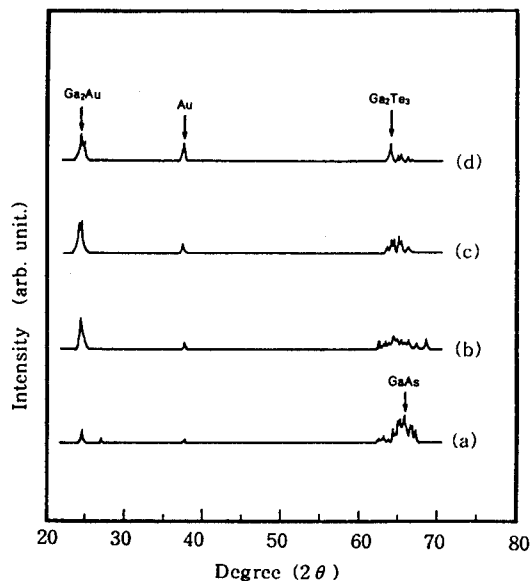


그림 3. Au/Te/Au/n-GaAs구조를 200℃에서 (a) 2시간, (b) 4시간, 300℃에서 (c) 2시간, (d) 4시간동안 열처리시의 X선 회절도.

Fig. 3. X-ray profiles of Au/Te/Au/n-GaAs structure annealed at 200℃ for (a) 2hr, (b) 4hr and at 300℃ for (c) 2hr, (d) 4hr.

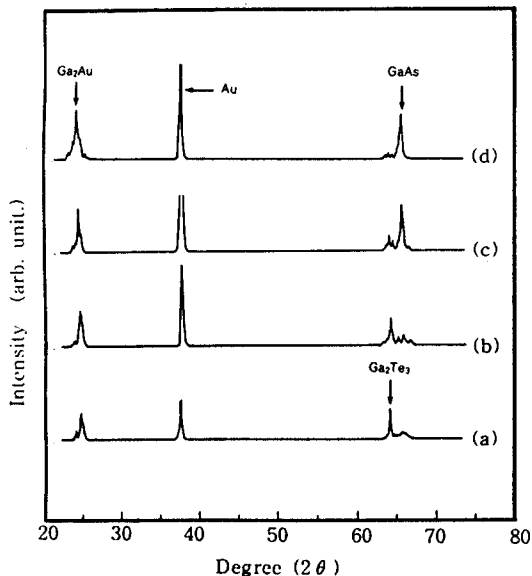


그림 4. Au/Te/Au/n-GaAs구조를 각각 400℃에서 (a) 2시간, (b) 4시간, 500℃에서 (c) 2시간, (d) 4시간동안 열처리시의 X선 회절도.

Fig. 4. X-ray profiles of Au/Te/Au/n-GaAs structure annealed at 400℃ for (a) 2hr, (b) 4hr and at 500℃ for (c) 2hr, (d) 4hr.

것을 알 수 있었다. 300℃와 400℃에서 열처리했을 때, 온도가 증가함에 따라 Ga₂Te₃ (400)면의 회절선이 뚜렷하게 변화한 후 400℃, 4시간 및 500℃, 2시간의 조건에서 회절강도가 낮아진다. 또한 이 열처리 조건에서는 GaAs (400)의 회절선을 확인할 수 있다. 이러한 Ga₂Te₃, GaAs의 회절선이 지나는 의미는 다음과 같이 설명할 수 있다.

Te계에 의한 n-GaAs의 저저항성 접촉은 두 가지 형태에 의해 계면에서 전자수송이 이루어진다.⁹⁾ 첫째는 열처리에 의한 상호확산에 의해 Ga₂Te₃의 계면이 형성되며 이층은 높은 As 불순물 농도를 지니고 있으므로 Au금속과의 장벽이 낮아지게 되어 전도도가 증가하게 된다. 둘째는 GaAs에 Te이 불순물로서 고농도로 첨가되어 축퇴된 경계층이 존재하여 장벽두께가 감소함으로써 터널링에 의해 계면에서 전자수송이 일어난다. 이때 Au-Ge의 경우와 같이 Au-Te구조에서도 열처리에 의해 Ga와 As이 Au-Te합금, Ga₂Te₃와 함께 용융 및 냉각과정에서 As 격자자리에 Te원자가 치환됨으로써 재결정화된 n형의 GaAs 층이 형성

되는데 Te 불순물 농도가 크기 때문에 장벽이 얇아져서 터널링에 의한 전자수송이 가능하게 된다.¹⁰⁾ 500°C 이상의 열처리 경우에 나타나는 GaAs(400)회절선은 Te에 의해 불순물 첨가된 재성장된 GaAs층으로 사료된다.

사진 1에 열처리 온도에 따른 표면의 변화를 보여주고 있다.

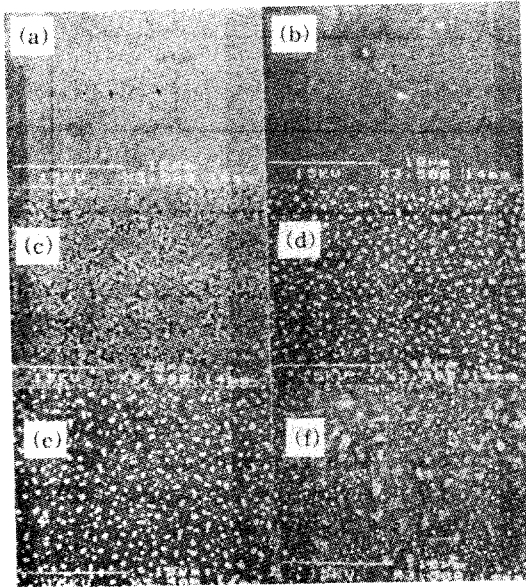


사진 1. 2시간 열처리를 온도에 따른 표면 특성

(a) 열처리전 (b) 200°C (c) 300°C (d) 400°C (e) 500°C and (f) 600°C.

Photo. 1. The characteristics of the surface morphology at various annealing temperature for 2hr

(a) before annealing (b) 200°C (c) 300°C (d) 400°C (e) 500°C and (f) 600°C.

열처리하지 않은 시편의 경우, 평탄한 표면상태를 보여주고 있으나, 이미 400°C 열처리후에 섬형태의 Au-Ga 혼합물이 나타나기 시작하여 500°C에서는 표면에 섬들이 뚜렷하게 나타났다.¹¹⁾ x선 회절 결과에 의해, Ga₂Au (111)면의 x선 회절강도가 열처리 온도와 비례관계에 있으므로 전자현미경에 의해 확인된 섬형태의 Au와 Ga의 혼합물⁹⁾이 온도증가에 따라 결정화됨을 알 수 있다. 일반적으로 표면의 불량은 접촉의 불안정을 유발하기 때문에 본 실험의

경우에서도 400°C 이하의 열처리 온도가 적합하다고 사료된다. 열처리 온도에 따른 접촉재료와 기관계면의 물성적인 변화가 전기적인 특성에 미치는 영향을 알아보기 위하여 건증접촉저항을 측정하였다. 그림 5에 열처리 온도에 따른 접촉저항의 변화를 나타내었다. 200°C와 300°C의 경우, 건증접촉저항은 큰 차이를 보이지 않는다. 온도가 증가함에 따라 저항값은 큰 기울기로 낮아지는데, 400°C에서 열처리한 경우에 비해 500°C의 경우 한계단 낮은 3.2 ×

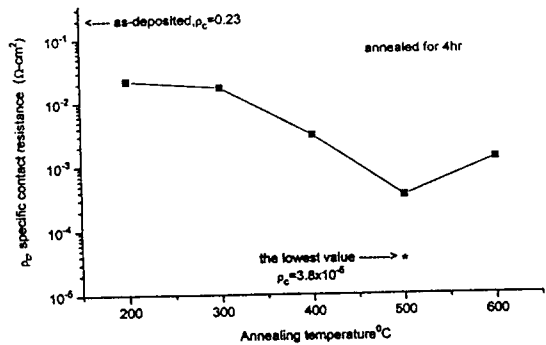


그림 5. 열처리 온도에 따른 접촉저항의 변화. 각 점들은 동일선상에 원형점이 놓인 4개의 시편 저항의 평균값.

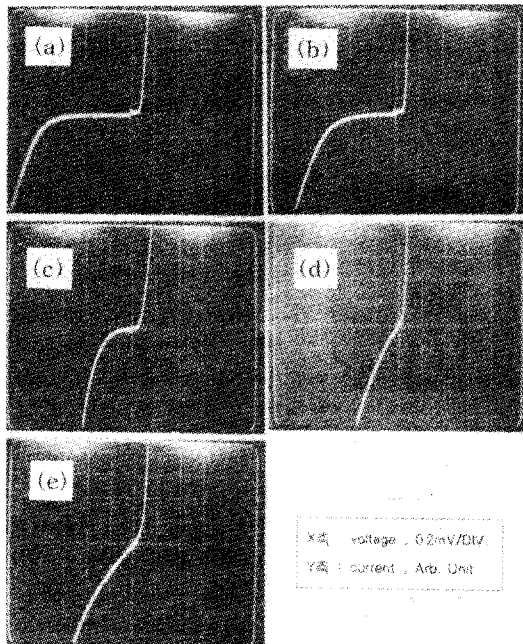
Fig. 5. Variation of the specific contact resistance with annealing temperature.

Each data point represents the average of 4sets of the collinear patterns formed of circular points.

10⁴Ωcm²의 값을 얻을 수 있었다. 500°C 시편의 경우, 건증접촉저항값이 시편간에 최대한 계단까지의 차이를 보였는데 이는 표면불량에 의한 접촉 불안정으로 인해 시편에 따라 계면에서의 전류 흐름에 차이가 생겼기 때문이다. 600°C 이상에서 열처리한 경우, 건증접촉저항값이 급격하게 증가하였는데 이는 기관분해에 기인한 것으로 생각된다. 전류전압특성을 통해 열처리에 따라 계면을 통한 전도도의 변화를 보고자 하였다. 사진 2에서 300°C 이하의 경우에 나타난 전류전압특성은 열전자 내쏘기(Thermionic emission)에 의한 금속과 반도체간의 정류현상을 보여준다. 400°C에서는 인가전압에 대해 전류값이 증가하는데 이는 장벽을 통한 전자수송이 증가함을 의미한다. 400°C의 Ga₂Te₃의 x선 회절강도의 증가와 건증접

촉저항의 감소의 결과와 일치한다. 500℃의 경우, 저저항특성에 근접한 곡선을 보여주는데 이는 Te이 고농도로 첨가된 GaAs 층에 의해 장벽이 낮아져서 전자수송이 더욱 증가하기 때문인 것으로 사료된다.

400℃, 4시간의 경우, 선형적인 형태에 근접해 있음을 볼수 있으며, 500℃에 비해 600℃의 특성곡선에서 저항값이 증가함을 확인할 수 있다.



사 진 2. 4시간 열처리 온도에 따른 Au/Te/Au/n-GaAs 접촉의 전류-전압 특성

Photo. 2. Current-Voltage characteristics of Au/Te/Au/n-GaAs contacts at various annealing temperature for 4hr (a) 200℃ (b) 300℃ (c) 400℃ (d) 500℃ (e) 600℃

4. 결 론

n-GaAs(Si doped, $1.2 \times 10^{18}/\text{cm}^3$)기판 위에 Au/Te/Au를 열증착하여 Au/Te/Au/n-GaAs 구조의 시편을 제작하였다. x선 회절 분석 결과, 400℃와 500℃ 열처리한 시편의 경우 각각 Ga_2Te_3 회절선과 GaAs 회절선을 확인할 수 있었다. 견준접촉저항이 400℃ 열처리 이후에 감소하는 것으로 Ga_2Te_3 , GaAs층은 급속과

반도체간의 전자수송과 관계가 있음을 알 수 있었다. 또한 400℃ 이하에서 열처리한 시편의 표면상태가 양호함을 알 수 있었다. 전류전압특성곡선에 의해 schottky접촉 특성을 보이다가 온도가 증가함에 따라 선형적인 곡선으로 변화함으로써 저저항 접촉현상을 확인할 수 있었다. 이상의 결과에 의해, Au/Te/Au/n-GaAs 구조의 저저항 접촉은 Ga_2Te_3 층으로 낮아진 장벽으로의 전자수송 및 Te 불순물이 첨가되어 재성장된 GaAs층에 의해 두께가 감소한 장벽을 통해 터널링되어 이루어짐을 알 수 있었다.

참 고 문 헌

1. L. C. Wang, X. Z. Wang, S. S. Lau, T. Sands, W. K. Chan and T. F. Kuech, "Stable and shallow PdIn ohmic contacts to n-GaAs", Appl. Phys. Lett. 56(21), pp. 2129-2131, 1990
2. H. J. Takata, kiwamu Tanahashi, A. Otsuki, H. Inui and Masanori, Murakami, "Thermally stable non-gold Ohmic contacts to n-type GaAs. II. NiSiW contact metal", Appl. Phys 72(9), 1, pp. 4192-4195, 1992
3. S.M.Sze, "Physics of Semiconductor Devices", John Wiley & Sons, Inc., pp 307, 1981
4. C. Y. Chang, Y. K. Fang, S. M. Sze, "Specific contact resistance of metal-semiconductor barriers", Solid State Electronics, 14, pp. 541-550, 1971
5. E. Kuphal, "Low resistance ohmic contacts to n- and p-InP", Solid State Electronics, 24, 1-2, pp. 69-78, 1981
6. Y. K. Fang, C. Y. Chang and Y. K. Su, "Contact resistance in metal-semiconductor system", Solid State Electronics, 22, pp. 933-938, 1979
7. A. Piotrowska, A. Guivarch and G. Pelous, "Ohmic contacts to III-V compound semiconductor: A review of fabrication technique", Solid State Electronics, 26, 3, pp. 179-197, 1983
8. LEWIS E. TERRY AND RICHARD W. WILSON, "Meatallization System for Silicon Integrated Circuit", PROCEE-

- DING OF THE IEEE, 57, 9, PP 1580-1586, 1969
9. K.Wuyts and G. Langouche, "Identification of the Ohmic-contact formation mechanism in the Au/Te/Au/GaAs system", Phys. Rev.B, 45, 20, pp. 11863-11875, 1992-II
10. Baoqi Li and Paul H. Holloway, "Re-growth of a GaAs layer for n-GaAs ohmic contacts", J. Appl. Phys., 71, 9, pp. 4385-4389, 1992
11. K. Wuyts, J. Watte and R.E. Silverans, "A combined Rutherford back scattering and Auger electron spectroscopy analysis of Ni/Au/Te ohmic contacts to n-GaAs", J. Vac. Sci. Technol. B 9, 2, pp. 228-235, 1991

저자소개



정성훈

1965년 1월 22일생. 1991년 광운대학교 공대 전자재료공학과 졸업. 1993년 광운대 일반대학원 졸업(석사). 1993년 95년 LG전자부품연구소 주임연구원. 현재 광운대학교 전자재료공학과 박사과정.



문동찬

1935년 2월 25일생. 1957년 연세대 이공대 물리학과 졸업. 1965년 연세대 대학원 물리학과 졸업(석사). 1981년 동 대학원 물리학과 졸업(이학박사). 1982년 미국 라이트-패더슨 공군연구소 초빙과 학자. 현재 광운대학교 공대 전자재료공학과 교수.



송복석

1967년 12월 1일생. 1990년 광운대학교 공대 전자재료공학과 졸업. 1992년 동 대학원 전자재료공학과 졸업(석사). 현재 전자재료공학과 박사과정.



김선태

1956년 9월 11일생. 1981년 광운대 공대 전자재료공학과 졸업. 1984년 동 대학원 전자재료공학과 졸업(석사). 1988년 동 대학원 전자재료공학과 졸업(공학박사). 현재 대전산업대학 재료공학과 조교수.