

CVD증착에 의한 인버티드 스테거형 TFT의 전압 전류 특성

논문
번호
9-10-3

Current and Voltage Characteristics of Inverted Staggered Type Amorphous Silicon Thin Film Transistor by Chemical Vapour Deposition

이우선*, 박진성**, 이종국**

(Woo-Sun Lee, Jin-Sung Park, Jong-Kook Lee)

Abstract

I-V, C-V characteristics of inverted staggered type hydrogenated amorphous silicon thin film transistor(a-Si:H TFT) was studied and experimentally verified. The results show that the log-log plot of drain current increased by voltage increase. The saturated drain current of DC output characteristics increased at a fixed gate voltage. According to the increase of gate voltage, activation energy of electron and the increasing width of Id at high voltage were decreased. Id saturation current saturated at high Vd over 4.5V. Vg-Id hysteresis characteristic curves occurred between -15V and 15V of Vg. Hysteresis current decreased at low voltage of -15V and increased at high voltage of 15V.

Key words(중요어어) : TFT(비정질 실리콘 트랜지스터) ,CVD(화학기상증착) ,Hysteresis(히스테리시스)

1. 서 론

비정질 실리콘이 단결정 실리콘과 비슷한 특징을 가지고 있기 때문에 반도체 소자에 비정질 실리콘을 이용하기 위해 연구되고 있다. 수소화된 비정질 실리콘(Hydrogenated Amorphous Silicon)은 이동도가 낮은 국부적인 상태밀도를 가질 수 있고 a-Si:H의 전자적인 특성을 제어할 수 있도록 n형 혹은 p형으로 도핑할 수 있기 때문에 디바이스 개발 연구 대상이 되어왔다. 큰 면적에 균일하고 쉽게 증착할 수 있는 평판 표시기용 비정질 실리콘 박막트랜지스터(a-Si : H TFT)는 CCD (charge coupled device)¹⁾, 반도체 표시기, 고체 영상 감지기²⁾, 박막형 논리회로³⁾, 랩-탑(lap-top) 컴퓨터⁴⁾, HD-TV 등에 이용되는 표시기의 새로운 반도체 소자로서 이용이 증가되고 있다. a-Si:H TFT는 반도체 표면에서 반전층이 생성되지 않고 증가형 채널이 생성되며 채널의 생성 과정은 게이트 전압이 플랫 밴드전압보다 적을 경우에 채널의 공핍층이 형성되고 게이트 전압이 플랫 밴드전압보다 커

지게 되면 채널에는 활성화 전자가 생성된다. 게이트 전압을 더욱더 증가시키면 문턱전압보다 커지게 되고 완전한 전도 채널이 형성되어 TFT의 전압 대 전류 특성과 게이트 전압을 측정할 수 있게 된다. a-si:H TFT 제조공정 과정에서 TFT의 a-si층과 실리콘 나이트라이드(SiN₄) 층의 260°C의 저온 증착공정은 600°C 이상의 고온인 MOS-IC 제작공정 보다 공정상 큰 장점이 있다.

비정질 실리콘 박막 트랜지스터는 각각의 cell에서 능동 스위칭 matrix에 대해 적당한 온(on) 또는 오프(off) 전류를 갖는다. TFT의 회로를 더 광범위 한곳에 응용하여 실용화하고 상용화를 목적으로 개발하기 위한 중요한 이슈 중의 하나로서 TFT의 제작 및 각종 특성에 관계되는 정확한 I-V ,C-V 특성에 대한 연구가 요구되고 있다.

TFT의 모델이 많이 연구되었는데⁵⁾⁹⁾ TFT를 여러가지 구조로 모델화 하여 I_D-V_D 특성을 모델링 하고 해석한 바 있다.

본 연구에서는 첫째, 인버티드 스테거형 비정질 실리콘 박막트랜지스터를 PECVD에 의해서 제작하였고 둘째, TFT의 I-V 특성을 실험하여 TFT 히스테리시스 특성을 측정 하였으며, 셋째 드레인, 소오스와 게이트의 길이가 서로 겹침에 따른 TFT 오버랩 드레인 전류의 변화특성이 연구 되었고, 넷

* : 조선대학교 공대 전기공학과

** : 조선대학교 공대 재료공학과

접수일자 : 1996년 4월 11일

심사완료 : 1996년 7월 20일

제 TFT 게이트 전압 증가에 따른 캐패시턴스 변화특성이 실험적으로 측정되고 연구 되었다.

2. 실험 및 측정 방법

본 연구에서 설계하여 제작한 a-Si:H TFT의 구조도는 그림 1 과 같다. 웨이퍼는 N-type <100> 방향 4인치 실리콘 웨이퍼이며 웨이퍼 세척은 H₂O₂:H₂SO₄=1:1 용액에 초음파 세척 한 후 고순도 3차 증류수에서 세척 하였다. TFT 제조를 위한 사진식각 마스크 패턴은 모두 3장으로 설계하였는데 첫번째 마스크는 게이트 패턴용이고, 2번째 마스크는 SiN_x 와 a-Si:H 증착용 패턴이며, 3번째 마스크는 드레인 파 소오스 증착용 패턴이다. 1100°C 에서 200Å의 실리콘 옥사이드를 성장하였으며 계

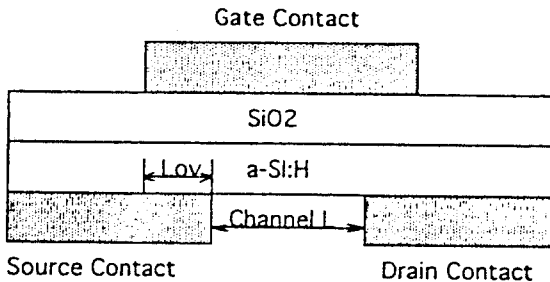


그림 1. 스테거형 TFT의 구조도.

Fig. 1. Structure of inverted staggered a-Si:H thin film transistor.

이트는 알루미늄(Al)을 스퍼터에 의해서 증착 하였다. TFT 마스크 레이어아웃은 그래픽 터미널 에디터 패키지를 이용하여 설계 하였다. 이와같이 설계된 TFT는 pattern generator로 전송 하여서 photoplate mask 를 직접 제작 하였으며 채널 폭 1,000μm, 채널길이가 각각 25,50,100,150μm 인 TFT 4개를 하나의 실리콘 웨이퍼 다이(die) 에 제작 하였다. TFT 제작공정의 개요도를 그림2에 나타 낸다.

캐패시턴스 및 제 특성측정은 HP4275 LCR meter, HP4145 semiconductor parameter analyser 와 dark probe station을 사용하였는데 선로 캐패시턴스와 외부 노이즈를 최소화하기 위하여 LCR meter의 연결선은 동축 케이블을 사용하였다.

TFT 캐패시턴스의 특성 실험을 하기 위해서 위와같이 제작된 웨이퍼를 Compress Device Die Saw를 이용하여 자른다음 각각의 디바이스를 packaging 하여서 진행 하였다.

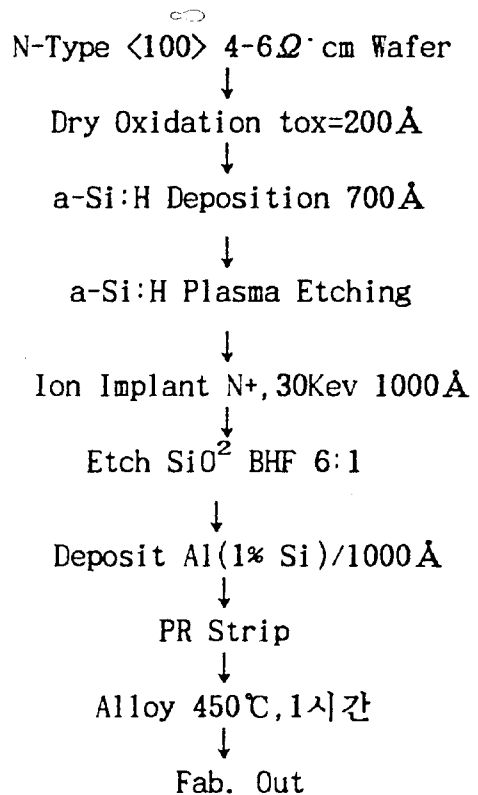


그림 2. TFT 제작 공정의 개요도.

Fig. 2. Fabrication process of TFT.

3. 실험 결과

게이트전압 8-16V 드레인 전압 0-15V 일때 TFT의 출력특성 즉, 드레인 전류와 드레인 전압과의 관계인 출력 특성곡선을 그림 3에 나타내는데 포화드레인 전류의 포화점은 4.5V 이상의 높은 드레인 전압에서 발생 하였고 드레인 전압이 증가할수록 포화 드레인 전류도 약간씩 증가함을 보여서 전형적인 TFT I-V 특성과 같게 되었다. 채널 폭 1000μm 와 채널길이 100μm 의 비가 W/L = 10 일때 제작된 TFT게이트 전압과 드레인 전류의 V_g-I_d 히스테리시스특성 곡선을 그림 4에 나타낸다. 게이트전압을 -15V에서 15V 까지 증가시켰을 때 제작된 TFT I-V 커브는 명확한 드레인 전류의 히스테리시스 특성 곡선을 나타내었다. V_g가 -15V부터 증가함에 따라서 I_d는 최초에는 약간 감소로 보이며 턴온(turn on) 전압이 되는 -3V를 지나면서 I_d는 점차 증가하기 시작하여 턴오프(turn off) 전압인 13V에서 I_d는 순방향으로 포화되어 더 이상의 상승을 보이지 않는다. 또한 15V에서 부터 -15V로 전압을 감소시키면 8V 부근에서 I_d가 급격

히 감소함을 보이다가 3V 에서 I_d 는 더이상 감소하지 않고 역방향으로 불완전 포화 됨을 보인다. 이와 같은 순방향(forward sweep)과 역방향(reverse sweep)에 의한 히스테리시스 특성을 나타내는 I_d 는 -15V인 저전압에서 적게되고 15V인 높은 전압에서 높아지게 되었다. 전압이 증가할수록 I_d 가 증가하게되는 것은 TFT 채널에서의 비정질 실리콘의 전자가 전류의 증가로 인하여 고온으로 되고 더욱더 활성화되어 활성화 전자가 계속 불어나게 되므로 전도대로의 더 많은 전자의 여기가 일어나서 전자의 활성화 에너지가 증가되기 때문이라 생각된다. 순방향과 역방향 전류의 지수함수적인 변화는 비정질 실리콘의 에너지 밴드 가장자리에 국부적인 상태밀도의 존재로 인한 국부적인 원자결합이 생기며, 맵글링 본드에 의한 상태결합에 의해서 확장상태와 국부적인 상태의 원자 결합이 생긴다. 따라서 순방향과 역방향 전류의 지수함수적인 변화가 일어나고 결과적으로 드레인 전류의 히스테리시스는 순방향과 역방향 전류의 차이가 된다.

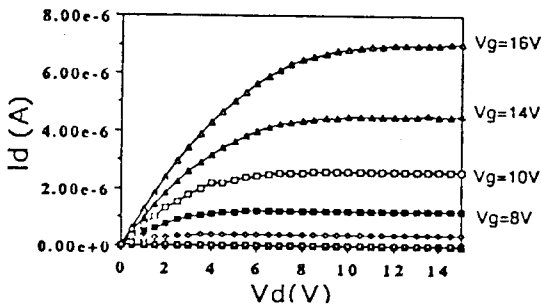


그림 3. DC 출력특성 곡선
Fig. 3. DC output characteristics .

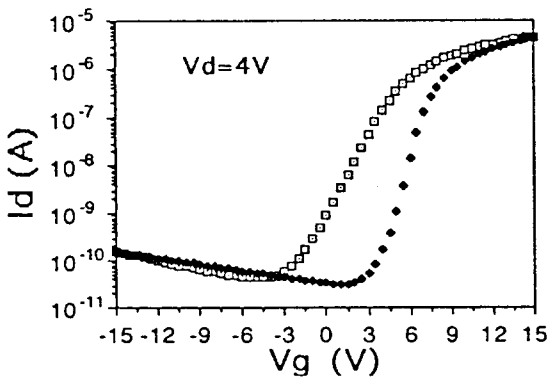


그림 4. 히스테리시스 특성 곡선.
Fig. 4. Hysteresis curves.

게이트 전압과 드레인 전류의 로그-로그 프로트를 그림 5에 나타낸다. 드레인 전류는 게이트 전압이 증가 됨에 따라서 증가되었고, 게이트전압의 모든 영역에 걸쳐서 드레인 전류의 로그-로그 프로트는 드레인 전압이 증가함에 따라서 드레인 전류가 증가함을 보였다. 비정질 실리콘의 국부적인 에너지 갭(gap)상태에서 확대상태 까지의 전자의 활성화 에너지는 게이트 전압이 증가 함에 따라서 감소되어 결과적으로 증가되어진 드레인 전압이 증가함에 따라서 증가 드레인 전류의 차이는 적게 되었다. 디바이스가 국부적인 상태에서 큰 에너지 상태밀도를 갖기 때문에 높은 전압에서 상태밀도가 더큰 차이가 되어 높은 전압에서의 드레인 전류의 차이는 적게 된다고 생각 된다.

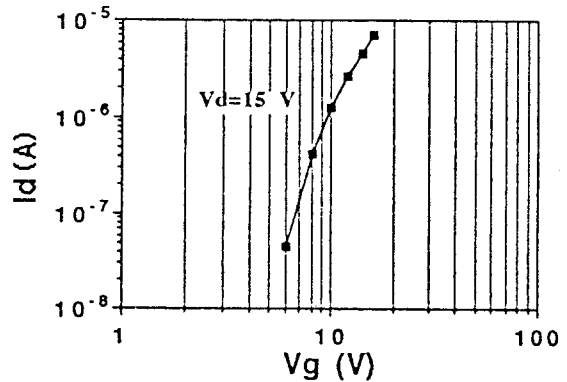


그림 5. TFT의 로그-로그 전달특성 곡선.
Fig. 5. Log-log transfer characteristics of TFT

그림6은 그림1의 디바이스 구조에서 게이트와 드레인,소오스 사이에 오버랩(overlap)이 $L_{ov}=1\mu m$ 이고 $V_g=4V$ 일경우 TFT DC 출력특성 곡선의 V_d-I_d 변화를 나타 낸다. 디바이스에 오버랩이 존재 할 경우에 오버랩이 없을 경우 보다 드레인 전류가 더 증가함을 보였는데 이는 오버랩이 존재 하므로서 활성화 채널에서 전자의 터널링이 더욱 어렵게 되므로서 활성화 전자가 더욱더 활성화 하지 못한 것에 기인한 것으로 생각 된다.

그림7은 $L_{ov}=1\mu m$ 이고 $V_d=10V$ 일경우 드레인 전류의 온-오프 비를 나타 낸다. 게이트 전압이 증가함에 따라서 온-오프 비는 지수 함수적인 감소를 나타 내었으며, 오버랩이 존재함으로 인한 전자의 터널링 때문에 오버랩이 존재할 경우의 온-오프비는 오버랩이 존재하지 않았을 경우보다 더 낮은 값의 온-오프 비를 보였다. 게이트전압 -10V부터 20V까지 인가 시켰을 때 실험된 게이트와 소오

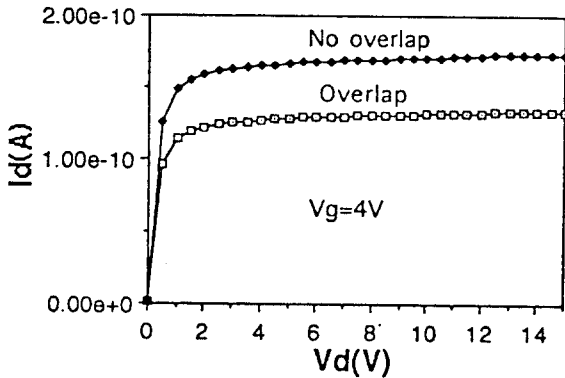


그림 6. 오버랩이 존재 할 때의 출력특성 곡선
Fig. 6. DC output characteristics when overlap occurrence.

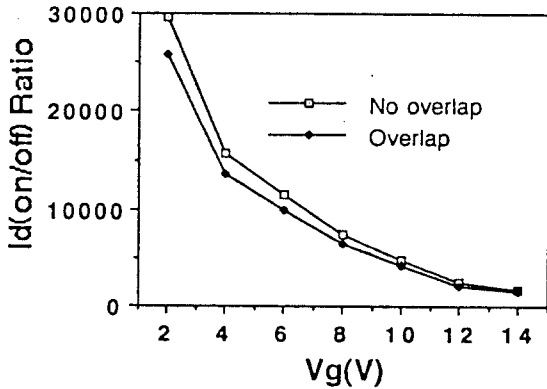


그림 7. 오버랩이 존재 할 때 드레인 전류의 온-오프 비
Fig. 7. Id(on/off)ratio when overlap occurrence.

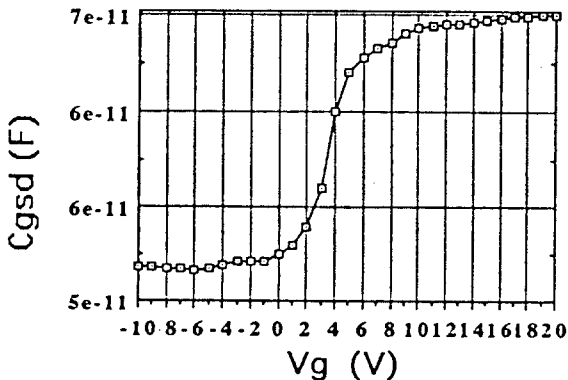


그림 8. 게이트 전압 증가에 따른 C_{gsd} 값의 변화.
Fig. 8. C_{gsd} variation by increasing gate voltage.

스, 드레인 사이의 캐패시턴스 C_{gsd} 값의 변화를 그림8에 나타낸다. 이 C_{gsd} 값은 2V 이하에서는 낮은값을 나타냈고 2V 이상에서는 2V이하에서 보다도 더 높은값을 나타내어서 전형적인 TFT C-V 특성과 같게 됨을 보였다.

4. 결 론

인버티드 스테거형 TFT 를 PECVD 방법에 의해서 제작하였고 드레인 전압과 드레인 전류에 대한 I-V, C-V 특성을 실험적으로 측정하고 분석하였는데 TFT의 출력특성인 드레인 전류와 드레인 전압특성에서 포화드레인 전류의 포화점은 4.5V 이상의 높은 드레인 전압에서 발생 하였고 드레인 전압이 증가 할수록 포화 드레인 전류도 약간씩 증가함을 보여서 전형적인 TFT I-V 특성과 같게 되었다. V_g - I_d 히스테리시스특성 곡선에서 게이트 전압을 -15V에서 15V 까지 증가시켰을때 제작된 TFT에서는 명확한 드레인 전류의 히스테리시스 특성곡선을 보였다. TFT 채널에서의 비정질 실리콘의 전자가 전류의 증가로 인한 고온으로 인하여 더욱더 활성화 되기 때문에 전압이 증가할수록 드레인 전류는 증가 하게 되었다. V_g - I_d 전달특성 곡선에서 드레인 전류의 로그-로그 프로트는 드레인 전압이 증가함에 따라서 드레인 전류가 증가함을 보였다. 또 비정질 실리콘의 국부적인 에너지 갭(gap)상태에서 확대상태 까지의 전자의 활성화에 너지는 게이트 전압이 증가 함에 따라서 감소되어 높은 드레인 전압에서 드레인 전류의 증가폭은 적게 되었다.

TFT에 오버랩이 존재 하므로서 전자의 터널링이 더욱 어렵게 되어 오버랩이 존재 할 경우에 오버랩이 없을 경우 보다 드레인 전류가 더 증가됨을 보였다. 드레인 전류의 온-오프 비는 게이트 전압이 증가함에 따라서 지수 함수적인 감소를 나타내었으며 오버랩이 존재함에 따른 전자의 터널링 때문에 오버랩이 존재할 경우의 온-오프 비는 오버랩이 존재 하지 않았을 경우보다 더 낮은 값의 온-오프비를 보였다. 게이트와 소오스, 드레인 사이의 캐패시턴스 C_{gsd} 값은 V_g 가 2V 이하에서는 낮은값을 나타냈고 2V 이상에서는 2V이하에서 보다도 더 높은값을 나타내어서 전형적인 TFT C-V 특성과 같게 되었다.

※ 이 논문은 한국 과학재단지정 지역협력 연구센터인 조선대학교 수송기계 부품 공장자동화 연구센터의 1995~1997년도 연구비 지원에 의해서 연구 되었음.

참 고 문 헌

1. Y.Naara, Y.Kudou and M. Matsumura, "Application of amorphous field effect transistor in 3-dimensional integrated circuits," Japanese Journal of Applied Physics, vol. 22, no.6, pp L370-L372, June 1983.
2. Y.Nara and M.Matsumura, "An amorphous silicon integrated inverter," IEEE Trans. Electron Devices, vol. ED-29, no.10 pp.1646-1649, 1982.
3. F.OKumura and S. Kaneko, "Amorphous Si:H linear image sensor operated by a-Si:H TFT array," Proc. Materials Res. Society Symposium, vol.33, M.J. Thompson Ed. New York: North Holland, pp 275-280, 1984.
4. T.L.Credelle, "Recent trends in color avionic LCD's," Soc. Information Display, vol.3, no.10, pp 15-18, Nov. 1987.
5. G.W.Neudeck, A.K.Malhotra, "An amorphous silicon thin film transistor: Theory and experiment," Solid State Electronics, vol.19, pp 721-729, 1976.
6. G.W.Neudeck, K.Y.Chung and H.F.Bare, "A simplified model for the static characteristics of amorphous silicon thin film transistors," Solid States Electronics, vol.29, no.6 pp 639-645, 1986.
7. G.W.Neudeck, H.F.Bare and K.Y.Chung, "Modeling of ambipolar a-Si:H thin film transistors," IEEE Trans. Electron Devices, vol. ED-34, no.2, pp.344-349, Feb. 1987.
8. Woo-Sun Lee, Gerold W. Neudeck, Shenwen Luan, "A model for the temperature dependent saturated I_D-V_D characteristics of an a-Si:H TFT," IEEE Electron Devices, vol. 38, no.9, pp.2070-2074, Sept. 1991
9. K.Y.Chung, G.W.Neudeck, "Transient analysis of the CMOS like a-Si:H TFT inverter circuit," IEEE Solid States Circuits, vol. 24, no.3, pp. 822-829, 1989.

저자소개



이우선

1952년 1월 23일생. 1994년 조선대학교 공대 전기공학과 졸업. 1984년 중앙대학교 대학원 전기공학과(공박). 1982년-83년 Univ. of Massachusetts 문교부 파견교수. 1989년-90년 Purdue Univ. 과학재단 파견 포스트 닥터. 1992년 7월-8월 일본 동경공업대학 객원교수.

현재 조선대학교 공대 전기공학과 교수. 당 학회 산업협동 이사. 본 학회 산학협동이사.



박진성

1962년 3월 2일생. 1985년 2월 연세대학교 졸업. 1990년 2월 한국과학기술원 재료공학 석사. 박사. 1990년 1월 삼성전자 반도체 선임연구원. 현재 조선대학교 공대 재료공학과 조교수.



이종국

1959년 12월 5일생. 1983년 서울대학교 공대 무기재료공학과 졸업. 1985년 동대학교 대학원 무기재료공학과 졸업(석사). 1990년 동 대학교 대학원 무기재료공학과(공박). 현재 조선대학교 재료공학과 교수.