

# 저온 제작 다결정 실리콘 박막 트랜지스터의 Off-Current 메카니즘에 관한 연구



## A Study on the Off-Current Mechanism of Poly-Si Thin Film Transistors Fabricated at Low Temperature

진 교원, 김 진, 이 진민, 김 동진\*, 조 봉희\*\*, 김 영호

(Gyo-Won Chin, Jin Kim, Jin-Min Lee, Dong-Jin Kim, Bong-Hee Cho, Young-Ho Kim)

### Abstract

The conduction mechanisms of the off-current in low temperature ( $\leq 600^\circ\text{C}$ ) processed polycrystalline silicon thin film transistors (LTP poly-Si TFT's) have been systematically studied. Especially, the temperature and bias dependence of the off-current between hydrogenated and nonhydrogenated poly-Si TFT's were investigated and compared. The off-current of nonhydrogenated poly-Si TFT's is because of a resistive current at low gate and drain voltage, thermally activated current at high gate and low drain voltage, and Poole-Frenkel emission current in the depletion region near the drain at high gate and drain voltage. After hydrogenation it has shown that the off-current mechanism is caused mainly by thermal activation and that the field-induced current component is suppressed.

**Key Words(중요용어)** : Poly-Si TFT's (다결정 박막 트랜지스터), Hydrogenation (수소화)

### 1. 서 론

저온제작 다결정 실리콘 박막 트랜지스터(poly-Si TFT's)는 활성층으로 사용되는 poly-Si 박막내의 비교적 높은 트랩밀도로 인하여 발생하는 off 전류가 크기 때문에 AMLCD(active matrix liquid crystal display)용 pixel 소자로 사용하기에는 많은 제한요소를 갖고 있다. Poly-Si TFT's의 off 전류는 TFT-LCD의 계조표시, contrast, flicker 등의 display 품질을 결정하는 중요한 특성이므로 실용화하기 위해서는 최소한 off 전류가  $1 \text{ pA}/\mu\text{m}$  이하를 갖는 poly-Si TFT's를 제작하여야 gray-scale AMLCD용으로 사용할 수 있다. 또한 고해상도 LCD에서 구동회로를 내장하기 위해서는 고속 동작이 절대적으로 필요하고 보다 높은  $I_{on}/I_{off}$ 비가 요

구된다. 이와 같이 저온 제작 poly-Si TFT's의 off 전류 특성은 매우 중요한 과제이기 때문에 소자 특성의 예측 관점에서 off 전류의 원인과 메카니즘을 규명할 필요성이 있다. 일반적으로 poly-Si TFT's의 off 전류는 활성층으로 사용되는 poly-Si의 채널저항 성분으로 이루어지는 저항성 전류와 결정입계(grain boundary)의 트랩상태가 전자와 정공의 생성중심(generation centers)으로 작용하여 발생하는 thermal emission 전류, 드레인 p-n' 접합 부근의 공핍층 영역에서 발생하는 Poole-Frenkel emission 전류, field emission 전류 등의 많은 이론이 제시되고 있지만<sup>1-3)</sup>, off 전류의 메카니즘을 정확히 해석할 수 있는 통일된 이론은 아직 확립되어 있지 않다.

따라서 본 연구에서는 저온( $\leq 600^\circ\text{C}$ )공정으로 제작한 poly-Si 박막 트랜지스터의 off 전류 전도 메카니즘에 대한 체계적인 분석과 함께 수소화 기술을 이용한 트랩밀도의 감소현상을 통해 off 전류 전도 메카니즘과 트랩밀도와의 상관관계를 분석하였다.

\* : 수원대학교 전자재료공학과

\*\* : 유한공업전문대학 전자과

\*\*\* : 수원대학교 전기공학과

접수일자 : 1996년 6월 14일

심사완료 : 1996년 10월 10일

### 2. 실험 방법

소자의 제작은 p-type (100) Si 웨이퍼(4 inch) 위에 APCVD 방법으로 480°C에서 5000Å의 SiO<sub>2</sub>를 증착한 후 LPCVD 방법으로 560°C에서 1000Å의 순수한 실리콘 박막을 증착하여 활성 영역층으로 사용하였다. 활성 영역층을 결정화하기 위하여 600°C 질소 분위기에서 36 시간 저온 열처리하여 활성 영역을 정의한 후 건식 식각 방법으로 poly-Si 박막을 식각 하였으며 게이트의 SiO<sub>2</sub> 박막은 APCVD 방법으로 480°C에서 1000Å 성장시켰다. Poly-Si 게이트 전극으로는 LPCVD 방법을 사용하여 560°C에서 1500Å 두께로 증착한 후 게이트 영역층을 정의하였다. 소스와 드레인 형성을 위해 자기 정렬 방법으로 P<sup>+</sup> 이온 (5 × 10<sup>15</sup> / cm<sup>2</sup>, 40 KeV)을 주입시켰으며 APCVD 방법으로 SiO<sub>2</sub> 막을 480°C에서 3000Å 두께로 증착하였다. 주입된 이온들을 활성화시키기 위하여 600°C 질소 분위기에서 24 시간 동안 열처리하였다. 소스, 드레인 및 게이트 접촉점을 정의한 후 실리콘이 1% 함유된 알루미늄을 DC 마그네트론 스퍼터링 방식으로 전극을 증착한 후 금속 마스크를 사용하여 전극을 형성하고 450°C에서 1 시간 동안 열처리하여 poly-Si TFT's를 제작하였으며 제작된 소자의 단면도를 그림 1에 나타내었다. 수소화 공정은 PECVD장비를 사용한 RF plasma 방법으로 수행하였다. RF plasma 조건으로 H<sub>2</sub> flow rate는 100 sccm, 기판온도는 300°C, 초기 진공도는 1 × 10<sup>-7</sup> Torr, power density는 0.25 W/cm<sup>2</sup>, 주파수는 13.65 MHz이며 수소화 공정 수행시 챔버 내부의 압력은 1 Torr이다.

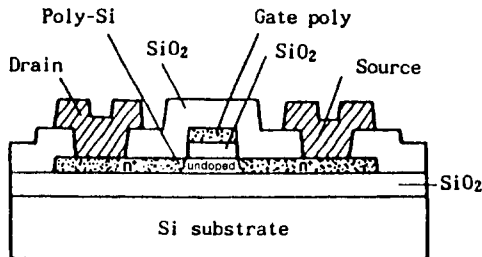


그림 1. Poly-Si TFT's의 단면도  
Fig. 1. Crosssectional view of Poly-Si TFT's

### 3. 결과 및 고찰

그림 2는 저온 제작 LPCVD poly-Si TFT's의 드레인 전압과 게이트 전압에 따른 전형적인

I<sub>DS</sub>-V<sub>GS</sub> 특성 곡선이다. 소자의 W/L은 20μm/20μm이며 off 전류가 게이트 전압과 드레인 전압에 크게 의존하는 것을 알 수 있었고, 특히 드레인 전압이 증가함에 따라 최소 off 전류의 flat bottom 영역이 감소함을 알 수 있었다. 낮은 드레인 전압 (V<sub>DS</sub> ≤ 1V)에서 off 전류는 게이트 전압에 크게 의존하지 않았으나 높은 드레인 전압(V<sub>DS</sub> ≥ 3V)에서는 (-)게이트 전압이 증가함에 따라 지수함수적으로 증가하는 전류특성을 나타내었다.

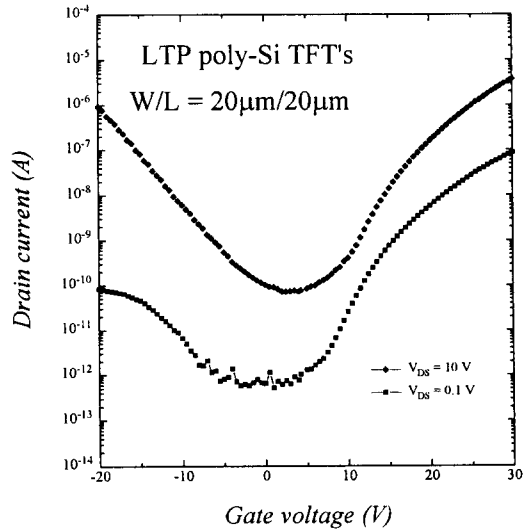


그림 2 LTP Poly-Si TFT's의 I<sub>DS</sub>-V<sub>GS</sub> 특성곡선  
Fig. 2. The I<sub>DS</sub>-V<sub>GS</sub> characteristics of LTP poly-Si TFT's

그림 3은 poly-Si TFT's off 전류의 채널길이에 대한 의존성을 나타낸 그림이다. (-)게이트 전압이 큰 영역에서의 off 전류는 채널길이에 무관한 것으로 나타났으며, 이는 소자의 off 전류가 주로 접합 저항(p-n junction resistance)성분에 의해 이루어지는 것으로 생각할 수 있다. Flat bottom영역에서의 채널길이가 증가함에 따라 off 전류는 감소하는 것으로 나타났으며, 이 사실은 이 영역에서의 off 전류가 소자의 채널 활성화영역으로 사용된 poly-Si 박막저항성분에 의해 결정되는 것으로 밝혀졌다. 또한 이러한 현상은 off 전류에 기여하는 캐리어 농도보다는 poly-Si 박막내에 존재하는 트랩밀도가 더 많아 채널길이가 증가함에 따라 게결합률 확률이 높기 때문에 off 전류가 감소하는 것으로 해석할 수 있다.

그림 3은 V<sub>DS</sub>=3V일 때 1/L에 대한 off 전류의 의존성을 나타낸 것이다. V<sub>DS</sub> ≤ 3V이하의 낮은 드

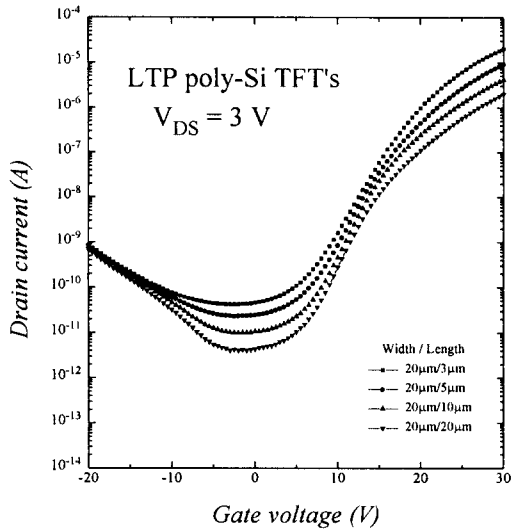


그림 3. 게이트 전압에 따른 off-current의 채널길이 의존성( $V_{DS} = 3V$ )

Fig. 3. Channel length dependence of off-current on gate bias at  $V_{DS} = 3V$  for poly-Si TFT's

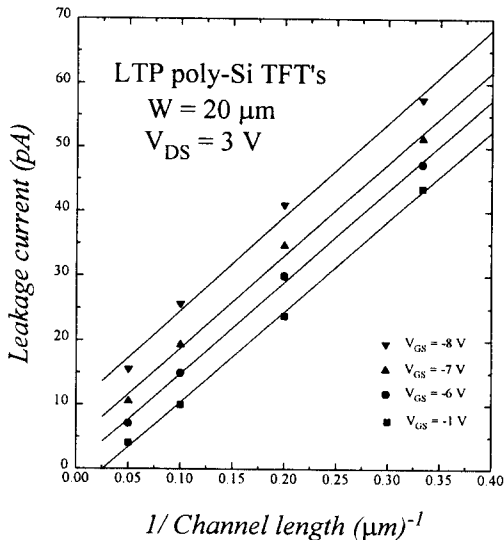


그림 4. Poly-Si TFT's off-current의 1/L 의존성 ( $V_{DS} = 3V, W = 20\mu m$ )

Fig. 4. Dependence of off-current on the inverse of channel length at  $V_{DS} = 3V$  for poly-Si TFT's with  $W = 20\mu m$

레인 전압과  $-7V \leq V_{GS} \leq 0V$  영역에서 off 전류가 1/L에 선형적으로 증가하는 것으로 나타났으나,  $V_{DS} > 3V, -20V \leq V_{GS} \leq -7V$  영역에서는 선형적

인 특성을 발견할 수 없었다. 따라서 낮은 드레인 전압, 낮은 게이트 전압 영역에서만 off 전류가 채널 poly-Si 박막 저항성분에 의한 저항성 전류로 이루어지고 있으며 낮은 게이트 전압에서도 드레인 전압이  $V_{DS} > 3V$  이상이 되면 전계의 영향을 받는 것으로 나타났다.

Frenkel-Poole 메카니즘에 의한 전류  $I_{PF}$ 는 다음과 같이 표현된다.<sup>2)</sup>

$$I_{PF} = I_0 \exp(\alpha \sqrt{E_{pk}})$$

$$\text{여기서, } \alpha = \frac{q^{3/2}}{(\pi \epsilon_{Si})^{1/2}} \frac{1}{kT}$$

$I_0$ 는 전계가 없을 때의 generation 전류이며  $\epsilon_{Si}$ 은 Si의 유전율이다.

전계의 peak 값,  $E_{pk}$ 는 다음과 같은 식으로 주어진다.

$$E_{pk} = \frac{(V_{GS} - V_{DS} - V_{FB}) \epsilon_{SiO_2}}{t_{ox} \epsilon_{Si}}$$

여기서,  $V_{FB}$ 는 최소 off 전류가 흐를 때의 전압,  $\epsilon_{SiO_2}$ 는  $SiO_2$ 의 유전율,  $t_{ox}$ 는  $SiO_2$ 의 두께를 나타낸다.

상온에서  $(E_{pk})^{1/2}$ 에 대한 off 전류의 Poole-

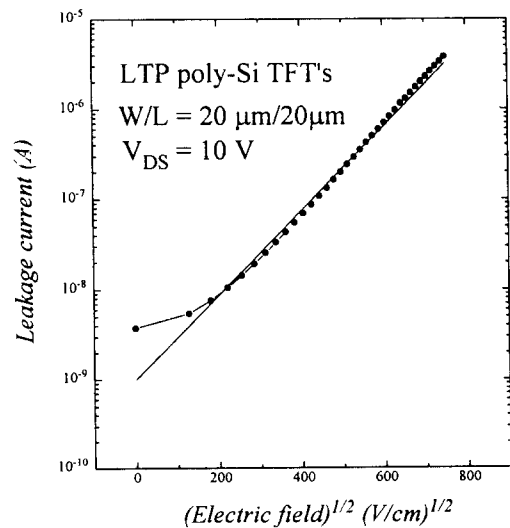


그림 5. Poly-Si TFT's 의 off-current- $\sqrt{E_{PK}}$  곡선 ( $V_{DS} = 10V, W/L=20/20\mu m$ )

Fig. 5. Off-current versus  $\sqrt{E_{PK}}$  for poly-Si TFT's at  $V_{DS} = 10V$

Frenkel emission 전류 메커니즘에 의한 이론값과 측정값을 그림 5에 나타냈다. 높은 게이트 전압과 높은 드레인 전압 영역( $-20V \leq V_{GS} \leq -7V$ ,  $V_{DS} > 3V$ )에서 이론에 의한 Poole-Frenkel 전류값과 저온에서 제작된 소자의 높은 전계영역에서 측정된 off 전류값이 일치하는 것으로 나타났다. 이 사실로 높은 게이트 전압과 드레인 전압 영역에서 poly-Si TFT's의 off 전류가 Poole-Frenkel emission에 의해 이루어지는 것을 확인할 수 있었다.

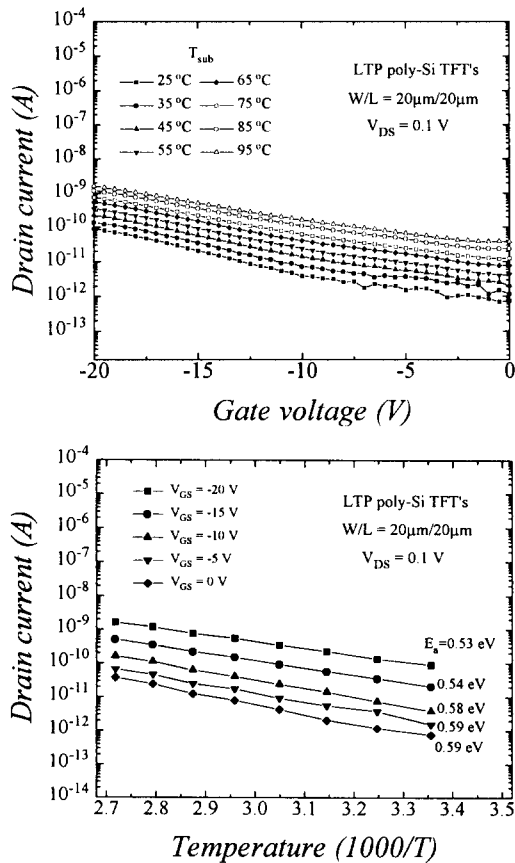


그림 6. 수소화 전 poly-Si TFT's off-current의 온도 의존성( $V_{DS} = 0.1V$ )  
 Fig. 6. Temperature dependence of off-current for nonhydrogenated poly-Si TFT's at  $V_{DS} = 0.1V$

그림 6과 7은 수소화 전 off 전류의 온도 의존성을 나타낸 그림이다. 온도  $25^\circ C \sim 95^\circ C$  범위에서  $10^\circ C$  씩 온도를 증가시키면서 off 전류를 측정된 결과이며 활성화에너지(activation energy,  $E_a$ )는  $I_{off} = I_0 \exp(-E_a/2kT)$  관계식에서 얻었다. 낮은 드레인

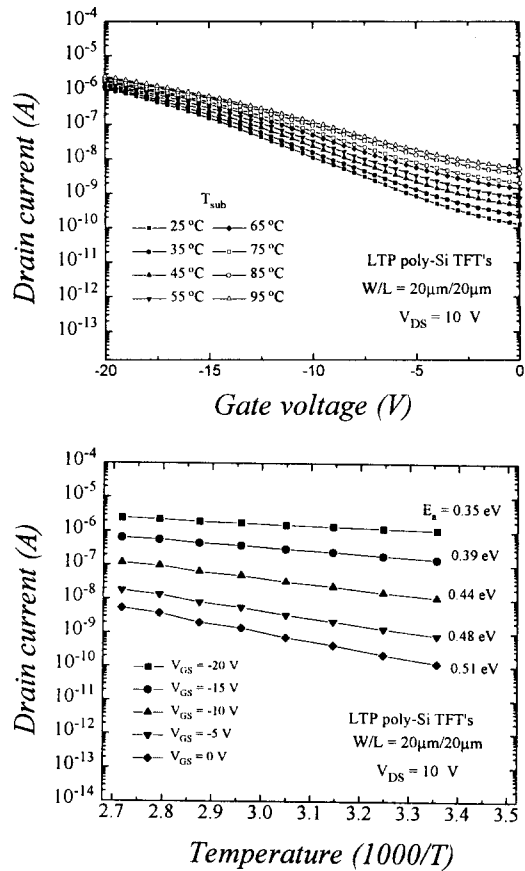


그림 7. 수소화 전 poly-Si TFT's off-current의 온도 의존성( $V_{DS} = 10V$ )  
 Fig. 7. Temperature dependence of off-current for nonhydrogenated poly-Si TFT's at  $V_{DS} = 10V$

전압( $V_{DS}=0.1V$ )일때  $25^\circ C \sim 95^\circ C$  온도범위에서 게이트 전압이 증가함에 따라 게이트 전압에 관계없이 off 전류의 증가는 동일하게 나타났으며, 이 영역에서는 off 전류가 온도에 의존하는 것으로 밝혀졌다. 높은 드레인 전압( $V_{DS}=10V$ ) 일때  $25^\circ C$ 에서 off 전류는 게이트 전압에 의한 의존성이 매우 크게 나타났으나 온도가  $95^\circ C$ 로 증가함에 따라 off 전류의 증가폭이 약간 감소되는 것으로 나타났다. 따라서 이 영역에서의 off 전류는 온도보다는 전계에 의존하는 것으로 밝혀졌다. 낮은 드레인 전압( $V_{DS}=0.1V$ )에서  $E_a$  값이  $V_{GS}=0V$  일때  $0.59 eV$ ,  $V_{GS}=-20V$  일때  $0.53 eV$ 로 게이트 전압에 관계없이 거의 일정하게 나타났으며 이는 off 전류가 진성 캐리어 농도  $n_i \propto \exp(-E_g/2k_B T)$  관계식에 의해  $E_a$  값이  $E_g/2$  값에 접근하는 결과를 얻게 된다.

따라서 off 전류가 midgap 상태에 발생하는 pure thermal generation 전류에 의해 이루어지는 것을 알 수 있었다. 그러나 높은 드레인 전압( $V_{DS}=10V$ )에서는 (-)게이트 전압이 0V 에서 20V 로 증가함에 따라  $E_a$  값이 0.51 eV에서 0.35 eV로 감소하는 것으로 나타났다. 이 사실은 off 전류가 thermal generation 전류보다는 드레인 p-n 접합부근 공핍층에서의 Poole-Frenkel emission 전류에 기인하는 것으로 생각할 수 있으며  $V_{GS}=-20V$  일때  $E_a=0.35$  eV 인 것을 감안하면 터널링에 의한 field emission 전류성분은 무시할 수 있는 것으로 생각된다.

그림 8과 9는 수소화 공정 처리 후 off 전류의 온도 의존성을 나타낸 그림이다. 수소화 전 소자의 온도 의존성 특성결과와는 달리 드레인 전압에 관계없이 게이트 전압이 증가함에 따라 off 전류의

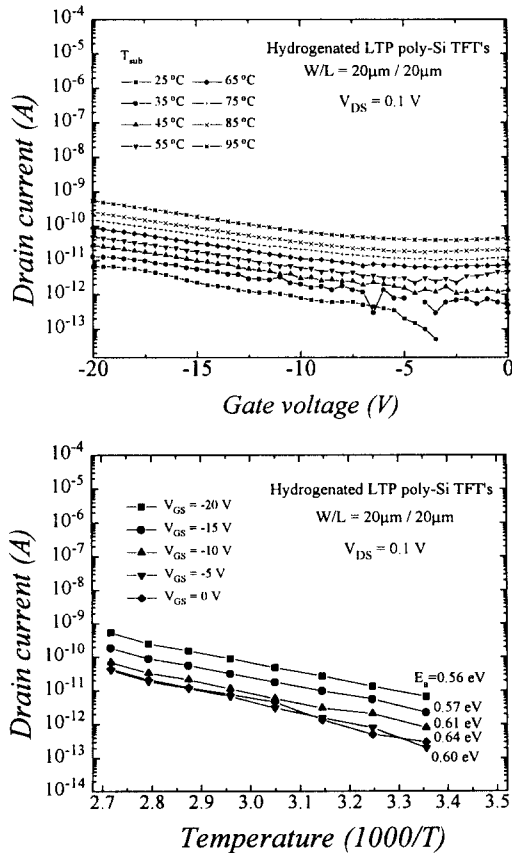


그림 8. 수소화 된 poly-Si TFT's off-current의 온도 의존성( $V_{DS} = 0.1V$ )

Fig. 8. Temperature dependence of off-current for hydrogenated poly-Si TFT's at  $V_{DS} = 0.1V$

증가폭이 일정하게 나타났다. 이 사실은 수소화 처리된 소자의 off 전류는 전계보다는 온도에 영향을 받는 것을 의미하며 소자의 활성층 채널영역으로 사용된 poly-Si 박막의 결정입계에 존재하는 트랩 상태밀도가 감소하였기 때문으로 생각된다. 또한  $V_{DS}=0.1V$ 일 때  $E_a$  값은 게이트 전압이 증가함에 따라 0.60 eV~0.56 eV 로  $V_{DS}=10V$  일 때 0.52 eV에서 0.42 eV로 감소폭이 수소화 전 소자보다 훨씬 줄었고 전계에 의한 영향을 덜 받는 것으로 나타났다. 따라서 수소화 후 소자의 off 전류는 전계에 의해 발생하는 전류성분보다는 thermal generation 전류성분이 우세한 것으로 생각된다.

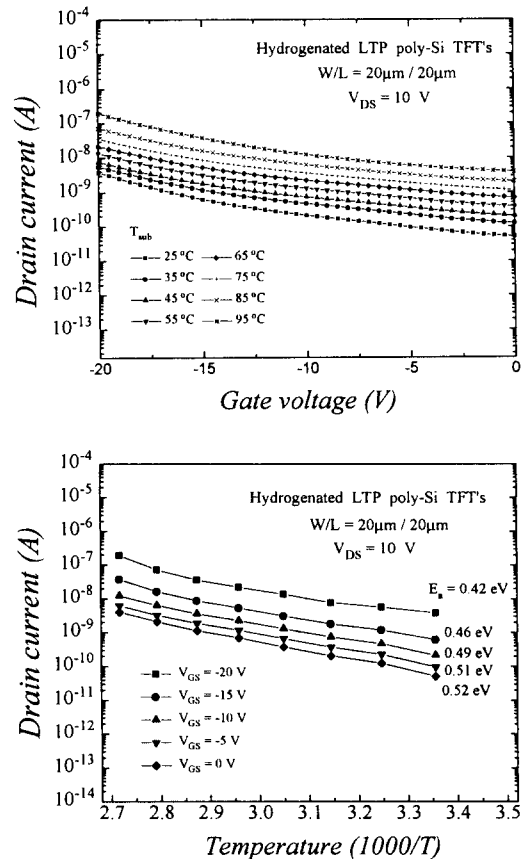


그림 9. 수소화 된 poly-Si TFT's off-current의 온도 의존성( $V_{DS} = 10V$ )

Fig. 9. Temperature dependence of off-current for hydrogenated poly-Si TFT's at  $V_{DS} = 10V$

그림 10은 수소화 전후 활성화 에너지의 드레인 전압과 게이트 전압에 대한 의존성을 나타낸 그림

이다.  $|V_{GS}|$ 와  $V_{DS}$ 에 따라  $E_a$  값이 감소하는 것으로 나타났으며 이러한  $E_a$  값의 감소는 전계의 세기 및 off 전류의 증가를 의미한다. 따라서  $E_a$  값은 off 전류특성을 결정짓는 중요한 요인으로 생각할 수 있다. 수소화 전 소자의 경우 드레인 전압이 증가함에 따라 off 전류가 저항성 전류특성을 나타내는 영역은 점차 작아지고 thermal generation 전류 특성이 함께 나타나기 시작하는 게이트 전압이 점점 작아지는 것을 볼 수 있었고 이로부터 높은 드레인 전압영역에서는 저항성 전류 특성보다는 드레인 근처에 인가되는 고전계로 인한 접합 저항 전류특성을 나타냄을 알 수 있었다. 수소화 공정 후 활성화 에너지를 나타내는 그림으로 공정 후  $E_a$  값은 공정 전에 비하여 증가함을 볼 수 있는데 이것으로 생성중심으로 작용하는 midgap 상태밀도가 수소화공정으로 감소되었음을 확인할 수 있었다. 또한 수소화 전후 모든 소자의 경우 높은 드레인 전압( $V_{DS} \geq 3V$ )과 높은 게이트 전압( $-20V \leq V_{GS} \leq -7V$ )영역에서 드레인 전압이 증가함에 따라 활성화 에너지는 Poole-Frenkel 효과에 의해 감소됨을 알 수 있었다.

#### 4. 결 론

저온 제작된 poly-Si TFT's에서 off 전류의 전도 메커니즘은 저항성 전류( $V_{DS} \leq 3V, -7V \leq V_{GS} \leq 0V$ ), thermal generation 전류( $V_{DS} \leq 3V, -20V \leq V_{GS} \leq -7V$ ), Poole-Frenkel emission 전류( $V_{DS} > 3V, -20V \leq V_{GS} \leq -7V$ ) 등으로 나타났다. 저항성 전류 영역에서는 채널 길이가 증가할수록 off 전류는 비례적으로 감소하였고 온도의 영향도 크게 받는 것으로 나타났다. Thermal generation 전류영역과 Poole-Frenkel emission 전류의 영역에서는 채널 길이와 온도에 대하여 독립적이고 전계에 크게 의존하는 것으로 나타났다. 수소화 공정 후 소자의 off 전류는 드레인 전압과 게이트 전압에 의한 전계 의존성보다는 온도에 의존하는 전류특성을 나타내었다. 또한 poly-Si TFT's의 off 전류는 midgap상태의 트랩밀도와 드레인 근처의 전계의 영향을 크게 받는 것을 확인할 수 있었다.

※ 본 연구는 서울대학교 반도체 공동 연구소의 교육부 반도체 분야 학술 연구 조성비 (과제번호 : ISRC 95 - E - 4025) 에 의해 수행되었습니다.

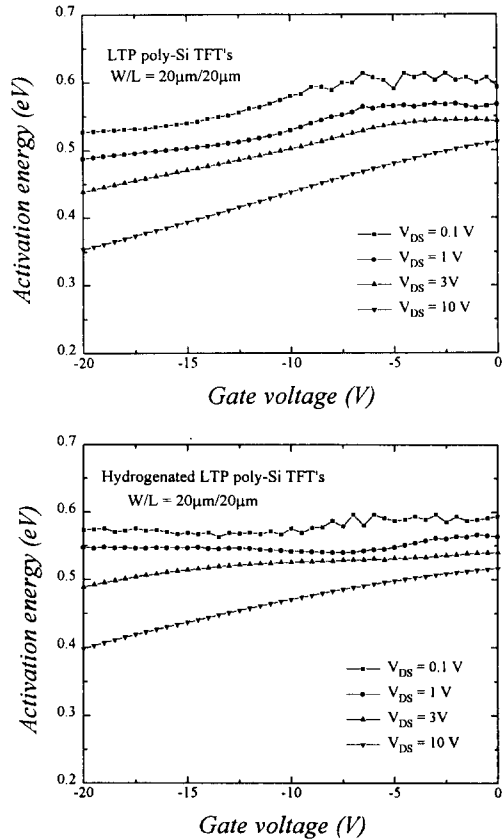


그림 10. 게이트 전압에 따른 수소화 전후 소자의 활성화에너지 의존성

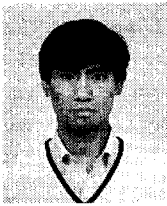
Fig. 10. Dependence of activation energy on gate bias with drain bias at 0.1V, 1V, 3V, and 10V for nonhydrogenated and hydrogenated poly-Si TFT's

#### 참 고 문 헌

1. J. Fossum, A. Corde, H. Shichijo, S. Banerjee, "Anomalous Leakage Current on LPCVD Polysilicon MOSFET's," IEEE Trans. Electron Devices, Vol. ED-32, pp. 1878, 1885.
2. S. K. Madan and D. A. Antoniadis, "Leakage Current Mechanisms in Hydrogen-passivated Fine-grain Polycrystalline Silicon on Insulator MOSFET's," IEEE Trans. Electron Devices, Vol. ED-33, pp. 1518-1527, 1986.
3. Angel Rodriguez, E. G. Moreno, H. Pattyn, J. F. Mijs, and R. Mertens, "Modeling for the Anomalous Off-Current of Poly-Si Thin-Film

- Transistors and Diodes.", IEEE Trans. Electron Devices, Vol. 40, No. 5, pp. 983-934, 1993.
4. K. Ono, T. Aoyama, N. Konishi, and K. Miyata, "Analysis of Current-Voltage Characteristics of Low-Temperature-Processed Polysilicon Thin-Film Transistors," IEEE Trans. Electron Devices, Vol. 39, pp. 792-802, 1992.
5. C. F. Yeh, S. S. Lin, T. Z. Yang, C. L. Chen, and Y. C. Yang, "Performance and Off-state Current Mechanisms of Low-Temperature Processed Polysilicon Thin Film Transistors with Liquid Phase Deposited SiO<sub>2</sub> Gate Insulator," IEEE Trans. Electron Devices, Vol. 41, pp. 173-179, 1994.

**저자소개**



**이진민**

1966년 12월 23일생. 1993년 수원대 전자재료공학과 졸업. 1995년 동 대학원 전자재료공학과 졸업(석사). 현재 삼성 전자 반도체연구소 연구원.



**김영호**

1954년 6월 12일생. 1977년 연세대 전기공학과 졸업. 1979년 동 대학원 전지공학과 졸업(석사). 1983년 동 대학원 전지공학과 졸업(박사). 현재 수원대학교 전자재료공학과 부교수.



**김진**

1970년 2월 5일생. 1994년 수원대 전기공학과 졸업. 1996년 동 대학원 전자재료공학과 졸업(석사). 현재 오리온전기 종합연구소 평판연구실 연구원



**조봉희**

1957년 2월 19일생. 1979년 연세대 전기공학과 졸업. 1983년 동 대학원 전기공학과 졸업(석사). 1988년 동 대학원 전기공학과 졸업(박사). 현재 수원대학교 전기공학과 조교수.



**진교원**

1973년 8월 28일생. 1996년 수원대학교 전자재료공학과 졸업. 현재 동 대학원 전자재료공학과 석사과정.



**김동진**

1948년 5월 4일생. 1975년 광운대 전자공학과 졸업. 1979년 연세대 산업대학원 졸업(석사). 현재 유한전문대학 전자과 교수.