

論文96-33B-10-3

문턱 레벨과 포화 레벨을 전류로 제어할 수 있는 OTA-R 슈미트 트리거

(An OTA-R Schmitt trigger with current-controllable threshold and saturation levels)

金 鍵 *, 朴 志 晚 *, 鄭 元 燮 *

(Kun Kim, Ji-Mann Park, and Won-Sup Chung)

요 약

OTA-R 전류-제어 슈미트 트리거 회로를 제안하였다. 회로는 두 개의 OTA와 두 개의 접지된 저항기로 구성된다. 하나의 OTA와 하나의 저항기는 출력 레벨을 결정하고, 나머지 OTA와 저항기는 문턱 레벨을 결정한다. 회로의 동작 원리를 나타냈고, 컴퓨터 시뮬레이션과 CMOS 어레이를 이용한 브레드보드 실험을 통해 이론적인 예측을 검증하였다. 실험 결과, 이론적인 예측과 실험적인 결과가 일치함을 알 수 있었다.

Abstract

A current-controlled OTA-R Schmitt trigger circuit is described. It consists of two OTA's and two resistors. The output level of the circuit is determined by one OTA and one resistor, and the threshold level by the other OTA and resistor. The theory of operation is presented and computer simulation results and experimental results using CMOS arrays are used to verify theoretical predictions. The results show close agreement between predicted behaviour and experimental performance.

I. 서 론

슈미트 트리거(Schmitt trigger) 회로는 잘 정의된 히스테리시스(hysteresis)를 갖는 비교기로서, 통신 시스템과 계장(計裝) 시스템에서 신호 레벨(level)을 검출하는 중요한 회로이다^[1]. 특히, 히스테리시스의 문턱 전압(threshold voltage) 레벨을 바이어스(bias) 전압 또는 전류로 제어할 수 있는 슈미트 트리거는, 센서 신호 처리 및 계측 제어 시스템에 폭 넓게 응용된다^{[2], [3]}. 전류(또는 전압)-제어 슈미트 트리거에 요구되는 성능은 다음의 세 가지로 요약된다^[4]. 첫째, 스위칭(switching) 지연 시간이 작아야 한다. 둘째, 문

턱 전압 레벨이 안정해야 한다. 셋째, 넓은 바이어스 전류 범위에 걸쳐 문턱 전압 레벨을 선형적으로 제어할 수 있어야 한다. 이들 세 가지 성능을 만족하는 전류-제어 슈미트 트리거를 실현하는 방법 중에서 가장 간단한 것은, 연산 트랜스컨덕턴스 증폭기(operational transconductance amplifier: OTA)를 스위칭 소자로 이용하는 것이다.

OTA와 저항기를 이용한 OTA-R 전류-제어 슈미트 트리거에서 가장 문제가 되는 것은, 바이어스 전류로 문턱 전압 레벨을 제어할 때 출력 전압 레벨도 같이 변하며, 이에 따라 그 응용이 제한된다는 것이다^[5]. 본 연구에서는, 출력 전압 레벨에 영향을 주지 않으면서 문턱 전압 레벨만 바이어스 전류로 정밀하게 제어할 수 있는 새로운 OTA-R 전류-제어 슈미트 트리거를 제안한 다음, 컴퓨터 시뮬레이션을 통해 그 결과의 회로의 유용성을 검토하고자 한다.

* 正會員, 淸州大學校 半導體工學科

(Dept. of Semiconductor Engineering, Chongju University)

接受日字: 1996年6月24日, 수정완료일: 1996年10月2日

II. 회로 구성 및 동작 원리

1. 전형적인 OTA-R 슈미트 트리거 회로

하나의 OTA와 하나의 저항기로 구성된 전형적인 슈미트 트리거의 회로도들을 그림 1(a)에 나타냈다^[5]. 이 슈미트 트리거의 출력 전압 레벨과 문턱 전압 레벨은 저항 R 에 걸리는 전압에 의해 결정된다. OTA가 스위칭 지연이 없는 경우, OTA의 출력 전류는 $+I_b$ 나 $-I_b$ 인 바이어스 전류값으로 포화되므로, 출력 전압 레벨과 문턱 전압 레벨은 $+I_b R$ (혹은 $-I_b R$)와 저항 R 의 곱으로 정의된다. 즉, 출력 전압 레벨과 문턱 전압 레벨은

$$L_+ = -L_- = I_b R \quad (1a)$$

$$V_{TH} = -V_{TL} = I_b R \quad (1b)$$

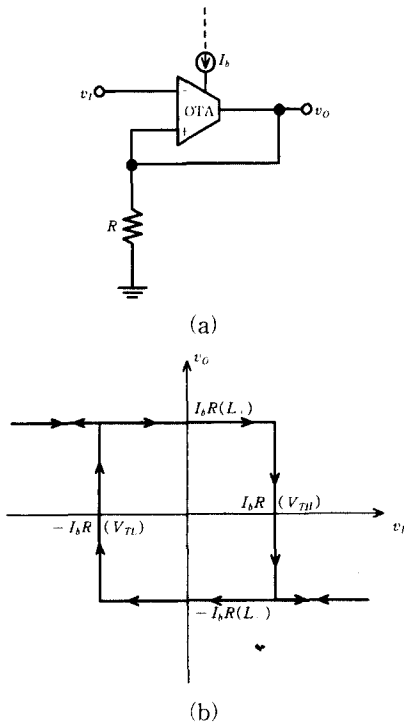


그림 1. OTA를 이용한 전형적인 슈미트 트리거 회로 (a) 회로도 (b) 전달 특성
Fig. 1. Typical Schmitt trigger circuit using an OTA. (a) Circuit diagram (b) Transfer characteristic

이다. 출력 전압 대 입력 전압의 전달 특성을 그림 1(b)에 나타냈다. 그림 1(b)로부터, 출력 전압 레벨과

문턱 전압 레벨이 OTA의 바이어스 전류 I_b 에 대해 같이 변화한다는 것을 알 수 있다.

2. 제안된 OTA-R 슈미트 트리거 회로

1) 이상적인 경우

본 연구에서 제안한 OTA-R 전류-제어 슈미트 트리거의 회로도를 그림 2에 나타냈다. 회로는 두 개의 OTA와 두 개의 저항기로 구성된다. 회로에서, OTA_1 과 R_1 은 출력 전압 레벨을 결정하고, OTA_2 와 R_2 는 문턱 전압 레벨을 결정한다.

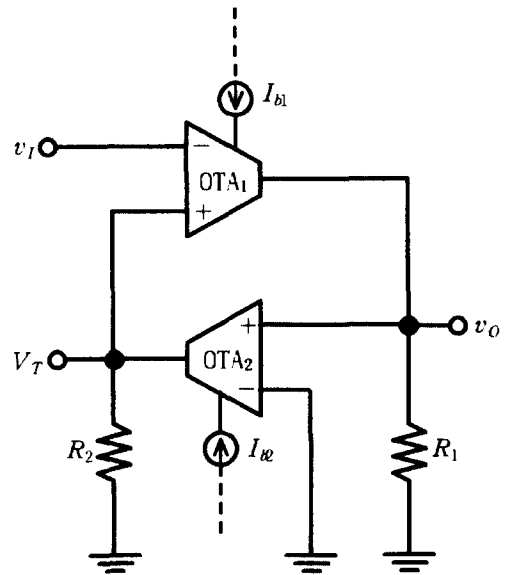


그림 2. 새로운 OTA-R 전류-제어 슈미트 트리거 회로

Fig. 2. A new current-controlled OTA-R Schmitt trigger circuit.

OTA가 이상적인 경우 즉 스위칭 지연이 없을 경우, 회로는 다음과 같이 동작할 것이다. 먼저, 입력 전압 v_i 가 임의의 문턱 전압 레벨 V_T 보다 작다고 가정해 보자. 그러면, OTA_1 은 플러스 쪽으로 포화되어 자신의 바이어스 전류 I_{b1} 을 저항 R_1 을 통해 접지로 흘릴 것이고, OTA_2 역시 플러스 쪽으로 포화되어 자신의 바이어스 전류 I_{b2} 를 저항 R_2 를 통해 접지로 흘릴 것이다. 따라서 출력 전압은

$$v_o = R_1 I_{b1} = L_+ \quad (2)$$

로 포화될 것이고, 문턱 전압은

$$V_{TH} = R_2 I_{b2} \quad (3)$$

로 주어질 것이다. 이 상태에서 입력 전압이 증가하여 V_{TH} 보다 커지면, OTA₁의 두 입력 단자 사이에 마이너스 전압이 나타날 것이고, 이에 따라 OTA₁과 OTA₂는 각각 마이너스 쪽으로 포화되어 I_{b1} 과 I_{b2} 를 R_1 과 R_2 저항으로부터 끌어들이는 것이다. 따라서, 이때, 출력 전압은

$$v_o = -R_1 I_{b1} = L_- \quad (4)$$

로 바뀔 것이고, 문턱 전압은

$$V_{TL} = -R_2 I_{b2} \quad (5)$$

로 바뀔 것이다. 다음으로, 입력 전압이 감소할 때의 $v_o - v_i$ 전달 특성은 동일한 방법으로 얻을 수 있다. 그림 3은 두 전달 특성들을 결합시킨 완전한 전달 특성을 나타낸 것이다. 그림 3의 전달 특성으로부터, 이 슈미트 트리거의 문턱 전압 레벨과 출력 전압 레벨이 각각 바이어스 전류 I_{b1} 과 I_{b2} 에 정비례한다는 것을 알 수 있다. 즉, 이는 문턱 전압 레벨과 출력 전압 레벨을 각각 별도로 제어할 수 있다는 것을 의미한다.

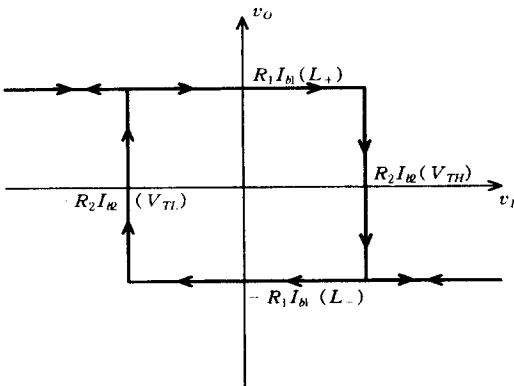


그림 3. 새로운 슈미트 트리거 회로의 전달 특성
Fig. 3. The transfer characteristic of the new Schmitt trigger circuit.

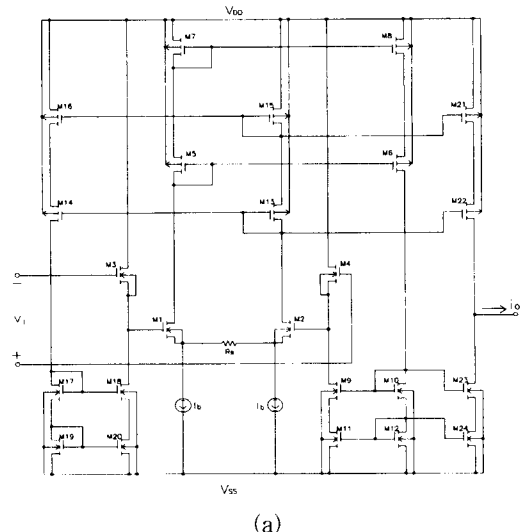
2) 실제의 경우

지금까지는 OTA들이 이상적인 경우에 대해서 기술했다. 그러나 실제의 경우에는, OTA의 유한한 입력 선형 범위 때문에 슈미트 트리거의 문턱 레벨이 작아지고, OTA의 스위칭 시간 지연 때문에 슈미트 트리거의 문턱 레벨이 증가한다.

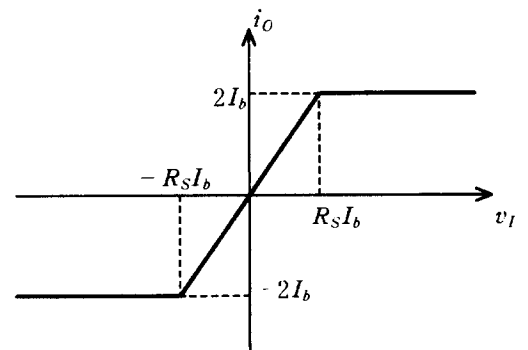
(1) OTA의 입력 선형 범위가 슈미트 트리거의 문턱 레벨에 미치는 영향

슈미트 트리거의 회로 구성에 사용된 OTA의 회로

도를 그림 4(a)에 나타냈고^[6], 이 OTA의 입-출력 전달 특성을 그림 4(b)에 나타냈다. 이 특성으로부터, OTA의 입력 선형 범위가 $|v_i| \leq R_S I_b$ 로 R_S 저항과 바이어스 전류 I_b 에 의해서 결정된다는 것을 알 수 있다. 선형 범위에서의 전달 특성의 기울기는 OTA의 트랜스컨덕턴스 g_m 이며, g_m 은 $g_m = 2/R_S$ 이다. 이와 같은 OTA의 (0이 아닌) 유한 입력 선형 범위는 슈미트 트리거의 문턱 레벨을 이상적인 값으로부터 벗어나게 한다. 따라서 유한 입력 선형 범위를 줄이는 것이 바람직하며, 이를 위해서 R_S 저항을 작은 것으로 선택해야 한다.



(a)



(b)

그림 4. (a) OTA의 내부 회로도
(b) 입-출력 전달 특성
Fig. 4. (a) Circuit diagram of an OTA
(b) Transfer characteristic.

그림 5에, OTA의 유한 입력 선형 범위에 의한 슈미트

트 트리거의 문턱 레벨의 변화를 도식적으로 나타냈다. 그림에서 파선이 변화된 전달 특성을 나타내고, 점선이 이상적인 전달 특성을 나타낸다. 영역 I에서는 OTA₁과 OTA₂ 둘다가 포화 영역에서 동작하고, 영역 II에서는 OTA₁과 OTA₂가 각각 선형 영역과 포화 영역에서 동작한다. 영역 III에서는 두 OTA가 선형 영역에서 동작한다. III 영역에서 전달 특성이 선형적으로 감소하는 것처럼 나타내어져 있지만, 실제로는 회로 전체에 걸린 정극화에 때문에 이 영역에서의 전달 특성은 거의 수직으로 천이한다. II 영역에서, 출력 레벨이 선형적으로 감소하기 때문에 생기는 문턱 레벨의 감소를 수식적으로 나타내면 다음과 같다:

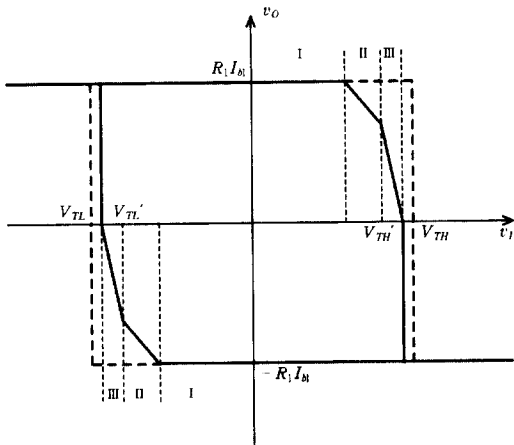


그림 5. OTA의 유한 입력 선형 범위에 의한 슈미트 트리거의 문턱 레벨의 변화

Fig. 5. The variation of the threshold voltage level of the Schmitt trigger by the finite input linear range of the OTA.

$$V_{TH}' \approx R_2 I_{B2} - \frac{R_S^2}{2R_1} I_{B2} \quad (6)$$

위의 식으로부터, R_S 저항이 작으면 작을수록 그리고 R_1 저항이 크면 클수록 문턱 레벨의 값이 그만큼 이상적인 값에 가까워진다는 것을 알 수 있다.

(2) OTA의 스위칭 시간 지연이 슈미트 트리거의 문턱 레벨에 미치는 영향

OTA의 입력 단자 사이의 신호가 출력에 나타나는 데에는 어느 정도의 시간이 소요된다. 이 스위칭 시간 지연은 MOS 트랜지스터의 공핍 커패시턴스와 게이트-소스간 커패시턴스로 구성되는 기생 커패시턴스의 크기와 이를 충전(혹은 방전)시키는 데 이용할 수 있는

전류의 양에 의해서 결정된다¹⁷⁾. 기생 커패시턴스는 트랜지스터 채널의 길이와 폭, 그리고 여러 가지 공정 파라미터들에 의해서 정해진다. OTA를 구성하는 여러 트랜지스터들의 기생 커패시턴스 중에서, 스위칭 지연에 가장 큰 영향을 미치는 것은 출력단에 있는 트랜지스터들의 기생 커패시턴스이다. 따라서 출력단을 형성하는 트랜지스터들의 크기를 줄여줌으로써 스위칭 시간 지연을 어느 정도 줄일 수 있다.

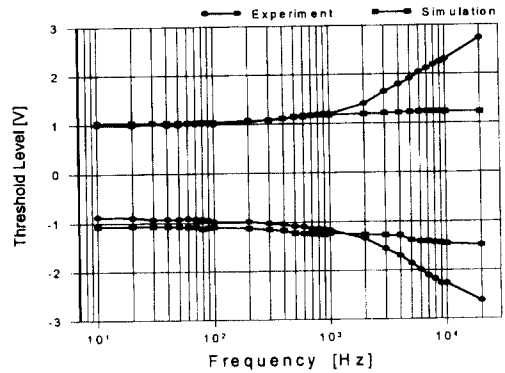


그림 6. 문턱 전압 레벨 대 주파수 특성
Fig. 6. Threshold voltage level versus frequency characteristics.

스위칭 시간 지연은, 입력 신호 주파수가 증가함에 따라 슈미트 트리거의 문턱 전압이 증가하는 현상을 일으킨다. 그림 6에, 시뮬레이션과 브레드보드 실험을 통해 측정된 문턱 레벨 대 입력 신호 주파수 특성을 나타냈다. 이 그림으로부터, 브레드보드 실험에서는 중간주파에서부터 입력 신호의 주파수가 증가함에 따라 슈미트 트리거의 문턱 전압이 거의 선형적으로 증가하는데 반해, 시뮬레이션에서는 더 높은 주파수까지 문턱 전압이 일정하다는 것을 알 수 있다. 이 두 결과의 차이는, 브레드보드 실험에 사용된 CMOS 어레이의 소자 크기가 시뮬레이션에 사용된 소자 크기보다 상당히 크기 때문이다.

III. 실험 결과 및 고찰

그림 2의 슈미트 트리거 회로를 그림 4(a)의 OTA를 이용하여 구성한 다음, 그 결과의 회로를 SPICE 시뮬레이션했다. 그림 4(a)에서, OTA의 입력 선형 범위를 결정하는 소스 디제너레이션(degeneration) 저항 R_S 는 500 Ω 을 사용했다. OTA를 구성하는 데 사용

된 MOS 트랜지스터의 SPICE 모델 파라미터들은 표 1에 나타냈다. $M_1 \sim M_4$ 트랜지스터들에 대해서는 $W/L = 6(\mu\text{m})/2(\mu\text{m})$ 로, $M_9 \sim M_{12}, M_{17} \sim M_{20}$, 그리고 $M_{23} \sim M_{24}$ 트랜지스터들에 대해서는 $W/L = 3/2$ 로, 나머지 MOS 트랜지스터들에 대해서는 $W/L = 18/2$ 로 조정했다.

표 1. MOS 트랜지스터의 SPICE 모델 파라미터

Table 1. The SPICE model parameters for MOS transistors.

SPICE MODEL PARAMETER	
NMOS	LEVEL = 2.0 UO = 608.3 VTO = 825.3E-3 NSS = 0.0 NFS = 0.105E+12 TPG = 1 TOX = 40.0E-9 NSUB = 7.755E+15 UCRIT = 50E+3 LEXP = 78.26E-3 UTRA = 0.0 VMAX = 49.89E+3 RSH = 50.15 XJ = 450.0E-9 LD = 112.1E-9 DELTA = 3.714 PB = 0.44 JS = 10.0E-6 NEFF = 3.358 WD = 36.34E-9 CJ = 323.1E-6 MJ = 461.5E-3 CJSW = 929.9E-12 MJSW = 268.3E-3 CGSO = 96.77E-12 CGDO = 96.77E-12 CGBO = 40.00E-12 FC = 500.0E-3 XQC = 1.0
PMOS	LEVEL = 2.0 UO = 205.1 VTO = -703.0E-3 NSS = 0.0 NFS = 0.010E+12 TPG = -1 TOX = 40.0E-9 NSUB = 1.486E+16 UCRIT = 70E+3 LEXP = 184.2E-3 UTRA = 0.0 VMAX = 40.76E+3 RSH = 69.46 XJ = 450.0E-9 LD = 230.5E-9 DELTA = 1.843 PB = 0.958 JS = 10.0E-6 NEFF = 0.688 WD = 117.6E-9 CJ = 804.9E-6 MJ = 525.0E-3 CJSW = 749.1E-12 MJSW = 495.4E-3 CGSO = 199.0E-12 CGDO = 199.0E-12 CGBO = 101.5E-12 FC = 500.0E-3 XQC = 1.0

슈미트 트리거의 출력 전압 레벨과 문턱 전압 레벨을 결정하는 R_1 과 R_2 는 각각 10 kΩ을 사용했다. 전체 회로의 공급 전압은 $V_{DD} = 10\text{ V}$ 그리고 $V_{SS} = -10\text{ V}$ 이었다.

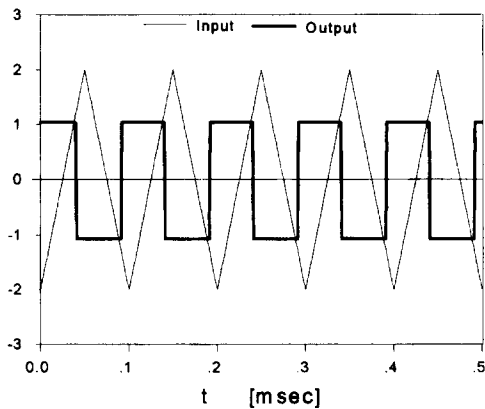


그림 7. 삼각파 입력에 대한 구형파 출력 파형
Fig. 7. The rectangular output for a triangular input.

OTA₁과 OTA₂의 바이어스 전류 I_{b1} 과 I_{b2} 를 각각 50 μA로 고정하고, 입력 단자에 피크간 전압이 4 V

이고 주파수가 10 kHz인 삼각파를 인가했을 때의 출력 파형을 그림 7에 나타냈다. 이 그림으로부터, 스파이크(spike)가 거의 없는 출력 구형파가 얻어졌다는 것을 알 수 있다.

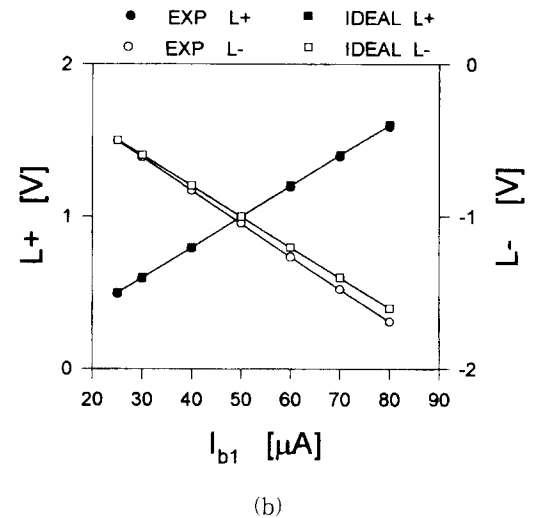
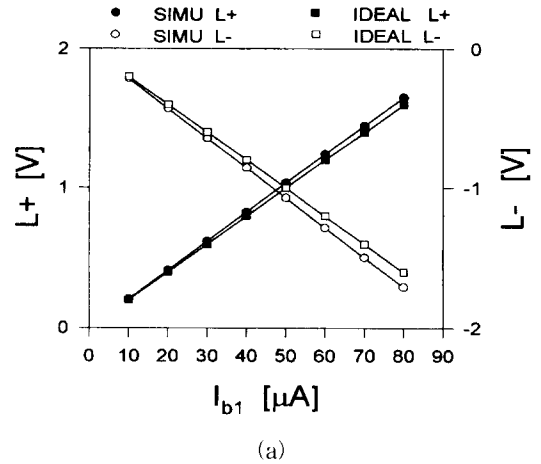


그림 8. 출력 전압 레벨 대 I_{b1} 바이어스 전류 특성
(a) 시뮬레이션 결과 (b) 브레드보드 실험 결과

Fig. 8. Output voltage level versus bias current I_{b1} characteristics. (a) Simulated results (b) Experimental results.

50 μA로 고정된 I_{b2} 에 대해, I_{b1} 을 10 μA에서 80 μA까지 가변시키면서 출력 전압 레벨을 측정할 결과를 그림 8(a)와 (b)에 나타냈다. 여기서, (a)의 그림은 컴퓨터 시뮬레이션한 결과를 나타낸 것이고, (b)의 그림은 CMOS 어레이 GD4007을 이용하여 브레드보드 실험한 결과를 나타낸 것이다. 이 그림들로부터, 슈

미트 트리거의 출력 레벨들이 OTA₁의 바이어스 전류 I_{b1}에 선형적으로 비례한다는 것을 알 수 있다.

|R₁I_{b1}|으로 일정하다는 것을 알 수 있다.

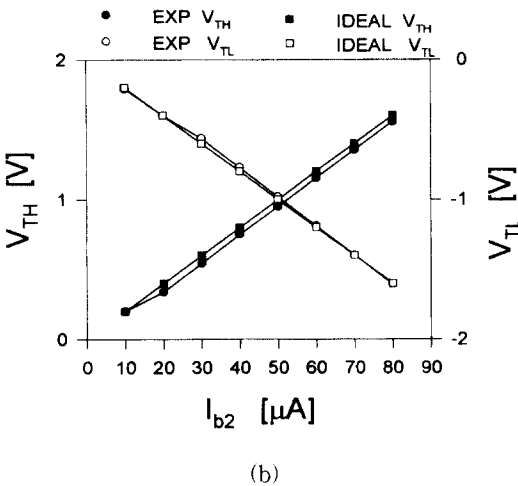
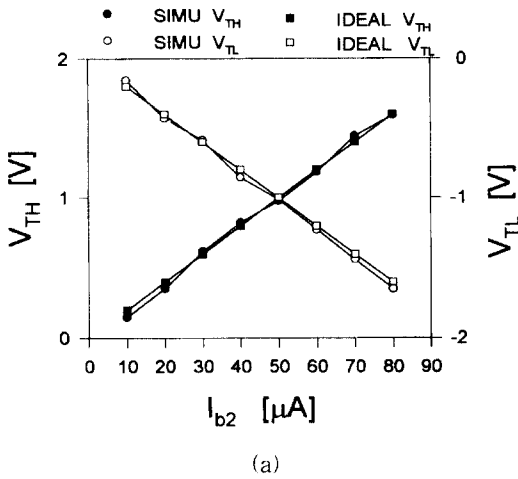


그림 9. 문턱 전압 레벨 대 I_{b2} 바이어스 전류 특성 (a) 시뮬레이션 결과 (b) 브레드보드 실험결과

Fig. 9. Threshold voltage level versus bias current I_{b2} characteristics. (a) Simulated results (b) Experimental results.

그림 9(a)와 (b)는, 50 μA로 고정된 I_{b1}에 대해 I_{b2}를 10 μA에서 80 μA까지 가변시키면서 문턱 전압 레벨을 측정하는 결과들을 나타낸 것이다. 이 그림들로부터, 문턱 레벨이 OTA₂의 바이어스 전류 I_{b2}에 선형적으로 비례한다는 것을 알 수 있다. 그림 10은 I_{b1} = 50 μA로 고정시키고 I_{b2}를 가변시켰을 때의 출력 전압 레벨을 측정하는 결과를 도시한 것이다. 이 그림으로부터, 출력 전압 레벨이 문턱 전압 레벨에 상관없이

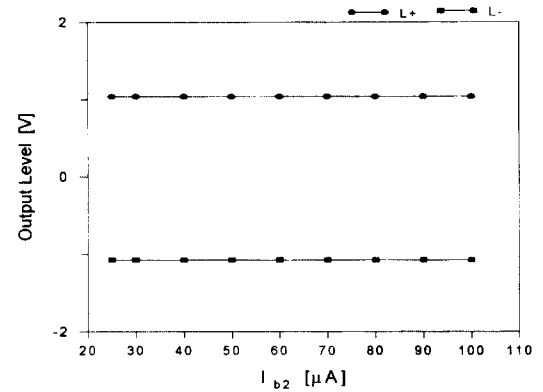


그림 10. 출력 전압 레벨과 I_{b2} 바이어스 전류 사이의 관계

Fig. 10. Output voltage level versus bias current I_{b2} characteristics.

IV. 결론

연산 트랜스컨덕턴스 증폭기를 스위칭 소자로 이용하여 새로운 전류 제어 슈미트 트리거를 실현했다. 실현된 슈미트 트리거 회로는, 기존의 회로들과는 달리, 그것의 출력 전압 레벨과 문턱 전압 레벨이 서로에 영향을 주지 않으면서 OTA의 바이어스 전류로 제어될 수 있다는 장점을 갖고 있다. 이 독특한 특징 때문에, 본 논문에서 제안된 슈미트 트리거는 통신 시스템과 계장 시스템에 널리 응용될 수 있으리라고 기대된다.

※ 본 연구는 서울대학교 반도체공동연구소의 교육부 반도체분야 학술연구조성비(과제번호 : ISRC 95-E-2015)에 의해 수행되었습니다.

참고 문헌

- [1] R. F. Coughlin and F. F. Driscoll, "Operational Amplifiers and Linear Integrated Circuits," ch. 4, Prentice-Hall, 1987.
- [2] Z. Wang and W. Guggenbühl, "CMOS current Schmitt trigger with fully adjustable hysteresis," *Electron. Lett.*, vol. 25, pp. 397-398, March 1989.
- [3] Z. Wang, "CMOS adjustable Schmitt triggers," *IEEE Trans. Instrum. Meas.*, vol.

IM-40, pp. 601-605, June 1991.

- [4] A. B. Grebene, "Bipolar and MOS Analog Integrated Circuit Design," ch. 11, John Wiley and Sons, 1984.
- [5] *National Operational Amplifiers Databook*, National Semiconductor Corp., Santa Clara, CA, 1995.

[6] W.-S. Chung and H.-W. Cha, "Bipolar linear transconductor," *Electron. Lett.*, vol. 26, pp. 619-620, May 1990.

[7] P. E. Allen and D. R. Holberg, "CMOS Analog Circuit Design," ch. 7, Holt, Rinehart and Winston, 1987.

— 저 자 소 개 —



金 鍵(正會員)

1969년 9월 28일생. 1995년 2월 청주대학교 반도체공학과 졸업. 1995년 3월 ~ 현재 청주대학교 대학원 전자공학과 석사과정 재학중. 주관심분야는 Bipolar 및 CMOS 애널로그 집적회로 설계,

센서 신호처리 회로 설계 등임



朴 志 晩(準會員)

1967년 9월 28일생. 1989년 2월 청주대학교 반도체공학과 졸업. 1993년 2월 청주대학교 대학원 전자공학과 공학석사 학위 취득. 1994년 3월 ~ 현재 청주대학교 대학원 전자공학과 박사과정 재학중. 주관심분야는

Bipolar 및 CMOS 애널로그 집적회로 설계, 센서 신호처리 회로 설계 등임



鄭 元 燮(正會員)

1955년 11월 3일생. 1977년 2월 한양대학교 전자통신공학과 졸업. 1979년 8월 한양대학교 대학원 전자통신공학과 공학석사학위 취득. 1986년 3월 일본 静岡(Shizuoka)대학 전자과학 연구과 공학

박사학위 취득. 1986년 4월 ~ 현재 청주대학교 반도체공학과 교수. 주관심분야는 Bipolar 및 CMOS 애널로그 집적회로 설계, 센서 신호처리 회로 설계 등임