

論文96-33B-2-12

2D DCT/DST/DHT 계산을 위한 단일화된 시스틀릭 어레이

(A Unified Systolic Array for Computation of the 2D DCT/DST/DHT)

潘 聲 範 *, 朴 來 弘 **

(Sung Bum Pan and Rae-Hong Park)

요 약

본 논문에서는 2D DCT/DST/DHT (Discrete Cosine Transform/Discrete Sine Transform/Discrete Hartley Transform) 계산을 위한 단일화된 시스틀릭 어레이 구조를 제안한다. 2D DCT/DST/DHT에 모두 적용 가능한 단일화된 구조는 1D DCT/DST/DHT를 확장한 것으로 행방향으로 1차원 변환을 구한 후 결과값을 이용하여 열 방향으로 1차원 변환을 계산하여 결과값을 구한다. 기존의 구조와 비교할 때 제안한 구조는 소요시간, 출력 생성 주기, 그리고 PE의 수 등에서 장점을 갖고 있다. 그리고 하드웨어 국제 표준 기술 언어인 VHDL (Very high speed integrated circuits Hardware Description Language)을 이용한 실험에서 제안한 구조가 정상적으로 동작함을 확인하였다.

Abstract

In this paper, we propose a unified systolic array for the computation of the 2D discrete cosine transform/discrete sine transform/discrete Hartley transform (DCT/DST/DHT). The unified systolic array for the 2D DCT/DST/DHT is a generalization of the unified systolic array for the 1D DCT/DST/DHT. In order to calculate the 2D transform, we compute 1D transforms along the row, transpose them, and obtain 1D transforms along the column. When we compare the proposed systolic array with the conventional method, our architecture exhibits a lot of advantages in terms of latency, throughput, and the number of PE's. The simulation results using very high speed integrated circuit hardware description language (VHDL), international standard language for hardware description, show the functional validity of the proposed architecture.

I. 서 론

음성과 영상 신호 처리 및 전송 시스템 등 데이터 감축을 위한 응용 분야에 많이 사용되는 직교변환 (orthogonal transform)인 DCT (Discrete Cosine Transform),^{1),2)} DST (Discrete Sine Transform), 그리고 DHT (Discrete Hartley Transform)³⁾는 많은 계산량이 필요하므로 이의 실시간

처리에 대한 연구가 활발히 진행되어 왔다.

DCT의 성능은 상관 계수가 높은 신호에 대하여 데이터간의 상관관계를 줄이는 데 있어 최적 변환인 KLT (Karhunen Loève Transform)의 성능에 근접하고, DST는 상관 계수가 낮은 1차 Markov열 (sequence)에 적용할 때 KLT에 근접한 성능을 보인다. 그리고 DHT는 복소수 연산이 필요한 DFT (Discrete Fourier Transform)를 대체할 수 있는 변환으로 DCT, DST와 마찬가지로 실수 연산만이 필요하다.

DCT, DST, 그리고 DHT는 butterfly 구조⁴⁾와 시스틀릭 어레이 (systolic array) 구조⁵⁻¹⁰⁾를 이용

*準會員, **正會員, 西江大學校 電子工學科

(Dept. of Electronic Eng., Sogang Univ.)

接受日字:1995年7月6日, 수정완료일:1996年1月24日

하는 두가지 접근 방식이 있는데 butterfly 구조는 전역적 데이터 교환이 기본적으로 필요하기 때문에 하드웨어 구현시 계산 시간이 증가하고 면적이 증가하는 단점을 갖고 있다. Butterfly 구조의 이러한 단점을 제거하기 위해서는 데이터 교환이 국부적으로만 일어나는 구조가 필요한데 시스톨릭 어레이는 이러한 성질을 만족하는 구조로 하드웨어 구현이 용이하다. 시스톨릭 어레이는 VLSI 기술을 이용하여 특정한 알고리즘의 수행 속도를 향상시키기 위해 최대한의 동시실행 (concurrency)을 이룬 전용 하드웨어 구조이다.^[11,12]

본 논문에서 제안한 구조는 HDTV (High Definition Television)과 MPEG (Moving Picture Experts Group) 등에 필요한 2차원 DCT의 계산량을 줄이기 위해 사용될 수 있으며 DST 및 DHT에도 적용이 가능한 단일화된 시스톨릭 어레이 구조를 제안한다. 그리고 제안한 구조가 정상적으로 동작함을 확인하기 위하여 멘토 그래픽스사 (Mentor Graphics Corporation)의 VHDL (Very high speed integrated circuit Hardware Description Language) 시뮬레이터인 QuickSim™II를 이용하여 모델링하였고 시뮬레이션하였다. 그리고, 멘토 그래픽스사의 AutoLogic™을 이용하여 단일화된 시스톨릭 어레이 구조를 합성하였다.^[13-15]

본 논문의 구성은 다음과 같다. II장에서는 DCT, DST, 그리고 DHT 계산을 위한 단일화된 시스톨릭 어레이 구조를 나타내고 III장에서는 단일화된 구조의 VHDL을 이용한 시뮬레이션 및 회로 합성 결과를 보인다. 그리고 IV장에서는 제안한 DCT 구조와 기존 DCT 구조와의 성능을 분석하고 V장에서 결론을 내린다.

II. DCT/DST/DHT 계산을 위한 단일화된 시스톨릭 어레이 구조

2D DCT/DST/DHT 계산을 위한 시스톨릭 어레이 구조는 기본적으로 II.1절에서 설명할 1차원 신호에 대한 하드웨어 알고리즘을 확장한 것이다. 즉, 1차원 신호에 대한 하드웨어 알고리즘을 이용하여 행 또는 열 방향의 DCT를 계산한 후 다른 방향으로 1차원 DCT를 행하는 것이다. 행 또는 열 방향의 1차원 DCT를 계산할 때 [9]의 1차원 시스톨릭 어레이 구

조는 계산된 결과 값이 한쪽 방향으로 출력되는데 본 장에서는 1차원 DCT를 계산한 결과 값이 PE에 저장되도록 하여 그 값을 이용하여 최종적인 2차원 DCT를 구하도록 되어있다.

1절에서는 2D DCT/DST/DHT 계산을 위해 필요한 1차원 신호에 대한 단일화된 시스톨릭 어레이 구조를 설명하고 2절에서 2D DCT/DST/DHT 계산을 위한 단일화된 시스톨릭 어레이 구조를 설명한다.

1. 1D DCT/DST/DHT 계산을 위한 시스톨릭 어레이

N -point DCT $Y(k)$ 는 주어진 데이터 열 (sequence) $x(n)$, $0 \leq n \leq N-1$,에 대하여 다음과 같이 주어진다.

$$Y(k) = \frac{2}{N} \alpha(k) \sum_{n=0}^{N-1} x(n) \cos \left[\frac{\pi(2n+1)k}{2N} \right] \\ = \frac{2}{N} \alpha(k) X(k), \quad 0 \leq k \leq N-1 \quad (1)$$

여기서 $\alpha(k)$ 는 $k=0$ 일 때 $\frac{1}{\sqrt{2}}$ 이고 그 외의 경우에는 1이다.

본 논문에서는 $\frac{2}{N} \alpha(k)$ 가 단순한 상수 (scale factor)이므로 식 (2)와 같이 정의되는 정규화 (normalized)된 DCT $X(k)$ 를 사용하기로 한다.

$$X(k) = \sum_{n=0}^{N-1} x(n) C_k^{2n+1} \quad (2)$$

여기서 $C_k^{2n+1} = \cos \left[\frac{\pi(2n+1)k}{2N} \right]$ 이다.

$X(k)$ 를 [9]와 같이 짝수 주파수 성분 $X(2r)$ 과 홀수 주파수 성분 $X(2r+1)$ 로 나누어 8-point DCT에 적용하여 행렬식으로 표현하면

$$\begin{pmatrix} X(0) \\ X(2) \\ X(4) \\ X(6) \end{pmatrix} = \begin{pmatrix} 1 & 1 & 1 & 1 \\ \beta & \delta & -\delta & -\beta \\ \alpha & -\alpha & -\alpha & \alpha \\ \delta & -\beta & \beta & -\delta \end{pmatrix} \begin{pmatrix} x(0)+x(7) \\ x(1)+x(6) \\ x(2)+x(5) \\ x(3)+x(4) \end{pmatrix} \quad (3)$$

$$\begin{pmatrix} X(1) \\ X(3) \\ X(5) \\ X(7) \end{pmatrix} = \begin{pmatrix} \sigma & -\epsilon & \mu & \tau \\ \epsilon & -\tau & -\sigma & -\mu \\ \mu & -\sigma & \tau & \epsilon \\ \tau & -\mu & \epsilon & -\sigma \end{pmatrix} \begin{pmatrix} x(0)-x(7) \\ x(1)-x(6) \\ x(2)-x(5) \\ x(3)-x(4) \end{pmatrix}$$

와 같다. 여기서 $\alpha = \cos \frac{\pi}{4}$, $\beta = \cos \frac{\pi}{8}$, $\delta = \sin \frac{\pi}{8}$, $\sigma = \cos \frac{\pi}{16}$, $\epsilon = \cos \frac{3\pi}{16}$, $\mu = \sin \frac{3\pi}{16}$, 그리고 $\tau = \sin \frac{\pi}{16}$ 이다.

DST $Z(k)$ 도 DCT의 경우와 같이 짝수 주파수 성분과 홀수 주파수 성분으로 나누어 행렬식으로 나타내면

$$\begin{pmatrix} X(1) \\ X(3) \\ X(5) \\ X(7) \end{pmatrix} = \begin{pmatrix} \tau & \mu & \varepsilon & \sigma \\ \mu & \sigma & \tau & -\varepsilon \\ \varepsilon & \tau & -\sigma & \mu \\ \sigma & -\varepsilon & \mu & -\tau \end{pmatrix} \begin{pmatrix} x(1)+x(8) \\ x(2)+x(7) \\ x(3)+x(6) \\ x(4)+x(5) \end{pmatrix} \quad (4)$$

$$\begin{pmatrix} X(2) \\ X(4) \\ X(6) \\ X(8) \end{pmatrix} = \begin{pmatrix} \delta & \beta & \beta & \delta \\ \alpha & \alpha & -\alpha & -\alpha \\ \beta & -\beta & -\beta & \beta \\ 1 & -1 & 1 & -1 \end{pmatrix} \begin{pmatrix} x(1)-x(8) \\ x(2)-x(7) \\ x(3)-x(6) \\ x(4)-x(5) \end{pmatrix}$$

와 같다. 또한, DHT $H(k)$ 도 마찬가지로

$$\begin{pmatrix} H(0) \\ H(2) \\ H(4) \\ H(6) \end{pmatrix} = \begin{pmatrix} 1 & 1 & 1 & 1 \\ 1 & 1 & -1 & -1 \\ 1 & -1 & 1 & -1 \\ 1 & -1 & -1 & 1 \end{pmatrix} \begin{pmatrix} x(0) + x(4) \\ x(1) + x(5) \\ x(2) + x(6) \\ x(3) + x(7) \end{pmatrix} \quad (5)$$

$$\begin{pmatrix} H(1) \\ H(3) \\ H(5) \\ H(7) \end{pmatrix} = \begin{pmatrix} 1 & 2\beta & 1 & 0 \\ 1 & 0 & -1 & 2\beta \\ 1 & -2\beta & 1 & 0 \\ 1 & 0 & -1 & -2\beta \end{pmatrix} \begin{pmatrix} x(0) - x(4) \\ x(1) - x(5) \\ x(2) - x(6) \\ x(3) - x(7) \end{pmatrix}$$

와 같다. 여기서 $\beta = \cos \frac{\pi}{4}$ 이다.

결론적으로 1D DCT/DST/DHT 계산은 같은 형태의 행렬식으로 표현되며 위의 특징을 이용하여 시스템릭 어레이 구조를 구현하면 입력되는 값과 각각의 계수값만을 바꾸면 단일화된 구조로 3개의 변환 결과를 구할 수 있다. [9]의 구조는 1차원 신호를 가정할 경우이고 본 논문은 2차원 신호를 입력으로 하여 변환 결과를 구하는 것이 목적이므로 행 또는 열방향의 1차원 변환 결과값이 [9]의 경우와는 달리 PE에 저장되어 있어 다른 방향으로 변환을 행하여 최종 변환 결과를 구할 수 있다.

그림 1은 $N = 8$ 인 경우의 시스템릭 어레이와 사용되는 PE의 구조를 나타낸다. 그림 1(a)와 1(b)는 두 입력의 합과 차를 구하는 PU (Processing Unit)와 짝수, 홀수 주파수 성분을 병렬 처리하는 PE (Processing Element)로 [9]에서 사용한 구조와 유사하다. 사용되는 PE의 특성은 위에서 아래로 계수값이 입력되고 우측에서 좌측으로 데이터가 입력되어 1차원 변환 결과값이 PE에 저장된다. 그림 1(c)는 전체 구조를 나타낸 것으로 우측에서 좌측으로 데이터가 입력

되어 PU를 통과하여 데이터의 합과 차가 계산되고 PE를 모든 데이터가 통과하면 각각의 PE에 짝수와 홀수 주파수 성분이 하나씩 저장되도록 되어 있다. 그림 1(d)와 1(e)는 그림 1(c)에서 설명한 구조를 DST와 DHT에 적용한 것으로 DCT의 경우와는 입력되는 계수값과 입력되는 데이터만을 바꾸면 된다.

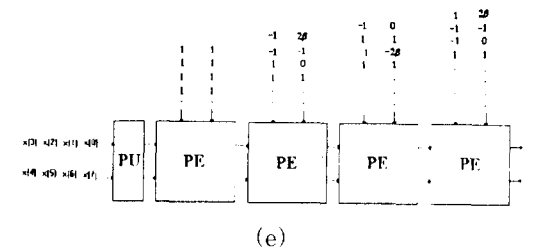
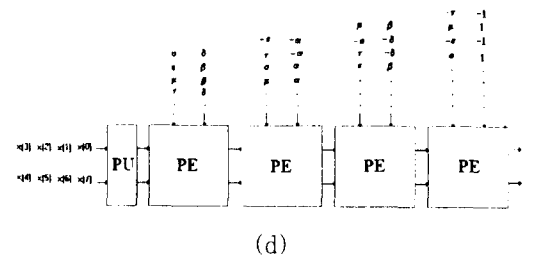
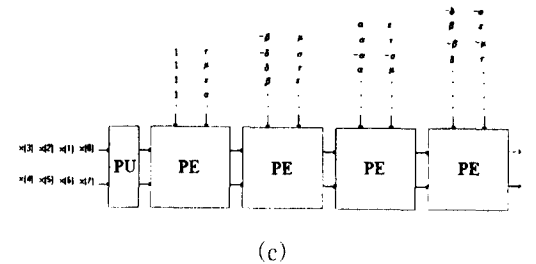
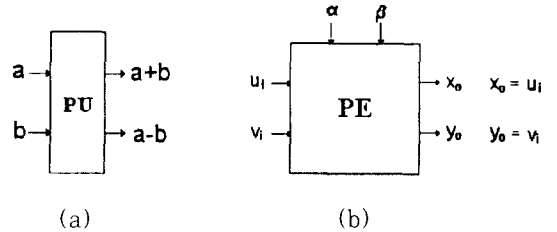


그림 1. 1D DCT/DST/DHT 계산을 위한 제안한 시스템릭 어레이 구조 ($N=8$)

(a) PU의 기본 기능 (b) PE의 기본 기능 (c) DCT (d) DST (e) DHT

Fig. 1. Proposed systolic arrays for the computation of the 1d DCT/DST/DHT ($N=9$).

(a) Functional definition of the basic PU, (b) Functional definition of the basic PE, (c) DCT, (d) DST, (e) DHT

2. 2D DCT/DST/DHT 계산을 위한 시스틀릭 어레이

2차원 DCT $Y(k, l)$ 은 주어진 데이터 열 $x(m, n)$, $0 \leq m, n \leq N-1$,에 대하여 다음과 같이 주어진다.

$$Y(k, l) = \frac{4}{N^2} e(k)e(l) \sum_{m=0}^{N-1} \sum_{n=0}^{N-1} x(m, n) \cos \left[\frac{\pi(2m+1)k}{2N} \right] \cos \left[\frac{\pi(2n+1)l}{2N} \right] \quad 0 \leq k, l \leq N-1 \quad (6)$$

여기서

$$e(k) = \begin{cases} \frac{1}{\sqrt{2}}, & k = 0 \\ 1, & \text{otherwise} \end{cases}$$

이다.

본 논문에서는 $\frac{4}{N^2} e(k)e(l)$ 가 단순한 상수이므로 식 (7)과 같이 정의되는 정규화된 DCT $X(k, l)$ 을 사용한다.

$$X(k, l) = \sum_{m=0}^{N-1} \sum_{n=0}^{N-1} x(m, n) C_k^{2m+1} C_l^{2n+1} \quad (7)$$

식 (7)을 행렬식으로 표현하면

$$X = C x C^T = C G \quad (8)$$

이다. 여기서 x 는 $N \times N$ 데이터 행렬이고 T 는 행렬 전치 (transpose)를 의미한다.

$N = 4$ 인 경우 1차원 DCT 변환 행렬 C 는

$$C = \begin{bmatrix} 1 & 1 & 1 & 1 \\ \beta & \delta & -\delta & -\beta \\ \alpha & -\alpha & -\alpha & \alpha \\ \delta & -\beta & \beta & -\delta \end{bmatrix} \quad (9)$$

와 같다. 여기서 $\alpha = \cos \frac{\pi}{4}$, $\beta = \cos \frac{\pi}{8}$, 그리고 $\delta = \sin \frac{\pi}{8}$ 이다.

식 (8)의 G 는 다음과 같이 표현될 수 있다.

$$G = \begin{bmatrix} g(0,0) & g(0,1) & g(0,2) & g(0,3) \\ g(1,0) & g(1,1) & g(1,2) & g(1,3) \\ g(2,0) & g(2,1) & g(2,2) & g(2,3) \\ g(3,0) & g(3,1) & g(3,2) & g(3,3) \end{bmatrix}$$

$$= \begin{bmatrix} x(0,0) & x(0,1) & x(0,2) & x(0,3) \\ x(1,0) & x(1,1) & x(1,2) & x(1,3) \\ x(2,0) & x(2,1) & x(2,2) & x(2,3) \\ x(3,0) & x(3,1) & x(3,2) & x(3,3) \end{bmatrix} \begin{bmatrix} 1 & \beta & \alpha & \delta \\ 1 & \delta & -\alpha & -\beta \\ 1 & -\delta & -\alpha & \beta \\ 1 & -\beta & \alpha & -\delta \end{bmatrix} \quad (10)$$

그러므로 식 (8)은 다음과 같이 표현할 수 있다.

$$X = \begin{bmatrix} 1 & 1 & 1 & 1 \\ \beta & \delta & -\delta & -\beta \\ \alpha & -\alpha & -\alpha & \alpha \\ \delta & -\beta & \beta & -\delta \end{bmatrix} \begin{bmatrix} g(0,0) & g(0,1) & g(0,2) & g(0,3) \\ g(1,0) & g(1,1) & g(1,2) & g(1,3) \\ g(2,0) & g(2,1) & g(2,2) & g(2,3) \\ g(3,0) & g(3,1) & g(3,2) & g(3,3) \end{bmatrix} \quad (11)$$

식 (10)과 (11)을 보면 2차원 DCT를 계산할 때 식 (10)과 같이 1차원 DCT를 행한 후 식 (11)을 이용하면 2차원 DCT를 구할 수 있다. 그러므로 2차원 DCT 계산을 위한 시스틀릭 어레이 구조는 식 (10)을 이용하여 행 방향의 DCT를 계산하고 그 결과를 식 (11)로 계산하여 최종적인 DCT 값을 구하게 된다.

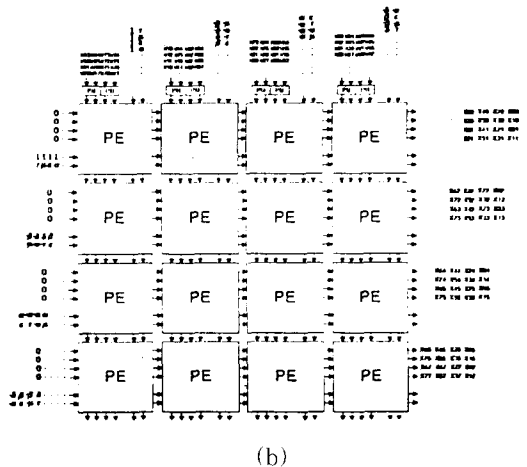
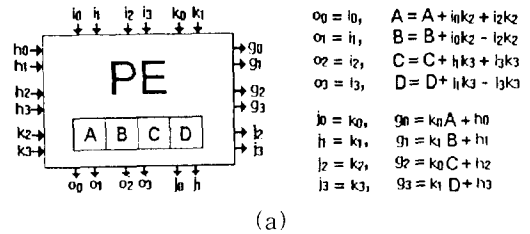


그림 2. 2D DCT 계산을 위한 제안한 시스틀릭 어레이 구조 ($N=8$)

(a) PE의 기본 기능 (b) 아키텍처

Fig. 2. Proposed systolic array for the computation of the 2D DCT ($N=8$).

(a) Functional definition of the basic PE. (b) Architecture.

행 방향의 1차원 DCT를 구할 때는 짝수 주파수 성분과 홀수 주파수 성분을 동시에 계산하는 방법을 사용하고 열 방향의 1차원 DCT를 구할 때는 행 방향으로 계산된 값을 사용하여 계산한다.

그림 2에 2차원 DCT 계산을 위한 제안한 시스톨릭 어레이 구조를 나타내었다. 두 데이터열의 합과 차를 구하는 PU는 그림 1(a)와 같고 그림 2(a)는 본 구조에서 사용하는 PE로 각각의 입출력 관계는 수식으로 나타내었다. 그림 2(b)는 8×8 블럭의 DCT를 계산하는 것으로 데이터는 위쪽에서 입력된다. PE에 입력되는 데이터는 첫번째 행과 마지막 행이 입력되어 좌측에서 입력되는 계수값과 곱해져 PE에 저장된다. 모든 데이터가 입력되면 PE에는 한쪽방향으로 행한 DCT 계산 결과값이 저장된다. 그 후 위에서 입력되는 계수값과 곱해져 좌측으로 진행하면 최종적인 2차원 DCT 결과가 우측으로 출력된다.

행 또는 열 방향의 1차원 DCT를 구할 때 II.1절에서 $x(0)$ 과 $x(N-1)$, 그리고 $x(1)$ 과 $x(N-2)$ 등의 순서로 입력되므로 1차원 DCT 계산시 첫번째 행이 계산될 때 마지막 행의 값도 계산하여 최종적인 DCT 값을 구하도록 하였다.

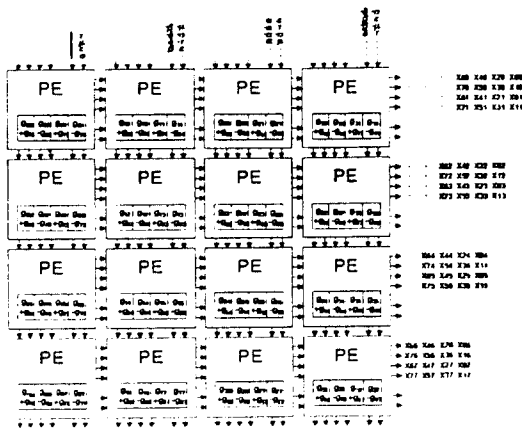
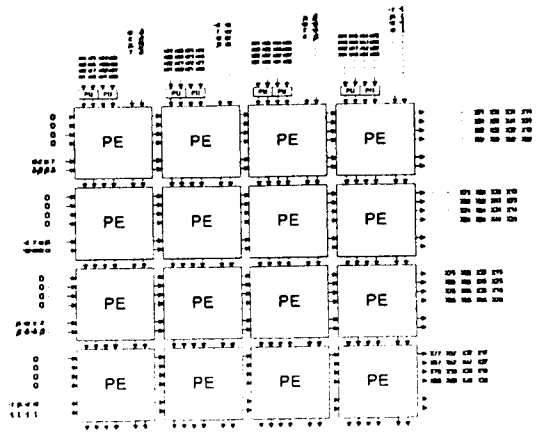


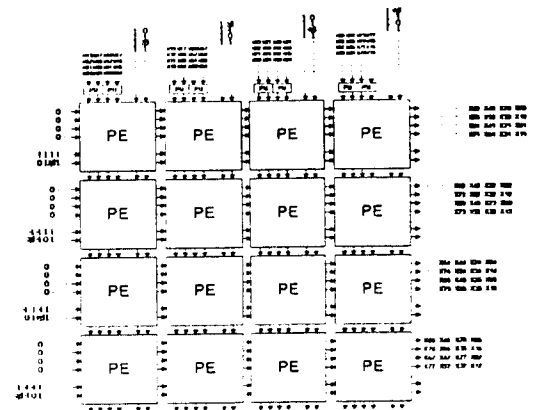
그림 3. 2D DCT 계산시 중간 결과 (N=8)
Fig. 3. Intermediate result for the computation of the 2D DCT (N=8).

그림 2의 구조를 설명하기 위해 PE에 데이터열의 값이 저장된 후의 중간 결과를 그림 3에 나타내었다. PE에 저장되어 있는 값을 보면 식 (10)의 계산 결과가 저장되어 있고 열 방향의 1차원 DCT 계산시 짝수 주파수 성분과 홀수 주파수 성분을 동시에 계산하기 위 두 데이터의 합과 차를 PE에 저장되어 있다. 즉,

첫번째 PE에는 식 (11)의 $g(0,0)$ 와 $g(7,0)$ 의 합과 차를 그리고 $g(0,1)$ 과 $g(7,1)$ 의 합과 차가 저장되어 있다. 좌측의 PE에는 $g(1,0)$ 과 $g(6,0)$ 의 합과 차 그리고 $g(1,1)$ 과 $g(6,1)$ 의 합과 차가 저장되어 있으므로 PE의 입 출력 식에 의해 그 다음 클럭에 $g(0,0) + g(7,0)$ 과 1이 곱해져 우측으로 전파한다. 그리고 그 다음 클럭에 이 값과 $g(1,0) + g(6,0)$ 에 1이 곱하여져 DCT 최종값 $X(0,0)$ 이 출력된다. 이러한 과정을 거쳐 DCT 최종 출력이 우측으로 출력된다.



(a)



(b)

그림 4. 2D DST와 DHT 계산을 위한 제안한 시스톨릭 어레이 구조 (N=8)

(a) DST, (b) DHT.
Fig. 4. Proposed systolic arrays for the computation of the 2D DST and DHT(N=8).
(a) DST, (b) DHT.

2차원 DST와 DHT 계산을 위한 시스톨릭 어레이

구조는 1절에서 설명한 1차원 DST와 DHT 계산을 위한 구조와 마찬가지로 2차원 DCT 계산을 위한 구조에서 입력되는 계수값을 DST와 DHT 구조에 맞게 입력하고 DHT의 경우에는 입력되는 순서를 바꾸면 된다. 그림 4(a)는 2차원 DCT 계산을 위한 시스톨릭 어레이 구조에서 입력되는 계수값을 DST에 맞게 바꾼 것으로 DST 계산이 가능함을 보인다. 그림 4(b)는 DHT의 경우로 DST와 달리 계수값뿐만 아니라 입력되는 데이터의 순서가 1차원의 경우와 같이 달라짐을 알 수 있다.

2차원 DCT 계산을 위한 시스톨릭 어레이 구조에서 필요한 PE의 수는 $N^2/4$ ($= N/2 \times N/2$)이고 PE에서 필요한 실수 곱셈기 수는 8개이다. 그리고 PE에서 소요되는 한 클럭을 한번 실수 덧셈하는 시간과 실수 곱셈하는 시간 T 로 정의할 때 제안한 구조의 소요시간은 $(2N-1)T$ 이고 출력 생성 주기는 N 클럭이다.

결론적으로 [9]의 1차원 DCT/DST/DHT의 경우와 마찬가지로 2차원 DCT/DST/DHT의 경우에도 입력되는 계수값을 바꾸어 입력하고 DHT의 경우에는 입력되는 데이터 열의 순서만 바꾸면 단일화된 구조로 DCT/DST/DHT를 계산할 수 있음을 알 수 있다.

III. VHDL을 이용한 모델링 및 회로합성

본 장에서는 II장에서 설명한 2D DCT/DST/DHT 계산을 위한 단일화된 시스톨릭 어레이 구조에 대하여 하드웨어 표준 기술언어인 VHDL을 이용하여 모델링하고 회로 합성한 결과에 대하여 설명한다. [13-15]

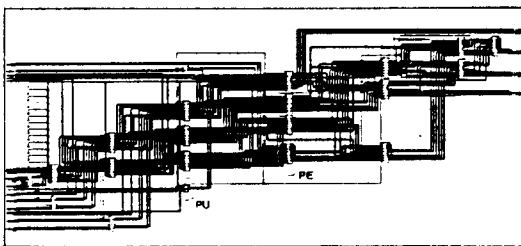


그림 5. 2D DCT/DST/DHT 계산을 위한 단일화된 시스톨릭 어레이의 VHDL 합성 결과 ($N=8$)

Fig. 5. VHDL synthesis result of the unified systolic array for the computation of the 2D DCT/DST/DHT ($N=8$).

VHDL을 이용한 모델링은 PU와 PE는 행위 단계로 모델링하였고 전체 구조는 구조단계로 모델링하였다. 그림 5는 $N = 8$ 인 경우의 제안한 시스톨릭 어레이 구조의 논리 합성 결과로 III장에서 설명한 PU와 PE가 존재한다. 좌측에는 clk과 rst 신호가 있고 데이터 열이 입력되는 포트, 그리고 계수값이 입력되는 입력 포트가 있다.

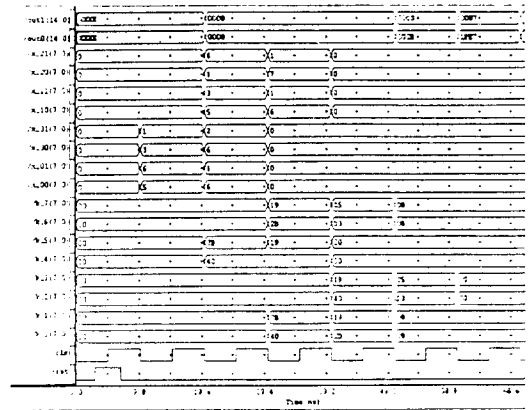


그림 6. 2D DCT 계산의 VHDL 시뮬레이션 결과 ($N=8$)

Fig. 6. VHDL simulation result of the computation of the 2D DCT ($N=8$).

그림 6은 그림 5의 2차원 DCT의 VHDL 회로 합성 결과를 이용하여 VHDL 시뮬레이션한 것으로 입력과 출력만을 나타내었다. 그림에서 /clk과 /rst는 클럭 신호와 reset 신호를 의미하고 /x_ij와 /ker_ij는 입력되는 데이터와 계수값을 의미한다. 그리고 /out0와 /out1은 2D DCT/DST/DHT의 결과값을 나타낸다. 그림 6의 입력 순서는 2차원 DCT 계산을 위한 시스톨릭 어레이 구조의 블럭도인 그림 2와 같음을 알 수 있다. 그림 6의 2차원 DCT의 최종 결과값인 /out0와 /out1을 통해 제안한 시스톨릭 어레이 구조가 정상적으로 동작함을 확인할 수 있다.

IV. 기존의 2차원 DCT 구조와의 성능 비교

본 장에서는 제안한 DCT 구조에서 필요한 PE 수, 소요시간, 그리고 출력 생성 주기 등을 기존의 DCT 구조와 비교한다.

2차원 DCT 계산을 위한 기존의 시스톨릭 어레이 구조에는 [6]의 구조가 있는데 이의 구조는 III장에서

설명한 행렬식으로 나타내어 두 종류의 시스톨릭 어레이 구조로 나타낸 것으로 필요한 PE의 수는 $N^2/2$ 과 N^2 이고 소요시간과 출력 생성 주기를 표 1에 나타내었다.

표 1. 2D DCT 계산을 위한 시스톨릭 어레이 구조의 성능 비교

Table 1. Performance comparison of several systolic array architectures for the computation of the 2D DCT.

	방법 1 [6]	방법 2 [6]	Chang과 Chen의 구조 [7]	제안한 구조
PE의 실수 곱셈기 수	1	2	2	8
필요한 PE 수	$2N^2$	N^2	N^2	$N^2/4$
전체 실수 곱셈기 수	$2N^2$	$2N^2$	$2N^2$	$2N^2$
소요시간	$(5N-2)T$	$(4N-2)T$	$(4N-2)T'$	$(2N-1)T$
출력 생성 주기	$2NT$	NT	$2NT'$	NT

2차원 DFT 계산을 위한 구조에는 Chang과 Chen의 구조 [7]가 있다. Chang과 Chen의 구조는 행렬 전치 구조를 사용하지 않고 행 방향의 1차원 변화와 열 방향의 1차원 변환을 동시에 수행하는 구조가 아닌 N^2 개의 PE의 하단으로부터 데이터를 입력하여 행 방향의 1차원 변환을 수행한 후, 다시 N^2 개의 PE의 상단에서 1차원 변환 행렬을 입력하여 다시 열 방향의 1차원 변환을 수행하는 구조이다. 두 구조의 PE의 수, 소요시간, 그리고 출력 생성 주기를 표 1에 나타내었다. 표 1을 보면 제안한 구조가 PE의 수가 1/4 또는 1/8이 소요되지만 PE에 필요한 곱셈기 수가 많다. 그러나 출력 생성 주기와 소요시간에서 장점을 갖는다.

V. 결론

본 논문에서는 2D DCT/DST/DHT에 적용 가능한 시스톨릭 어레이 구조를 제안하였다. 제안한 2차원 시스톨릭 어레이 구조는 PE에 저장되어 있는 계수값을 바꾸면 DCT뿐만 아니라 DST와 DHT도 계산이 가능하도록 되어 있다. 제안한 2D DCT/DST/DHT 계산

을 위한 시스톨릭 어레이 구조는 소요시간과 출력 생성 주기가 빠르므로 실시간 처리면에서 기존의 구조보다 유리하다. 그리고 PE의 수가 기존의 구조보다 적고 PE가 실수 연산만을 하므로 기존의 구조보다 간단하지만 시스톨릭 어레이 구조에 입력되는 입력 개수가 많다는 단점을 갖고 있다.

제안한 시스톨릭 어레이 구조를 ASIC (Application Specific Integrated Circuit) 분야에서 널리 쓰이고 있는 VHDL을 이용 모델링하여 시뮬레이션하였고 회로 합성을 수행하여 제안한 구조가 정상적으로 동작함을 확인하였다. 그리고 VHDL 합성결과를 최적화하고 타이밍 시뮬레이션을 거쳐 FPGA (Field Programmable Gate Array) 등을 이용하여 하드웨어의 prototype을 제작하여 실제 시스템에 이용할 수 있도록 하는 것이 앞으로의 과제이다. 또한 시스톨릭 어레이 구조는 근본적으로 clock skew의 문제가 발생할 수 있으므로 제안한 구조를 웨이브프론트 어레이 (wavefront array) 등을 이용하여 구현하는 방법에 대한 연구가 필요하다.

참고 문헌

- [1] N. Ahmed, T. Natarajan, and K. R. Rao, "Discrete cosine transform," *IEEE Trans. Commun.*, vol. COM-23, pp. 90-93, Jan. 1974.
- [2] K. R. Rao and P. Yip, *Discrete Cosine Transform: Algorithms, Advantages, and Applications*. New York: Academic Press, 1990.
- [3] R. N. Bracewell, *The Hartley Transforms*. England: Oxford University Press, 1986.
- [4] H. S. Hou, "A fast recursive algorithm for computing the discrete cosine transform," *IEEE Trans. Acoust., Speech, Signal Process.*, vol. ASSP-35, pp. 1455-1461, Oct. 1987.
- [5] N. I. Cho and S. U. Lee, "DCT algorithms for VLSI parallel implementations," *IEEE Trans. Acoust., Speech, Signal Process.*, vol. ASSP-38, pp. 121-127, Jan. 1990.
- [6] 임혜숙, 김동식, 조남익, 이상욱, "2차원 DCT

- 및 다른 직교변환을 위한 시스톨릭 어레이.” 전자공학회 논문지, 제 27권 제 7호, pp. 147-156, 1990년 7월
- [7] L. W. Chang and M. Y. Chen, “A new systolic array for discrete Fourier transform.” *IEEE Trans. Acoust., Speech, Signal Process.*, vol. ASSP-36, pp. 1665-1666, Oct. 1988.
- [8] C. Chakrabarti and J. JáJá, “Systolic architectures for the computation of the discrete Hartley and the discrete cosine transforms based on prime factor decomposition.” *IEEE Trans. Comput.*, vol. C-39, pp. 1359-1368, Nov. 1990.
- [9] 반성범, 박래홍, “DCT/DST/DHT 계산을 위한 단일화된 시스톨릭 어레이.” 전자공학회 논문지, 제 32권 B편 제 4호, pp. 72-81, 1995년 4월
- [10] P. Pirsch, N. Demassieux, and W. Gehrke, “VLSI architectures for video compression- A survey.” *Proc. IEEE*, vol. 83, pp. 220-246, Feb. 1995.
- [11] H. T. Kung, “Why systolic architectures?,” *IEEE Computer*, vol. 15, pp. 37-46, Jan. 1982.
- [12] S. Y. Kung, *VLSI Array Processors*. Englewood Cliffs, NJ: Prentice-Hall, 1988.
- [13] *IEEE Standard VHDL Language Reference Manual*. New York: IEEE, Inc., 1994.
- [14] *V8 QuickSim™ II Training Workbook*. Mentor Graphics Co., 1993.
- [15] *AutoLogic™ Training Workbook*. Mentor Graphics Co., 1993.

 저 자 소 개

潘聲範(準會員) 第 31卷 B編 第 7號 參照.

현재 서강대학교 전자공학과 대학원 재학중.

朴來弘(正會員) 第 23卷 第 6號 參照.

현재 서강대학교 전자공학과 교수.