

論文96-33A-10-16

# Sub-micron 규모의 매몰 채널(Buried-Channel) P-MOSFETs에서의 핫-캐리어 현상

## (Hot-Carrier Effects in Sub-micron Scaled Buried-Channel P-MOSFETs)

鄭允皓\*, 金鍾煥\*, 盧柄奎\*, 吳煥述\*, 趙鏞範\*

(Yoon Ho Chung, Jong Hwan Kim, Byeong Gyu Roh, Hwan Sool Oh,  
and Yong Beom Cho)

### 요 약

소자의 집적도와 속도가 증가함에 따라 소자의 크기가 줄어들어야 한다. 소자의 크기가 줄어들었을 때 소자의 신뢰성에 핫-캐리어 효과는 심각한 영향을 미친다. 본 논문에서는 sub-micron 매몰 채널 P-MOSFETs를 제작하여 핫-캐리어 효과를 연구하였다. 매몰 채널 P-MOSFETs와 표면 채널 P-MOSFETs에서의 핫-캐리어 효과를 SUPREM-4와 MINIMOS-4를 이용하여 비교하였다. sub-micron P-MOSFET의 전기적인 특성 변화는 N-MOSFET의 그것과는 다른 것으로 나타났다. DC 스트레스를 가한 후 펀치스루 전압( $V_{PT}$ ) 강하가 심하고,  $0.6\mu\text{m}$ 보다 짧은 채널 길이에서는 거의 0V가 되었다. 낮은 펀치 스루 전압은 스위칭 모드에서 cut-off 특성을 악화시켜 소자가 제대로 동작하지 못하게 한다. CMOS회로를 위한 매몰 채널 P-MOSFET은 약  $0.6\mu\text{m}$ 로 채널 길이 제약을 받는다.

### Abstract

The size of a device needs to scale down to increase its integrity and speed. As the size of the device is reduced, the hot-carrier degradation that severely effects on device reliability is concerned. In this paper, sub-micron buried-channel P-MOSFETs were fabricated, and the hot-carrier effects were investigated. Also the hot-carrier effect in the buried-channel P-MOSFETs and the surface-channel P-MOSFETs were compared with simulation programs using SUPREM-4 and MINIMOS-4. This paper showed that the electric characteristics of sub-micron P-MOSFET are different from those of N-MOSFET. Also it showed that the punchthrough voltage( $V_{PT}$ ) was abruptly drop after applying the stress and became almost 0V when the channel lengths were shorter than  $0.6\mu\text{m}$ . The lower punchthrough voltage causes the device to operate poorly by the deterioration of cut-off characteristics in the switching mode. We can conclude that the buried channel P-MOSFET for CMOS circuits has a limit of the channel length to be around  $0.6\mu\text{m}$ .

### I. 서 론

소자의 크기가 축소되면 소자의 신뢰성에 심각한 영

향을 주는 핫-캐리어 효과(Hot-Carrier Effect)가 발생한다. 이러한 핫-캐리어 효과에 관한 연구는 70년대 말부터 대두되기 시작하여 지금까지 많은 논문들에서 보고되고 있는데, 초기 연구는 주로 N-MOSFET에 집중되었으나 Submicron 단위 이하의 CMOS회로를 구현하기 위해서 P-MOSFET에서의 핫-캐리어 효과에 관한 연구도 시작되었다. 초기 핫-캐리어 효과에 관한 연구가 P-MOSFET에 비해 N-MOSFET에 더

\* 正會員, 建國大學校 電子工學科

(Dept. of Elec. Eng., Konkuk University)

※ 본 연구는 한국과학재단 핵심전문 연구비 지원에 의한 결과임.

接受日字: 1996年1月22日, 수정완료일: 1996年10月7日

집중되었던 이유는 전자의 평균 자유 행정(mean free path)이 정공의 그 것보다 더 길고 전자의 에너지가 정공의 에너지보다 커서 드레인 근처의 높은 전계가 발생하는 지점에서 전계에 의한 충돌 이온화율(impact ionization rate)이 전자가 정공보다 더 높기 때문이다.<sup>11,21</sup>

P-MOSFET에서 핫-캐리어 효과는 N-MOSFET에서의 그 것과 다르게 나타난다. P-MOSFET에서 핫-캐리어 효과는 드레인 영역에서 발생된 높은 전계 ( $5 \times 10^3 \text{V/cm}$  이상)에 의해서 채널 내 캐리어의 이동 속도가 열 속도(thermal velocity)만큼 증가하면서 시작되는데, 이동 속도가 증가된 캐리어는 드레인 영역에서 충돌 이온화를 일으켜 전자-정공쌍(electron-hole pair)을 발생시킨다. 캐리어들 중에서 주위의 열 에너지보다 높은 에너지를 갖는 경우, 이를 핫-캐리어(hot-carrier)라고 하는데 발생된 핫-전자들 중에서 그 에너지가 게이트 절연막의 결합력을 극복할 수 있을 정도로 크게 되면 게이트 절연막 안으로 침투하여 포획되거나, 게이트를 통한 게이트 전류( $I_g$ )가 형성된다. 게이트 절연막의 결합력을 극복할 수 있을 만큼의 에너지를 갖지 못한 나머지 핫-전자는 기판쪽으로 이동하여 기판 전류( $I_{sub}$ )를 이룬다. 한편 발생된 핫-정공은 높은 전계에 의해서 더 많은 핫-캐리어들을 발생(avalanche multiplication)시키기도 하고, 드레인 영역에 모여 드레인 측의 전위 장벽을 낮추기도(DIBL : Drain Induced Barrier Lowering)한다. 핫-정공의 게이트 절연막 침투 후 포획 여부는 P-MOSFET의 채널 구조에 따라서 다르게 나타나는 것으로 생각되는데, 표면 채널(SC: Surface Channel) P-MOSFET에서는 소자에 인가된 DC 스트레스 조건에 따라서 핫-전자의 포획 후 약간의 핫-정공이 게이트 절연막 안으로 침투되는 것으로 추측되고 있다. 또한 매몰 채널(BC: Buried Channel) P-MOSFET에서는 핫-정공의 침투가 거의 일어나지 않는 반면, 핫-전자가 포획된 게이트 절연막 밑부분에 모여 일종의 LDD(Lightly Doped Drain)구조와 비슷한 드레인 구조를 형성하여 유효 채널 길이(effective channel length)를 감소시키는 것으로 생각되어지고 있다.<sup>13,41</sup>

핫-캐리어 효과 발생이 소자의 전기적 특성에 미치는 영향으로는 핫-전자의 게이트 절연막 포획에 의한 소자의 수명 단축을 들 수 있다. 또한 유효 채널 길이의 감소에 따라서 P-MOSFET에서는 소자의 문턱 전

압인  $|V_{th}|$ 가 감소하고, 펀치스루 전압( $V_{pt}$ )의 강하가 일어나며 전달 콘덕턴스( $G_m$ )가 증가하고,  $I_d - V_d$  특성 곡선의 기울기가 증가하며, 기판 전류( $I_{sub}$ )가 증가하게 된다. 특히 매몰 채널 P-MOSFET에서는 펀치스루 전압 강하가 매우 심하게 일어난다. 본 논문에서는 CMOS 공정에서 주로 사용되고 있는 submicron 규모의 매몰 채널 P-MOSFET에서의 핫-캐리어 효과 및 펀치스루 전압 강하에 대해 소자 제작을 통해 조사하고 DC 스트레스 인가시 문턱 전압의 변화와 펀치스루 전압 강하에 대해서도 조사하였다. 또한 소자의 전기적 특성 분석으로 알아보기 어려운 소자 내의 수평 전계 분포 및 핫-캐리어 발생률 등은 공정 시뮬레이터인 SUPREM-4와 특성 분석 시뮬레이터인 MINIMOS-4<sup>15,61</sup>를 통해 모의실험이 이루어졌다.

## II. 컴퓨터 모의실험

매몰 채널 P-MOSFET의 수평 전계 분포 및 핫-캐리어 발생률 등을 알아보고, 이와 비슷한 공정 조건을 갖는 표면 채널 P-MOSFET와 그 특성을 비교하기 위해서 컴퓨터를 이용한 모의실험을 하였다. 모의실험에서 사용된 컴퓨터 시뮬레이터는 반도체 소자의 공정 시뮬레이터인 SUPREM-4와 반도체 소자의 전기적 특성 분석 시뮬레이터인 MEDICI와 MINIMOS-4였다. MINIMOS-4는 S. Selberher가 개발한 2차원 소자 시뮬레이터인데, 1-D, 2-D, Threshold, Avalanche, Hot 등의 5가지 시뮬레이션 모드를 제공한다. 본 논문에서는 Hot 시뮬레이션 모드가 사용되었다.

소자의 공정 시뮬레이션을 위해서 SUPREM-4에 적용된 소자의 공정 조건은 실소자 제작시 사용된 공정 조건이었는데, 모의실험을 위한 두 소자, 매몰 채널 P-MOSFET와 표면 채널 P-MOSFET의 공정 조건을 표 1에 비교하여 표기하였다.

SUPREM-4 모의 실험을 통해서 얻은 결과인 각 소자의 채널 및 소스/드레인의 농도 Profile(doping profile), 우물의 농도 그리고 게이트 절연막의 두께 등을 MINIMOS-4에 입력하여 두 소자의 수평 전계 분포, 핫-캐리어 발생률, 그리고  $I_d - V_d$  특성 곡선 등을 얻어, 서로 비교하여 보았다. 모의실험에서 사용된 소자의 채널 길이는 각각  $0.5\mu\text{m}$ ,  $0.7\mu\text{m}$ 이었고, 채널 폭은  $50\mu\text{m}$ , 게이트 절연막의 두께는  $150\text{nm}$ 이었다. 그림 1은

게이트 전압을 -3V로, 드레인 전압을 -6V로 인가하였을 때 각 소자의 채널 내 최대 수평 전계 분포를 나타낸 것이다.

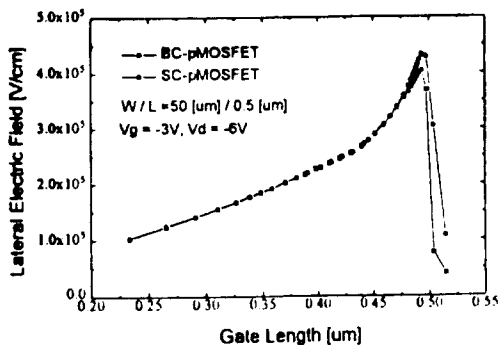
표 1. 컴퓨터 모의 실험에 사용된 두 소자의 공정조건

Table 1. Process conditions of two devices used in computer simulation.

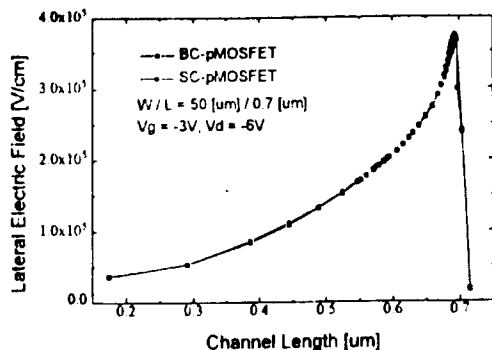
	매몰 채널 p-MOSFET	표면 채널 p-MOSFET
채널 길이	0.5, 0.7 $\mu$ m	0.5, 0.7 $\mu$ m
채널 폭	50 $\mu$ m	50 $\mu$ m
게이트 종류	N <sup>-</sup> - Poly Gate	P <sup>-</sup> - Poly Gate
게이트 산화막의 두께	150nm	150nm
우물의 농도	P <sup>+</sup> , 8.0E12cm <sup>-2</sup> , 150KeV	P <sup>+</sup> , 8.0E12cm <sup>-2</sup> , 150KeV
문턱전압 조절 이온 주입	BF <sup>2</sup> , 4.0E11cm <sup>-2</sup> , 20KeV	BF <sup>2</sup> , 4.0E11cm <sup>-2</sup> , 20KeV
매몰 채널 이온 주입	BF <sup>2</sup> , 1.9E12cm <sup>-2</sup> , 20KeV	Non
소스/드레인 이온 주입	BF <sup>2</sup> , 3.0E15cm <sup>-2</sup> , 70KeV	BF <sup>2</sup> , 3.0E15cm <sup>-2</sup> , 70KeV
소스/드레인 구조	Non-LDD	Non-LDD

모의 실험 결과 채널의 길이가 감소하면 최대 수평 전계 값은 증가하는 것으로 나타났고, 매몰 채널 P-MOSFET이 표면 채널 P-MOSFET보다 낮은 최대 수평 전계 값을 갖는 것으로 나타났다.

그림 1에서 매몰 채널 P-MOSFET의 최대 전계가 표면 채널 P-MOSFET의 최대 전계보다 작게 나타난 것은, 매몰 채널 P-MOSFET의 채널이 매몰 채널 이온 주입 과정을 통해서 표면 채널 P-MOSFET의 그것보다 기판 쪽으로 내려가 있고, 이러한 이유에서 소자 내에서 주 전류(main current)가 흐르는 영역이 드레인 영역에서 높은 전계가 발생하는 영역과 서로 분리된다. 이로 인해 채널 내 전자와 정공이 충돌 이온화에 참여하는 비율은 줄어들고, 따라서 채널 내의 캐리어에 의한 핫-캐리어의 발생이 감소된다. 드레인 근처에서 최대 전계는 그 지점에서 발생된 캐리어의 농도와 밀접한 관계가 있는데, 캐리어의 농도가 감소되는 만큼 최대 전계는 감소하게 된다. 또한 그림 1(a)와 (b)의 비교에서 채널길이가 짧을수록 최대 전계가 감소하는 것을 볼 수 있다.



(a)

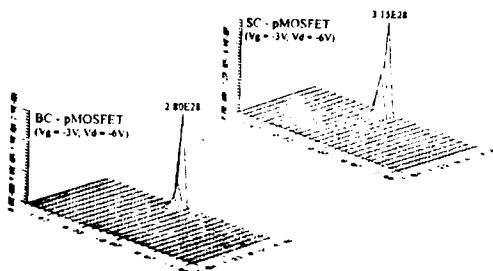


(b)

그림 1. (a) 드레인 영역 최대 전계 비교(L=0.5 $\mu$ m) (b) 드레인 영역 최대 전계 비교(L=0.7 $\mu$ m)

Fig. 1. (a) Comparison of maximum electric field in drain region(L=0.5 $\mu$ m) (b) Comparison of maximum electric field in drain region(L=0.7 $\mu$ m).

그림 2는 각 소자의 핫-캐리어 발생률을 비교한 것으로서 그림 1과 같은 이유에서 표면 채널 P-MOSFET의 핫-캐리어 발생률이 매몰 채널 P-MOSFET의 그것보다 조금 높은 것으로 모의실험 결과 알 수 있었다.



(a)

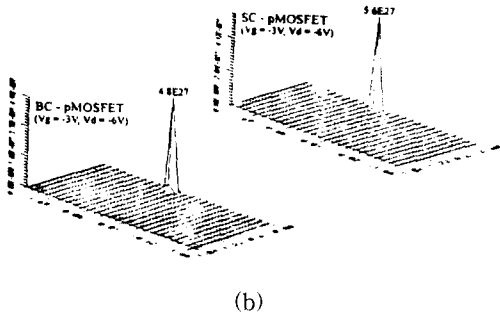


그림 2. (a) 핫-캐리어 발생률 비교 ( $L=0.5\mu\text{m}$ )(b) 핫-캐리어 발생률 비교 ( $L=0.7\mu\text{m}$ )  
 Fig. 2. (a) Comparison of hot-carrier generation ( $L=0.5\mu\text{m}$ )(b) Comparison of hot-carrier generation( $L=0.7\mu\text{m}$ )

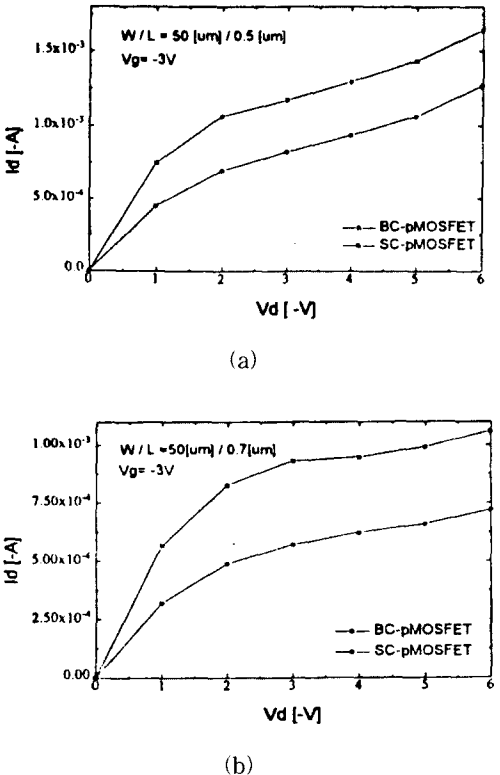


그림 3. (a)  $I_d - V_d$  특성 ( $L=0.5\mu\text{m}$ ) (b)  $I_d - V_d$  특성 ( $L=0.7\mu\text{m}$ )  
 Fig. 3. (a)  $I_d - V_d$  characteristics( $L=0.5\mu\text{m}$ ) (b)  $I_d - V_d$  characteristics( $L=0.7\mu\text{m}$ )

그림 3은 각 소자의  $I_d - V_d$  특성 곡선을 비교한 것으로써 게이트 산화막으로부터 기판 쪽으로 조금 분리되어 있는 채널을 갖는 매몰 채널 P-MOSFET가 드

레인 근처에서의 전계가 작아 채널 내 캐리어들의 표동속도(drift velocity)가 낮음에도 불구하고 표면 채널 P-MOSFET보다 같은 게이트 전압, 드레인 전압에 대해서 드레인 전류가 큰 것으로 나타나 있다. 이는 매몰 채널 P-MOSFET가 게이트 산화막내 분포되어 있는 전계로부터 캐리어 이동의 방해가 덜 받기 때문이다. 이러한 이유에서 매몰 채널 P-MOSFET가 표면 채널 P-MOSFET보다 전류 전달 특성이 더 좋다고 말할 수 있다. 또한 그림3(a)와 (b)를 비교해 보면 채널길이가 길어지면 더 작은 드레인 전류가 흐른다는 것을 알 수 있다.

### III. 소자 제작

본 실험에서 사용된 소자는  $0.5\mu\text{m}$ 에서  $2.0\mu\text{m}$ 까지의 게이트 길이와  $50\mu\text{m}$ 의 게이트 폭으로 제작되었다. 소자의 제작에 사용된 실리콘 웨이퍼는  $\langle 100 \rangle$ 방향, 비저항이  $1 \sim 10 [\Omega\text{cm}]$ 인 P형이었다. 소자 제작을 위한 개략적인 공정은 다음과 같다. 공정은 웨이퍼의 초기 세척부터 시작하였다. 세척 후 이온 주입에 앞서 웨이퍼의 표면을 보호하기 위해서 버퍼 산화막(buffer oxide)을  $950^\circ\text{C}$ ,  $\text{O}_2$  분위기에서 30분간 열처리하여 약  $250\text{\AA}$  정도의 두께로 형성하였고, 그 후 N형 우물(Well)의 형성을 위해서 dose량이  $8.0 \times 10^{12}\text{cm}^{-2}$ 인  $(31\text{P}^+)$ 를 가속 에너지  $150\text{KeV}$ 로 이온 주입하여  $1150^\circ\text{C}$ ,  $\text{N}_2$  분위기에서 8시간 동안 열처리(drive-in)하였다. LOCOS(LOCal Oxidation of Si)공정으로 두께가  $5500\text{\AA}$ 인 필드 산화막(field oxide)을 형성하기 위해서  $780^\circ\text{C}$ 에서 질화막(nitride)을  $1600\text{\AA}$  성장시켰고, Active 마스크 작업 후 문턱 전압의 조절을 위해 dose량이  $4.0 \times 10^{11}\text{cm}^{-2}$ 인 붕소( $11\text{B}^+$ )를  $20\text{KeV}$ 로 이온 주입하였다. 그 후 매몰 채널 형성을 위해서 dose량이  $1.9 \times 10^{12}\text{cm}^{-2}$ 인 붕소( $11\text{B}^+$ )를  $20\text{KeV}$ 로 또 한 번 이온 주입하였다. RTP(Rapid Thermal Processor) 장비로 고속 열처리 작업을 하여 두께가  $150\text{\AA}$ 인 다결정 실리콘을 도포한 후  $900^\circ\text{C}$ 에서  $\text{POCl}_3$  도핑을 하였다. gate 마스크 작업 후 소스와 드레인의 형성을 위해 dose량이  $3.0 \times 10^{15}\text{cm}^{-2}$ 인 붕소( $49\text{BF}_2$ )이온을  $70\text{KeV}$ 로 이온 주입하였다. 그 후 두께가  $6000\text{\AA}$ 인 PSG(phosphosilicate)층을 도포하고, contact 마스크 작업을 통해 접촉 전극(contact)을 형성한 후 장벽 금

속으로 TiW를 5000Å 두께로 도포한 후 금속 패턴용 마스크 작업을 하여 소자 제작을 완성하였다.

IV. 실험 결과

소자의 전기적인 특성을 분석하기 위해서 사용된 장비는 HP-4145B였고, DC 스트레스를 인가하여 DC 스트레스에 따른 소자의 전기적 특성 변화를 분석하였다. 조사를 위해서 측정된 항목은 문턱 전압,  $I_d - V_d$  특성,  $I_{sub} - V_g$  특성,  $I_g - V_g$  특성, 전달 콘덕턴스,  $I_d - V_g$  특성, 그리고 펀치스루 전압 등이었다.

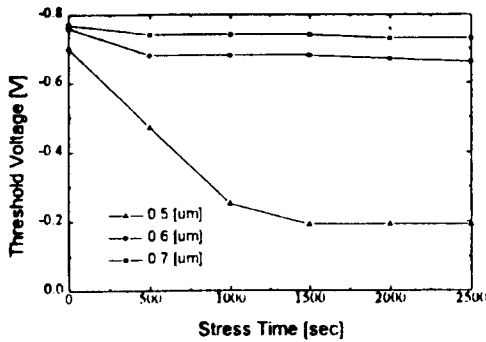
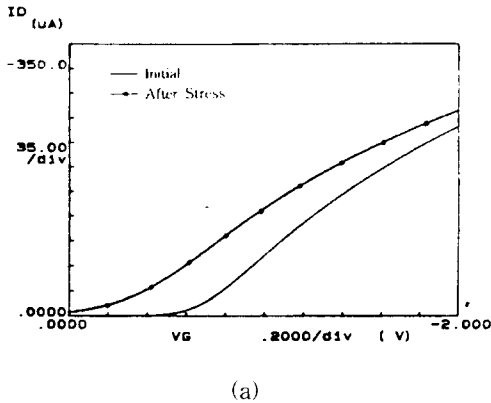
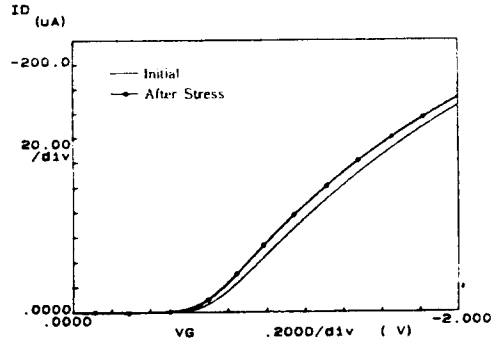


그림 4. DC 스트레스 시간의 변화에 따른 Vth의 변화  
Fig. 4. Changes of Vth according to DC stress time

그림 4는 DC 스트레스 시간 변화에 따른 각 소자의 문턱 전압 변화를 나타낸 것이다. DC 스트레스는 소자 노획화의 최대 조건인 게이트 전압 -2V, 드레인 전압 -7V로 500초씩 6번 가해졌다. 초기 DC 스트레스 인가 후 문턱 전압의 변화가 가장 큰 것으로 나타났고 그 후 변화 분은 점차 감소되었다.

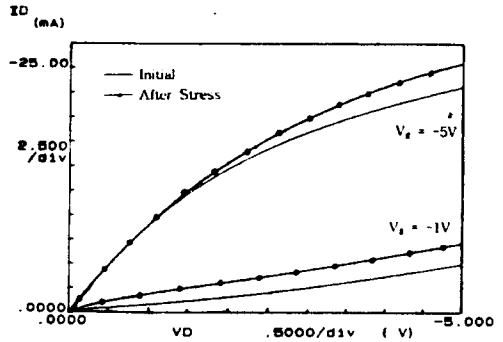


(a)

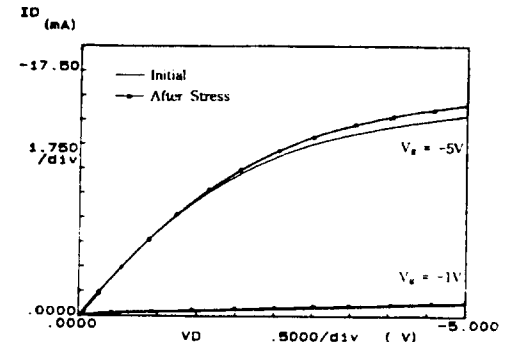


(b)

그림 5. (a) DC 스트레스 인가후 Vth의 변화(L=0.5μm)  
(b) DC 스트레스 인가후 Vth의 변화(L=0.7μm)  
Fig. 5. (a) Changes of Vth after applying the DC stress (L=0.5μm) (b) Changes of Vth after applying the DC stress (L=0.7μm).



(a)

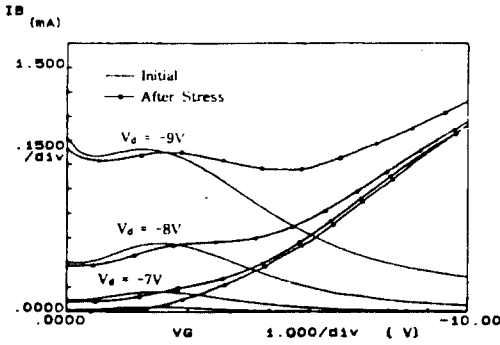


(b)

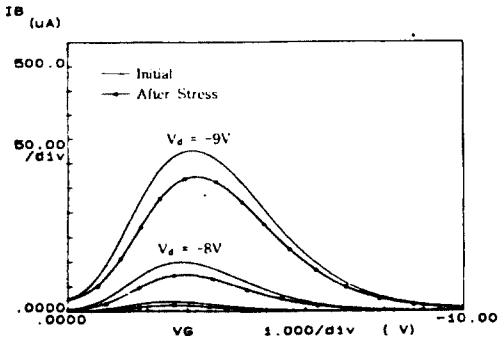
그림 6. (a)DC 스트레스 인가후 Id-Vd의 변화(L=0.5 μm)  
(b)DC 스트레스 인가후 Id-Vd의 변화(L=0.7μm)  
Fig. 6. (a) Changes of Id-Vd after applying the DC stress(L=0.5μm) (b) Changes of Id-Vd after applying the DC stress(L=0.7μm).

그림 5는 DC 스트레스 인가 후 각 소자의 문턱 전압 변화를 나타낸 것으로 게이트 길이에 따른 문턱 전압의 변화를 확인하였다. 채널 길이의 감소에 따라 DC 스트레스에 의한 문턱 전압의 변화가 큰 것으로 나타났다.

그림 6은 DC 스트레스 인가 후 각 소자의  $I_d - V_d$  특성 곡선의 변화를 나타낸 것이다. DC 스트레스 인가 후 유효 채널 길이의 감소와 defect 전하에 의해서 증가함을 보여주고 있다.



(a)



(b)

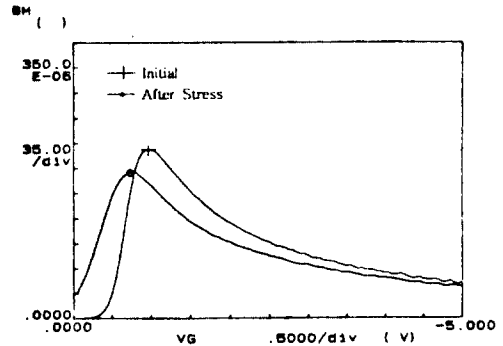
그림 7. (a)DC스트레스 인가후  $I_{sub} - V_g$  특성( $L=0.5 \mu m$ ) (b)DC스트레스 인가후  $I_{sub} - V_g$  특성 ( $L=0.7 \mu m$ )

Fig. 7. (a)  $I_{sub} - V_g$  characteristics after applying the DC stress( $L=0.5 \mu m$ ) (b)  $I_{sub} - V_g$  characteristics after applying the DC stress( $L=0.7 \mu m$ ).

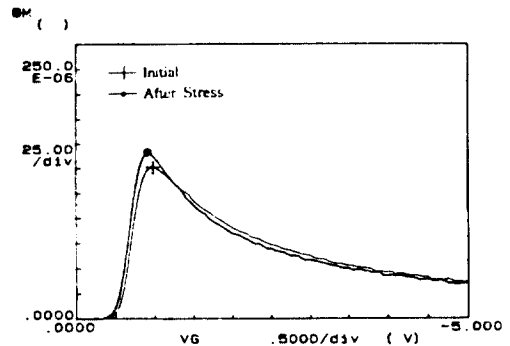
그림 7은 DC 스트레스 인가 후 각 소자의  $I_{sub} - V_g$  특성 곡선의 변화를 나타낸 것인데, DC 스트레스 인가 후 감소하는 것으로 나타났다. 이것은 핫-전자의 게이트 절연막내 포획 후, 핫-전자가 포획된 게이트 절연막의 밑부분에 존재하는 전하 공핍 영역에 핫-정공

의 재배치가 이루어져 일종의 LDD구조와 같은 드레인 구조를 형성하기 때문으로 추측되어진다. LDD구조는 드레인 영역에서의 최대 전계를 감소시키고, 최대 전계의 감소는 충돌 이온화율을 감소시킨다. 때문에 핫-캐리어의 감소가 일어나고, 기판 전류가 감소되는 것으로 생각된다. 그림 7에서  $L=0.5 \mu m$ 인 경우 DC 스트레스 인가 후  $I_d - V_g$  특성 곡선의 변화 및 펀치스루 전압 강화와 비교 고찰해 볼 때  $V_g = -3V$  이상에서의 펀치스루 전압 강화는 DIBL 현상에 그 주된 원인이 있는 것으로 추측된다.

그림 8은 DC 스트레스 인가 후 각 소자의 전달 콘덕턴스 변화를 나타낸 것이다. DC 스트레스 인가 후 유효 채널 길이의 감소로 인해  $L=0.7, 0.8 \mu m$ 인 경우에는 증가함을 보여주고 있지만,  $L=0.5 \mu m$ 의 경우  $V_g = -3V$ 에서 감소하는 것으로 나타났다. 이는 발생된 핫-캐리어의 과잉으로 인한 캐리어의 충돌 및 산란으로 전달 콘덕턴스가 감소되는 것으로 추측된다.



(a)



(b)

그림 8: (a) DC스트레스 인가후  $G_m$ 의 변화( $L=0.5 \mu m$ ) (b) DC스트레스 인가후  $G_m$ 의 변화( $L=0.7 \mu m$ )

Fig. 8. (a) Changes of  $G_m$  after applying the DC stress( $L=0.5 \mu m$ ) (b) Changes of  $G_m$  after applying the DC stress( $L=0.7 \mu m$ ).

$I_d-V_g$  특성 곡선에 대한 측정은  $I_g$  값이 너무 작아 ( $10^{-14}$  A이하) 측정을 할 수 없었는데, 이는 측정 대상이 매몰 채널 P-MOSFET이기 때문이라고 생각되어진다. 즉, 핫-캐리어 발생 지점이 표면 채널 P-MOSFET보다 기판 쪽으로 내려가 있기 때문에(컴퓨터 모의실험에 의하면 매몰 채널 P-MOSFET는 깊이가  $0.0772\mu\text{m}$  지점에서, 표면 채널 P-MOSFET는  $0.0565\mu\text{m}$  지점에서 핫-캐리어의 발생이 최대가 됨) 발생한 핫-캐리어중 일부가 게이트 절연막 쪽으로 이동시 전자들과의 충돌 및 산란에 의해 에너지를 잃고 이로 인해서 이동되어 온 핫-캐리어의 대부분이 게이트 절연막을 뚫고 게이트 전극으로 올라가지 못하고 게이트 절연막 내에 포획되는 것으로 여겨진다. 비록 그 값이 작아 측정을 할 수 없었지만  $I_{\text{sub}}-V_g$  특성 곡선의 감소와 같은 이유에서, DC 스트레스 인가 후  $I_d-V_g$  특성 곡선은 감소될 것으로 추측된다.

그림 9는 채널 길이의 변화 및 DC 스트레스 인가에 의한 펀치스루 전압의 변화를 나타낸 것으로 게이트 전압을 인가하지 않은 상태( $V_g=0\text{V}$ )에서 드레인 전압을 증가시켜 드레인 전류( $I_D$ )값이  $4.98\mu\text{A}$ 일 때 드레인 전압을 측정하는 것이다. 측정 결과 DC 스트레스 인가 전 펀치스루 전압 강하는 채널 길이가  $0.8\mu\text{m}$ 이하인 소자에서부터 크게 강하가 일어났고, DC 스트레스 인가 후 펀치스루 전압 강하는 채널 길이  $0.9\mu\text{m}$  이하에서부터 크게 강하가 일어났다. 채널 길이  $0.5\mu\text{m}$ 인 소자와 채널 길이  $0.6\mu\text{m}$ 인 소자의 경우 DC 스트레스 인가 후 펀치스루 전압이  $0\text{V}$ 에 접근하는 값을 갖는데, 이는 차단 특성의 악화로 소자가 스위칭 소자(CMOS회로 구현에 적용하기가 어려움을 의미함)로 동작할 수 없음을 의미한다.

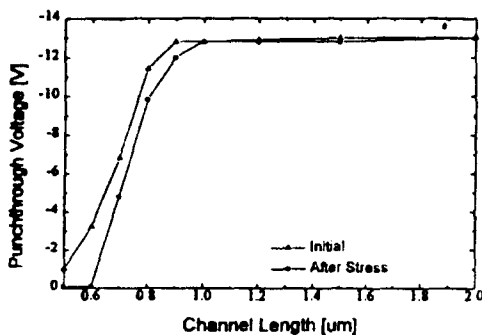
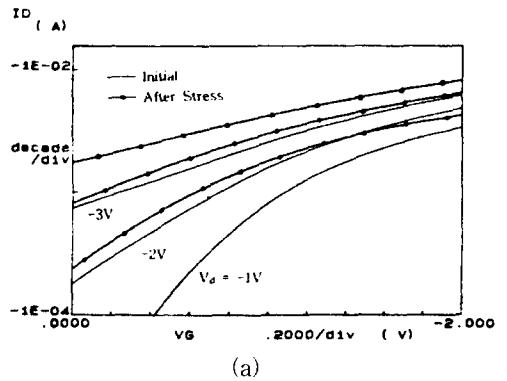
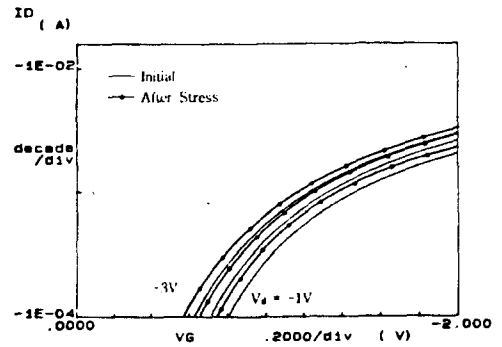


그림 9. 채널 길이 변화에 따른 소자의  $V_{Pt}$ 의 변화  
Fig. 9.  $V_{Pt}$  changes of device according to changes of channel length.

그림 10은  $I_d-V_g$  특성 곡선을 측정할 것으로, 일정한 드레인 전압( $-1\text{V}$ ,  $-2\text{V}$ ,  $-3\text{V}$ )하에 게이트 전압을  $0\text{V}$ 에서  $-2\text{V}$ 까지 점차적으로 증가하여 변화되는 드레인 전류를 DC 스트레스 인가 전과 DC 스트레스 인가 후로 나누어 관찰한 것이다.



(a)



(b)

그림 10. (a) DC스트레스 인가후  $I_d-V_g$  특성( $L=0.5\mu\text{m}$ ) (b) DC스트레스 인가후  $I_d-V_g$  특성 ( $L=0.7\mu\text{m}$ )

Fig. 10. (a)  $I_d-V_g$  characteristics after applying the DC stress( $L=0.5\mu\text{m}$ ) (b)  $I_d-V_g$  characteristics after applying the DC stress( $L=0.7\mu\text{m}$ ).

그림 10에서 DC 스트레스를 인가하지 않은 채널 길이  $0.5\mu\text{m}$ 인 소자의 경우, 드레인 전압  $-3\text{V}$ 하에서는 게이트 전압을 가하지 않아도( $V_g=0\text{V}$ )  $-742.9\mu\text{A}$ 의 비교적 큰 드레인 전류가 측정되었다. DC 스트레스 인가 후 측정에서는 약 2.5배정도 증가된 값인  $-1.724\text{mA}$ 의 드레인 전류가 같은 조건하에서 측정되었다. 이러한 현상의 원인은 핫-캐리어의 발생으로 인한 드레인 쪽의 장벽 감소가 원인인데, 펀치스루 전압 강하의 원인이 된다.

## V. 고찰 및 결론

CMOS공정에서 주로 적용되고 있는 매몰 채널 P-MOSFET에서의 핫-캐리어 효과 및 펀치스루 전압의 강하에 대해서 알아보기 위해 제작된 소자의 채널 길이는 각각  $0.5\mu\text{m}$ ,  $0.6\mu\text{m}$ ,  $0.7\mu\text{m}$ ,  $0.8\mu\text{m}$ ,  $0.9\mu\text{m}$ ,  $1.0\mu\text{m}$ ,  $1.2\mu\text{m}$ ,  $1.5\mu\text{m}$ ,  $2.0\mu\text{m}$ 이었고, 채널 폭은  $50\mu\text{m}$ 이었다. 제작된 소자의 문턱 전압 및 펀치스루 전압과 관련된 소자의 특성 측정은 제작된 모든 소자를 통해서 분석이 이루어졌고, 그 외의  $I_d - V_d$  특성 곡선,  $I_{\text{sub}} - V_g$  특성 곡선, 그리고 전달 콘덕턴스 등의 측정 및 분석은 DC 스트레스 인가 후 문턱 전압 측정시 문턱 전압의 변화가 비교적 크게 일어나고, 펀치스루 전압 측정시 전압 강하가 급격하게 일어나는  $0.8\mu\text{m}$  이하의 소자에서 집중적으로 이루어졌다.

또한 측정 장비(HP-4145B)를 이용한 실 소자의 전기적 특성 분석으로는 알아보기가 어려운 소자 내의 수평 전계 분포 및 핫-캐리어 발생률 등을 알아보기 위해서 반도체 소자 공정 시뮬레이터인 SUPREM-4와 특성 분석 시뮬레이터인 MINIMOS-4를 이용한 컴퓨터 모의실험이 매몰 채널 P-MOSFET과 표면 채널 P-MOSFET를 비교하는 형태로 이루어졌다.

컴퓨터 모의 실험을 통해서 알 수 있었던 것은 같은 바이어스 조건하에서 채널 길이의 감소에 따라서 증가되는 최대 수평 전계의 값이 매몰 채널 P-MOSFET가 표면 채널 P-MOSFET보다 작고, 그로 인해서 핫-캐리어의 발생률이 적은 것으로 나타났다. 또한  $I_d - V_d$  특성 곡선의 비교를 통해서 매몰 채널 P-MOSFET이 표면 채널 P-MOSFET보다 전류 구동 능력이 뛰어난 것을 알 수 있었다.

이러한 매몰 채널 P-MOSFET의 문제점은 실 소자의 전기적 특성 측정을 통해서 알 수 있었는데, 특히 submicron규모 매몰 채널 P-MOSFET의 문제점은 핫-캐리어 효과로 인한 유효 채널 길이의 감소 및 DIBL현상으로 발생하는 펀치스루 전압의 강하로 생각된다.

드레인 근처 높은 전계 영역에서, 충돌 이온화가 발생하고 그로 인해 핫-전자와 핫-정공이 발생한다. 발생한 핫-정공의 일부는 충돌 이온화에 재 참가하여 더 많은 핫-전자와 핫-정공을 발생시킨다. 발생한 핫-전자의 일부는 게이트 절연막의 약한 결합력을 갖는 계면 트랩을 통해서 게이트 절연막 내에 포획된다. 핫-전

자의 게이트 절연막 내 포획이 이루어진 후 핫-전자에 비하여 게이트 절연막 내로의 침투가 어려운 핫-정공은 핫-전자가 포획된 게이트 절연막 그 밑부분, 전하 공핍 영역에 재배열하게 된다. 이러한 핫-정공의 재배열은 일종의 P-LDD구조와 같은 것으로 작용하여 소자의 유효 채널 길이를 감소시키고, 유효 채널 길이의 감소는 펀치스루 전압을 강하시킨다. 또한 채널이 표면 채널 P-MOSFET의 그것보다 좀 더 기판 쪽으로 내려가 있는 이유에서 핫-캐리어의 발생 지점이 기판 쪽으로 내려가 있고, 그로 인해 발생한 많은 양의 핫-캐리어가 드레인 측에 몰려 있게 되는데 이것으로 인해 DIBL현상이 일어나고 펀치스루 전압의 강하가 일어난다. 그리고 펀치스루 전압 강하는 소자가 스위칭 회로로 동작시 차단 특성을 나쁘게 만든다.

본 논문에서 이러한 펀치스루 전압 강하를 조사한 바에 의하면, DC스트레스 인가 후 펀치스루 전압이 0V에 가까운 값으로 감소되는 채널 길이가  $0.6\mu\text{m}$ 이하인 매몰 채널 P-MOSFET는 CMOS회로 구현에 적용이 어려운 것으로 판명되었다. 앞으로도 각별한 관심을 가지고 더 많은 연구가 진행되어야 할 것이다.

## 참 고 문 헌

- [1] Takeda, A. Shimizu, and T. Hagiwara, "Role of hot-hole injection in hot-carrier effects and the small degraded channel region in MOSFET's.", IEEE Electron Device Lett., Vol. EDL-4, No. 9, pp.329~331, 1983.
- [2] F.C.Hsu and S. Tam, "Relationship between MOSFET degradation and hot-electron-induced interface-state generation.", IEEE Electron Device Lett., Vol. EDL-5, No. 2, pp.50~52, 1984.
- [3] Mitsumasa Koyanagi, Alan G. Lewis, Russal A. Martin, John Y. Chan, "Hot-Electron-Induced Punchthrough(HEIP) Effect in Submicrometer PMOSFET's.", IEEE Trans. Electron Device, Vol. ED-34, No. 4, pp.839~844, 1987.
- [4] Michael J. Van der Tol and Savras G. Chamberlain, "Drain-Induced Barrier Lowering in Buried-Channel MOSFET's", IEEE Trans. Electron Device, Vol. ED-40,



No. 4, pp.741~749, 1993.

[5] S. Selberherr, A. Schutz and H. W. Potzl, "A two-dimensional model of the avalanche effect in MOS transistors.", Solid-State Electronics vol. 25, No. 3, pp.177~183, 1982.

[6] W. Hansch and S. Selberher, "MINIMOS 3:

A MOSFET simulator that includes energy balance.", IEEE Trans. Electron Device, Vol. ED-34, pp.1074~1078, 1987.

[7] S. M. Sze, "Physics of semiconductor device.", 2nd Edition, John Wiley & Sons. Inc. New York.

저 자 소 개



鄭允皓(正會員)

1965년 1월 6일생. 1993년 건국대학교 전자공학과 졸업. 1995년 건국대학교 전자공학과 공학 석사. 1995년 1월~현재 LG전자 안양연구소 연구원 근무. 주 관심 분야는 Laser annealing을 이용

한 단결정 Si 성장 및 TFT에의 응용기술



金鍾煥(正會員)

1967년 11월 24일생. 1991년 경북 산업대학교 전자공학과 졸업. 1996년 건국대학교 전자공학과 공학석사. 1996년 3월~현재 LG 반도체 연구원 근무. 주 관심 분야는 DRAM설계, Hot carrier

모델링, Error 시뮬레이션



盧柄奎(正會員)

1968년 9월 3일생. 1991년 순천향대학교 전자공학과 졸업. 1993년 건국대학교 전자공학과 공학석사. 1993년 9월~현재 건국대학교 전자공학과 박사과정중. 주 관심 분야는 High-energy ion

implantation 및 단위 공정 시뮬레이션

吳煥述(正會員)

第33卷 第6號 參照

현재 건국대학교 전자공학과 교수



趙鑄範(正會員)

1959년 5월 24일생. 1981년 경북대학교 전자공학과 졸업. 1988년 Univ. of South Carolina 전자 및 컴퓨터공학과 (석사). 1992년 Case Western Reserve Univ. 전자공학과 (공학박사). 1992년 5

월~현재 건국대학교 전자공학과 부교수. 주 관심분야는 신경망 응용, VLSI 설계, 반도체 시뮬레이션 등임.