

論文96-33A-10-15

# NMOSFET에서 LDD 영역의 전자 이동도 해석 (Analysis of Electron Mobility in LDD Region of NMOSFET)

李相基\*, 黃顯相\*\*\*\*, 安在璫\*\*\*\*, 鄭周榮\*\*\*,  
魚瀛善\*\*, 權五敬\*\*, 李昌孝\*

(Sang-Gi Lee, Hyunsang Hwang, Jae-Gyung Ahn, Ju-Young Jeong,  
Yungseon Eo, Oh-Kyong Kwon, and Chang-Hyo Lee)

## 요 약

LDD 구조는 드레인에서의 전계가 낮아 핫 캐리어 효과를 줄일 수 있기 때문에 짧은 채널길이를 갖는 소자에 널리 적용되고 있으나 이 소자가 내포하는 n- 드레인 영역의 해석 방법이 지나치게 복잡하거나 부정확하여 효과적으로 소자를 모델링 하는데 어려움이 있다. 이러한 문제점을 해결하기 위하여 본 논문에서는 게이트 전압이 양일 때 LDD 영역에 축적층이 형성되어 전자 이동도가 변화하는 사실을 이용하여 LDD영역을 비선형 저항으로 모델링하는 방법을 제안 하였다. 제안한 본 모델을 검증하기 위하여 단일 소오스/드레인 소자와 LDD 소자를 0.35 $\mu\text{m}$  CMOS 기술로 제작하고  $I_{ds}-V_{gs}$  특성을 측정하였으며 이를 모델링 결과와 비교하였다. 우선 1050Å의 측벽을 갖는 5 $\mu\text{m}$  LDD NMOSFET의  $I_{ds}-V_{gs}$  측정결과로부터 채널과 LDD영역의 이동도를 각각 구하고, 이 중에서 채널의 이동도만으로 5 $\mu\text{m}$  단일 소오스/드레인 소자의  $I_{ds}-V_{gs}$  특성을 예측하여 잘 일치함을 보였다. 또, 채널과 LDD영역의 이동도를 1400 과 1750Å의 측벽을 갖는 5 $\mu\text{m}$  소자에 적용하여 계산한  $I_{ds}-V_{gs}$  특성값과 실험값이 잘 일치함을 보였다. 한편, LDD 영역의 이동도는 전계에 따라 포논과 표면 거칠기 산란이 지배함을 밝혔다. 본 연구에서 제안한 모델은 수학적으로 간단하면서도 성공적으로 LDD 소자를 모델링할 수 있어 소자 및 회로의 전자모사에 유용할 것으로 사료된다.

## Abstract

LDD structure is widely accepted in fabricating short channel MOSFETs due to reduced short channel effect originated from lower drain edge electric field. However, modeling of the LDD device is troublesome because the analysis methods of LDD region known are either too complicated or inaccurate. To solve the problem, this paper presents a nonlinear resistance model for the LDD region based on the fact that the electron mobility changes with positive gate bias because accumulation layer of electrons is formed at the surface of the LDD region. To prove the usefulness of the model, single source/drain and LDD nMOSFETs were fabricated with 0.35  $\mu\text{m}$  CMOS technology. For the fabricated devices we have measured  $I_{ds}-V_{gs}$  characteristics and compare them to the modeling results. First of all, we calculated channel and LDD region mobility from  $I_{ds}-V_{gs}$  characteristics of 1050 Å sidewall, 5  $\mu\text{m}$  channel length LDD nMOSFET. Then we apply the calculated channel mobility to predict  $I_{ds}-V_{gs}$  characteristics of 5  $\mu\text{m}$  single source/drain MOSFET and found good agreement with experiment. Next, we use calculated channel and LDD region mobility to model  $I_{ds}-V_{gs}$  characteristics of LDD MOSFET with 1400 and 1750 Å sidewall and 5  $\mu\text{m}$  channel length and obtained good agreement with experiment. The single source/drain device characteristic modeling results indicates that the channel mobility obtained from our model in LDD device is accurate. In the meantime, we found that the LDD region mobility is governed by phonon and surface roughness scattering from electric field dependence of the mobility. The proposed model is useful in device and circuit simulation because it can model LDD device successfully even though it is mathematically simple.

\* 漢陽大學校 物理學科

(Dept. of Physics, Hanyang Univ.)

\*\* 漢陽大學校 電子工學科

(Dept. of Elec. Eng., Hanyang Univ.)

\*\*\* 水源大學校 電子工學科

(Dept. of Elec. Eng., Suwon Univ.)

\*\*\*\* LG 半導體

(Advanced Technology Laboratory, LG Semicon Co.)

接受日字: 1996年5月14日, 수정완료일: 1996年9月14日

I. 서론

LDD 구조는 채널과 n+ 소오스/드레인 사이에 비교적 낮은 도핑의 LDD 영역을 도입함으로써 sub-diffusion 영역에서의 전계가 단일 소오스/드레인 구조에 비해 낮고 핫캐리어 효과를 줄일 수 있다는 장점이 있기 때문에 짧은 채널 MOSFET을 만드는 데 광범위하게 적용되고 있다. 한편, 소자의 구조가 복잡해져 채널영역만을 해석하는 단일 소오스/드레인 구조의 해석 방법으로는 모델링 할 수 없는 문제가 있어 많은 연구가 진행되어 오고 있다. 일반적으로 LDD 구조는 2-D 수치해석 방법으로 해석할 수 있지만<sup>[1]</sup> 계산에 소요되는 시간이 길어 회로분석에 사용하기가 어려운점이 있다. LDD MOSFET의 n- 영역을 저항값이 상수인 저항으로 모델링한 Duvvury et. al<sup>[2]</sup> 모델과 Lai와 Sun<sup>[3]</sup> 모델은 게이트 전압의 변화에 따른  $I_{ds}-V_{gs}$  특성이 일치하지 않아 회로 전자모사에 사용하는데 실용성이 없다. Wu는 LDD영역을 buried-channel MOSFET으로 해석하는 모델을 제시하였으나 모델이 복잡한 단점이 있다<sup>[4]</sup>. 한편, Sun & Plummer<sup>[5]</sup>는 반전층과 축적층에서 게이트 전압에 따른 이동도의 변화를 해석 하였지만 LDD MOSFET 안에서 반전층과 축적층이 인접한 상황을 해석하지 않았다.

본 논문에서는 정확하게 LDD영역이 소자의 전류-전압특성에 미치는 영향을 분석하고, 수학적으로 간단한 모델을 제시하기 위하여 채널과 LDD 영역을 직렬로 연결된 저항으로 해석하는 방법을 사용 하였다. NMOSFET은 선형영역에서 LDD 영역이 축적층이 되고 이동도가 변화하며 결국 저항값이 변하게 된다. 따라서 이동도의 게이트 전압에 따른 변화를 예측하는 것이 LDD의 영향을 해석하는 관건이므로 본 연구에서는 LDD 영역의 이동도를 구하고 이것과 채널의 이동도를 조합하여 소자 특성을 모델링 하고자 한다.

II. LDD영역 해석 모델

MOSFET에서의 이동도는 선형 영역에서 MOSFET의 드레인 전류를 측정하고 식(1)을 이용하여 계산할 수 있다.

$$I_{ds} = (W/L)\mu_{eff}C_{ox}(V_{gs} - v_{th})V_{ds} \quad (1)$$

여기에서,  $\mu_{eff}$ 는 유효 이동도,  $C_{ox}$ 는 게이트 산화막의

정전용량, 그리고  $W/L$ 은 소자의 폭과 길이의 비이다. 식(1)에서  $\mu_{eff}$ 는 열처리 과정에서 발생한 채널의 감소량과 LDD영역의 저항을 이동도에 포함시킨 유효 이동도이며 측정된  $I_{ds}-V_{gs}$  특성으로부터 계산된다. 이전에는 제작된 LDD 소자의 특성을 측정하여 식 (1)에 대입하여 유효 이동도를 계산 하였으므로 이 때의 이동도는 채널과 LDD 영역의 이동도의 조합을 의미한다 이러한 방법으로는 LDD영역의 이동도를 정확히 모델링하지 않는 까닭에 측벽의 두께가 달라지면 유효 이동도를 예측할 수 없는 불편함이 따른다. 이러한 불편함을 해결하기 위해서는 채널과 LDD 영역을 분리하여 모델링을 해야 한다. 즉 식 (1)에서  $V_{ds}/I_{ds}$  값은 소오스와 드레인간의 저항 ( $R_m$ ) 이며 이것은 식 (2)와 같이 채널 영역과 LDD 영역의 저항의 합으로 표시할 수 있다<sup>[6]</sup>.

$$R_m = R_{channel} + R_{LDD} = \frac{L_m - 2\Delta L}{Q_i \mu_{channel} W} + \frac{2L_{LDD}}{Q_s \mu_{LDD} W} \quad (2)$$

여기에서,  $L_m$ 은 소오스, 드레인 확산 공정 전의 채널 길이이고,  $\Delta L$ 은 소오스와 드레인 dopant의 lateral diffusion에 의한 각 side의 채널 길이의 감소량이며,  $\mu_{channel}$ ,  $\mu_{LDD}$ 는 채널과 LDD영역의 이동도이며,  $Q_s$ 와  $Q_i$ 는 축적층의 표면전하와 반전층의 전하량이다. 여기에서 반전층의 전하량은  $C_{ox}(V_{gs} - V_{th})$ 이다. 한편,  $I_{ds}/V_{ds}$ 는 소자의 유효 이동도( $\mu_{eff}$ )를 이용하여 식 (3)으로 표시 할 수 있다.

$$\frac{V_{ds}}{I_{ds}} = \frac{1}{\mu_{eff}WC_{ox}} \frac{L_{channel}}{(V_{gs} - v_{th})} \quad (3)$$

여기에서  $L_{channel}$ 은  $L_m - 2\Delta L$  이고  $Q_i$ 는  $C_{ox}(V_{gs} - V_{th})$ 이다.식(1)과 (3)을 등치하여 LDD영역의 이동도( $\mu_{LDD}$ )를 채널 이동도( $\mu_{channel}$ )와 소자의 유효 이동도( $\mu_{eff}$ )로 표현하면 식(4)와 같다.

$$\frac{1}{\mu_{LDD}} = \frac{L_{channel} \times Q_s}{2 \times L_{LDD} \times C_{ox}(V_{gs} - V_{th})} \left( \frac{1}{\mu_{eff}} - \frac{1}{\mu_{channel}} \right) \quad (4)$$

한편 식(4)의  $Q_s$ 는 다음 과정에 의해 계산한다. 즉, Gauss 법칙을 사용하여 전계( $\mathcal{E}$ )를 형성하는데 필요한 단위 면적당 표면전하량은  $n_{no} \gg p_{no}$ 일 경우 식(5)와 같다<sup>[7]</sup>.

$$Q_s = \sqrt{\frac{2q\epsilon_s N_D}{\beta} [e^{\beta\phi_s} - \beta\phi_s - 1]} \quad (5)$$

여기에서  $N_d$ 는 LDD영역의 도핑 농도이며  $\beta$ 는  $\frac{q}{kT}$ 이다.

게이트 전압과 표면전위 사이의 관계식은 다음과 같다.

$$V_{gs} = V_{FB} + \phi_s + \frac{1}{C_{ox}} \sqrt{\frac{2q\epsilon_s N_d}{\beta} [e^{\beta\phi_s} - \beta\phi_s - 1]} \quad (6)$$

식(6)으로부터 게이트 전압에 따른 표면전위를 수치해석으로 구하여 식(5)에 대입함으로써 표면전하량을 얻는다. 위 이론으로부터 관련된 변수들을 구하는 과정을 도표로 나타내면 그림 1과 같다.

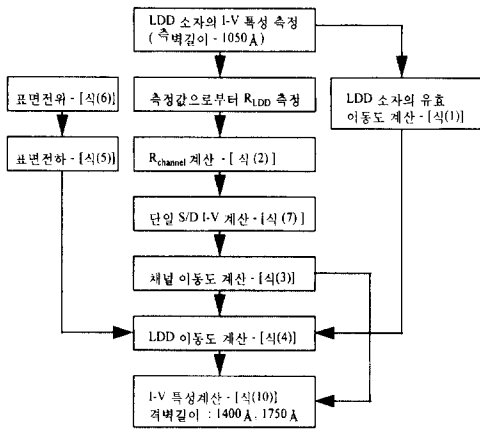


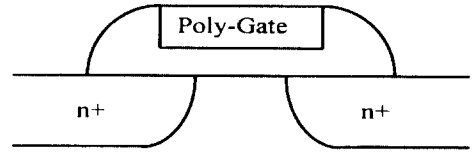
그림 1. LDD영역의 이동도의 변수들을 계산하기 위한 개략도

Fig. 1. Flowchart for calculating parameters of the mobility of LDD region.

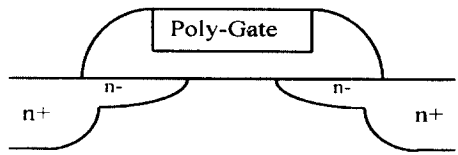
### III. 소자제작

LDD S/D MOSFET소자는 비저항이 9 - 12Ω-cm이며 boron 도핑된 (100)방향의 wafer에 0.35μm CMOS 공정을 사용하여 제작하였다. 게이트 산화막의 두께는 80Å이며 LDD 영역의 implant energy와 phosphorus 도스량은 각각 40keV와  $2 \times 10^{13} \text{cm}^{-2}$ 이다. 채널 영역의 boron농도는  $1.5 \times 10^{17} \text{cm}^{-3}$ 이다. LDD영역의 이동도를 얻기위하여 LDD 영역이 없는 single S/D 구조와 측벽 길이가 1050, 1400, 1750Å인 LDD S/D 구조의 소자들을 제작하였다. 채널 길이는 0.35, 0.4, 0.5, 1.0, 5, 20μm, 폭은 20μm로 제작하였으며 LDD영역의 이동도 해석을 위해 L=5μm 소자에서 측정을 실시 하였다. 측벽 형성후 n<sup>+</sup> S/D 을 형성하기 위해 As를 40keV의 에너지와  $5 \times 10^{15} \text{cm}^{-2}$  도스량으

로 이온 주입하고, 열처리는 850°C 30분 하였으며 최종 소자 구조는 그림 2와 같다.



(a) 단일 소오스/드레인 구조



(b) LDD 소오스/드레인 구조

그림 2. (a) 단일 소오스/드레인 과 (b) LDD 소오스/드레인 구조

Fig. 2. Structure diagrams for single S/D device and LDD S/D device.

### IV. 실험 및 결과

본 논문에서는 LDD 구조의  $I_{ds}-V_{gs}$  특성으로부터 유효 이동도와 채널 이동도를 계산하여 이 값들로부터 LDD 이동도를 계산 하였다. 이동도는  $I_{ds}-V_{gs}$  측정값으로부터 해석됨으로, LDD 구조와 단일 소오스/드레인 구조의  $I_{ds}-V_{gs}$  측정값이 필요하다. 또한, 단일 소오스/드레인 구조의  $I_{ds}-V_{gs}$ 는 LDD 구조로부터 예측이 가능하므로 두 구조로부터  $I_{ds}-V_{gs}$ 를 측정하고 계산 값과 측정값이 일치함을 증명함으로써 방법의 타당성을 제시할 수가 있다. 그림3의 (a)와 (c)는 채널길이가 5μm이고 측벽 두께가 1050Å인 LDD 구조와 같은 채널길이의 단일 소오스/드레인 소자의  $I_{ds}-V_{gs}$  특성이며, 알려진 것처럼 LDD영역의 직렬저항( $R_{LDD}$ )의 영향으로 LDD구조 소자가 보다 적은 드레인 전류 구동능력을 보인다. 또한 LDD 구조의  $I_{ds}-V_{gs}$  특성으로부터 단일 소오스/드레인 구조의  $I_{ds}-V_{gs}$ 특성을 계산하기 위하여 먼저 LDD 영역의 직렬저항( $R_{LDD}$ )의 값을 계산해야 한다.  $R_{LDD}$ 는 B. J. Sheu와 C. Hu<sup>[2]</sup>의 방법으로 계산하여 58오옴을 얻었으며 이것을 식(7)에 대입하여 LDD 구조 소자와 같은 채널 길이를 갖는 단일 소오스/드레인 소자의  $I_{ds}-V_{gs}$ 특성을 계산 하였다.

$$I_{channel} = \frac{V_{channel}}{R_m - R_{LDD}} = \frac{V_{channel}}{R_{channel}} \quad (7)$$

여기에서,  $R_m - R_{LDD}$ 는 채널 영역의 저항값  $R_{channel}$ 이다. 단일 소오스/드레인 구조의 특성상  $V_{channel}$ 과  $I_{channel}$ 은 각각  $V_{ds}$ 와  $I_{ds}$ 와 같으며  $V_{ds}$ 는 50mV로 고정시켰다. 그림 3(b)는 식 (7)에서 계산한 단일 소오스/드레인의  $I_{ds} - V_{gs}$  특성으로 측정값 (c)와 일치한다. 그림 3 (b)와 (c)가 일치함으로 LDD 구조로부터 구한  $R_{channel}$ 로 단일 소오스/드레인 구조의  $I - V$  특성을 예측한 것이 정확함을 확인 하였으며, 추출한 LDD영역의 저항값이 타당함을 알 수 있다. 본 연구 방법으로 LDD 구조로부터 단일 소오스/드레인 구조의  $I_{ds} - V_{gs}$  특성 예측이 가능하므로 단일 소오스/드레인 구조를 제작하여 채널 이동도를 측정하지 않아도 LDD 이동도 계산에 필요한 채널 이동도를 정확히 예측할 수 있다.

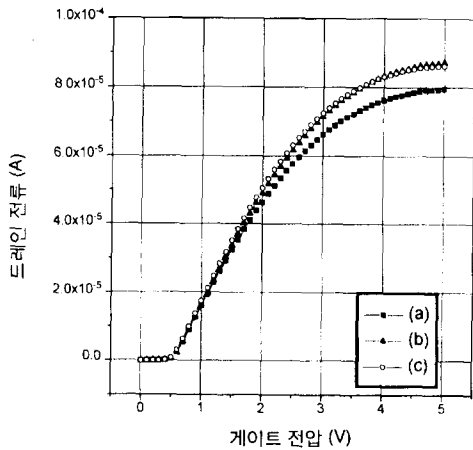


그림 3. 단일 소오스/드레인과 LDD 소오스/드레인 구조에서  $I_{ds} - V_{gs}$  특성의 측정값과 계산값의 비교 (a) LDD 소오스/드레인 -  $I_{ds}$  : 측정값 (b) 단일 소오스/드레인 -  $I_{ds}$  : 계산값 (c) 단일 소오스/드레인 -  $I_{ds}$  : 측정값

Fig. 3. Comparison of calculated versus measured  $I_{ds} - V_{gs}$  characteristics of single S/D and LDD S/D structure. (a) LDD S/D -  $I_{ds}$  : measurement (b) Single S/D -  $I_{ds}$  : calculation (c) Single S/D  $I_{ds}$  : measurement

채널의 이동도( $R_{channel}$ )는 식 (7)의  $R_{channel}$ 로부터 식 (8)을 이용하여 구할 수 있다.

$$\mu_{channel} = \frac{I_{channel} \times L_{channel}}{W \times C_{ox} (V_{gs} - V_{th}) \times V_{channel}} \quad (8)$$

여기에서  $I_{channel}/V_{channel}$ 은 식(7)에서 계산된 값이고  $L_{channel} = L_m - 2AL$ 이 된다. 그림4는 그림 3(a)의  $I_{ds} - V_{gs}$  특성값을 식 (1)에 대입하여 계산한 LDD 소자의 유효 이동도와 계산된 채널의 이동도이다. 두 특성 모두 수직 방향의 전계가 강해짐에 따라 이동도가 감소하나 LDD구조의 유효 이동도는 항상 단일 소오스/드레인의 채널 이동도보다 낮음을 알 수 있다.

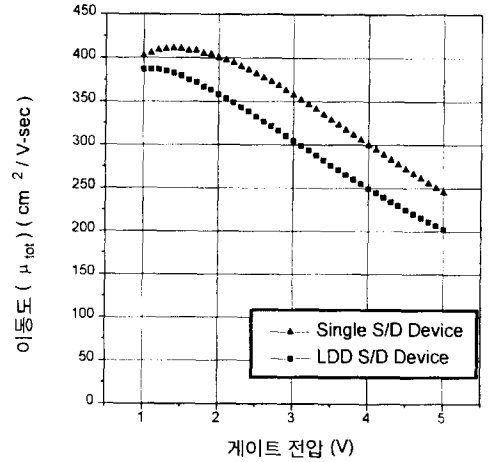


그림 4. 게이트 전압에 따른 단일 소오스/드레인 구조와 LDD 구조 소자의 유효 이동도

Fig. 4. The channel and total mobilities as a function of gate voltage.

유효 이동도와 채널 이동도로부터 식 (4)를 이용하여 LDD 이동도를 구하고 이 값을 측벽 길이가 다른 LDD 구조에 적용하여  $I_{ds} - V_{gs}$  특성을 예측 하였다. 그림 5(b)는 계산된 LDD 이동도이며 전계에 반비례한다. 이러한 성질은 식(9)의 Huang 모델에 본 연구의 공정변수를 대입하여 계산한 결과 그림 5(c)가 계산값과 일치하므로 포논과 표면 거칠기 산란이 지배적임을 의미한다. 이 때 공정변수는  $\beta, \gamma, \delta$  가 각각  $3.56 \times 10^{-3}, 9.8 \times 10^{-3}, 2.3 \times 10^{-3}$  이다. 이 결과에서 LDD 영역의 이동도 값은 Huang의 결과와는 차이가 있으나 이것은 채널 도핑농도의 차이에 의한 것이며, 두 곡선의 기울기가 같으므로 같은 산란 메커니즘이 작용하고 있음을 알 수 있다.

$$\frac{1}{\mu_{total}} = \frac{1}{\mu_{ph}} + \frac{1}{\mu_{sr}} = \beta E_{eff}^{2.1} + \gamma E_{eff}^{\frac{1}{3}} + \delta \quad (9)$$

앞에서 구한 LDD 이동도의 범용성을 검증하기 위하여 같은 공정으로 제작된 측벽의 길이가 각각 1400 Å,

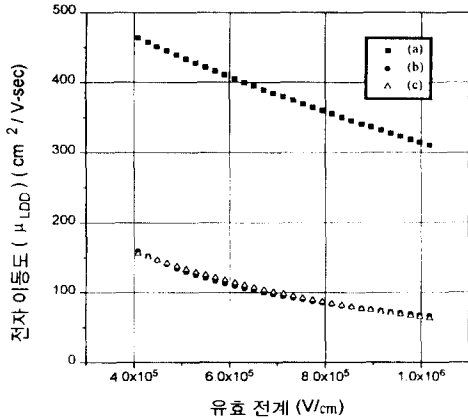


그림 5. 유효 전기계에 따른 LDD 영역의 이동도  
 (a) C. L. Huang의 결과<sup>[8]</sup>  
 (b) 계산에 의한 LDD 이동도  
 (c) 표면 거칠기 산란과 포논 산란으로 모델된 이동도

Fig. 5. The mobility of LDD region as a function of effective electric field.  
 (a) Results of C. L. Huang<sup>[8]</sup>  
 (b) Calculated LDD region mobility (mLDD).  
 (c) Modeled mobility with surface roughness and phonon scattering

1750 Å인 소자에 채널과 LDD이동도를 대입하여  $I_{ds}-V_{gs}$  특성을 계산 하였다. 이 식에서 채널 이동도와 LDD 이동도는 측벽 길이 1050 Å에서 얻은 값이고  $V_{ds}$ 는 50mV로 고정 시켰으며 측벽의 길이에 해당하는  $L_{LDD}$  값을 대입하여  $I_{ds}$ 를 계산 하였다.

$$V_{ds} = I_{ds} \times \left( \frac{2}{\mu_{LDD}} \frac{L_{LDD}}{W} \frac{1}{Q_s} + \frac{1}{\mu_{channel}} \frac{L_{channel}}{WC_{ox}(V_{gs} - V_{th})} \right) \quad (10)$$

그림 6과 그림 7은 식 (10)으로 계산한  $I_{ds}-V_{gs}$  특성을 측정치와 비교한 것인데 1400 Å, 1750 Å 두경우 모두 게이트 전압이 3V 이하일 때 측정값과 계산값이 거의 일치하며, 높은 게이트 전압에서도 약 1.7% 미만의 오차를 나타내었다.

이 결과로부터 소자의 유효 이동도( $\mu_{eff}$ )로부터 계산된 LDD영역의 이동도( $\mu_{LDD}$ )가 타당함을 알 수 있었을 뿐 아니라 측벽길이가 달라지더라도 소자의 특성을 예측하는 데 유용하게 사용할 수 있음을 알았다.

## V. 결 론

MOS 소자의 LDD영역에서 전자가 수직전계에 의

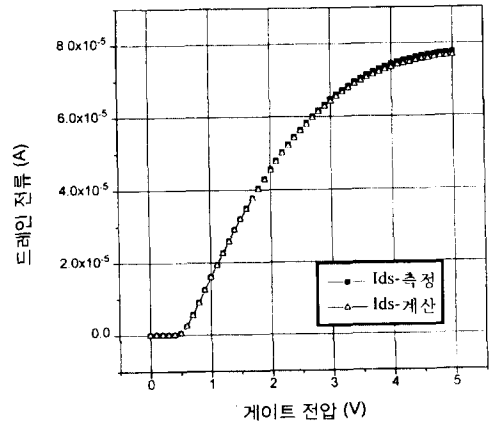


그림 6. LDD 소오스/드레인 구조에서  $I_{ds}-V_{gs}$  특성의 측정값과 계산값의 비교(측벽 길이 = 1400 Å)  
 Fig. 6. Comparison of calculated versus measured  $I_{ds}-V_{gs}$  characteristics of LDD S/D structure. (Sidewall length = 1400 Å)

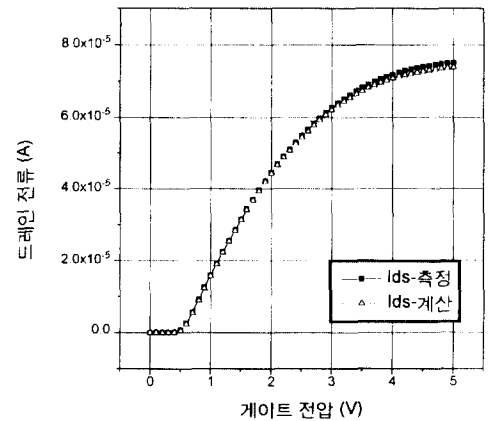


그림 7. LDD 소오스/드레인 구조에서  $I_{ds}-V_{gs}$  특성의 측정값과 계산값의 비교(측벽길이 = 1750 Å)  
 Fig. 7. Comparison of calculated versus measured  $I_{ds}-V_{gs}$  characteristics of LDD S/D structure. (Sidewall length = 1750 Å)

존하는 이동도 모델을 유도하기 위한 새로운 접근을 시도 하였다.

기존의 이동도에 대한 연구는 주로 채널영역의 반전층에 초점을 맞추어 산란 메카니즘 규명 및 온도 의존성과 도핑농도에 따른 universality 관계등을 연구 하였다. 본 연구는 LDD 소자의 해석에 있어 두개의 저항이 직렬로 연결된 상태인 것을 전제로 LDD 영역의 저항이 이동도의 함수이므로 이동도를 해석하여 소자의  $I_{ds}-V_{gs}$  특성을 정확히 예측하는데 활용하는 방법을 제

안 하였다. 방법의 타당성을 검증하기 위해 LDD 영역과 채널 영역의 이동도를 분리하고 이들중 채널 영역의 이동도로 단일 소오스/드레인 소자의  $I_{ds}-V_{gs}$  특성을 정확히 계산할 수 있었으며 LDD 영역의 이동도를 측벽 두께가 다른 소자에 적용하여  $I_{ds}-V_{gs}$  계산값이 실험값과 잘 부합됨을 보임으로써 LDD MOSFET의 특성 해석에 유용한 모델임을 입증 하였다. 본 연구에서 제안한 LDD 소자 해석 방법은 간단 하면서도 다양한 채널 길이와 측벽 길이에 적용할 수 있는 장점을 가지므로 소자설계 및 회로 모의 실험에 유용하게 사용될 수 있을 것이다. 본 연구는 채널 길이가  $5\mu\text{m}$ 인 소자에서 이루어 졌고 short channel 소자의 해석은 현재 진행 중이다.

### Symbol List

$I_{ds}$  : Drain-Source Current  
 $V_{ds}$  : Drain-Source Voltage  
 $V_{gs}$  : Gate-Source Voltage  
 $V_{th}$  : Threshold Voltage  
 $V_{FB}$  : Flat-Band Voltage  
 $V_{channel}$  : Channel Voltage  
 $Q_i$  : Inversion Charge  
 $Q_s$  : Surface Charge  
 $C_{ox}$  : Gate Oxide Capacitance  
 $\mu_{eff}$  : Effective Mobility  
 $\mu_{sr}$  : Mobility due to Surface Roughness Scattering  
 $\mu_{channel}$  : Channel Mobility  
 $\mu_{ph}$  : Mobility due to Phonon Scattering  
 $\mu_{LDD}$  : LDD Region Mobility  
 $R_{LDD}$  : LDD Region Resistance  
 $R_m$  : Measured Source-Drain Resistance  
 $R_{channel}$  : Channel Resistance  
 $I_{channel}$  : Channel Current  
 $L_{channel}$  : Channel Length  
 $L_m$  : Mask Dimension for the Channel Length  
 $N_d$  : Donor Atom Concentration  
 $\phi_s$  : Surface Potential  
 $W$  : Channel Width  
 $\xi$  : Electric Field  
 $\beta$  :  $q/kT$

$E_{eff}$  : Effective Electric Field

$\epsilon_s$  : Permittivity of Silicon

$p_{no}$  : Equilibrium Density of Hole

$n_{no}$  : Equilibrium Density of Electron

### 참 고 문 헌

- [1] A. Schutz and C. Werner, State-of-the-art of MOS modeling, in *IEDM Tech. Dig.*, pp766, 1984.
- [2] C. Duvvuy, D. Baglee, M. Duane, A. Hyslop, M. Smayling, and M. Maekawa, An analytical method for determining intrinsic drain/source resistance of lightly doped drain devices, *Solid-State Electron.*, vol. 27, no. 1, pp. 89, 1984.
- [3] F. S. J. Lai and J. C. Sun, An analytical one-dimensional model for lightly doped drain MOSFET devices, *IEEE Trans. Electron Devices*, vol. ED-32, no. 12, pp.2903, 1985.
- [4] G. S. Huang and C. Y. Wu, An analytic I-V model for lightly doped drain MOSFET devices, *IEEE Trans. Electron Devices*, vol. ED-34, no. 6, pp.1311, 1987.
- [5] S. C. Sun and J. D. Plummer, Electron mobility in inversion and accumulation layers on thermally oxidized silicon surfaces, *IEEE Trans. Electron Devices*, vol. ED-27, no. 8, pp.1497, 1980.
- [6] B. J. Sheu, C. Hu, P. K. Ko, F. C. Hsu, Source-and-Drain Series Resistance of LDD MOSFETs, *IEEE Electron Device Lett.*, vol. EDL-5, pp.365-367, 1984.
- [7] S. M. Sze, *Physics of Semiconductor Devices*. New York : Wiley Interscience, 1969.
- [8] C. L. Huang and G. S. Gildenblat, Measurements and Modeling of the n-Channel MOSFET Inversion Layer Mobility and Device Characteristics in the Temperature Range 60-300 K., *IEEE Trans. Electron Devices*, vol. 37, pp. 1289-1300, 1990.

## 저 자 소 개

權 五 敬(正會員) 第 33卷 A 編 第 7號 參照

魚 瀛 善(正會員) 1996년 3월 Vol.6, No.4<영문판>  
參照

鄭 周 榮(正會員)

1958년 12월 17일생. 1982년 서강대 전자공학과(이학사) 1984년 Florida Institute of Technology, Electrical Engineering(석사). 1990년 Rensselaer Polytechnic Institute, Electrical Engineering(박사). 1990.2-1990.11 삼성종합기술원 선임연구원. 1990.12-1995.2 범한정기주식회사 이사. 1995.3- 현재 수원대학교 전자공학과 교수. 주관심분야는 저전압 및 고내압 반도체 소자 및 집적회로설계



李 昌 孝(正會員)

1940년 2월 18일생. 1964년 한양대 물리학과(이학사), 1966년 동대학원 물리학과(이학석사), 1979년 동대학원(박사), 1978-현재 한양대 물리학과 교수. 1993-현재

한국물리학회 이사. 주관심분야 : Antifuse, 광음향셀, 기능성박막



李 相 基(正會員)

1964년 12월 26일생. 1987년 한양대학교 물리학과(이학사), 1989년 동대학원 물리학과(이학석사). 1996년 현재 동대학원 물리학과 박사과정. 주관심분야는 Deep

Submicrometer I-V 특성 모델링 및 Hot Carrier Effect 등

黃 顯 相(正會員)

1966년생. 1988년 서울대학교 공과대학 금속공학과(공학사), 1992년 University of Texas at Austin에서 공학박사, 1992-현재 LG 반도체 책임 연구원. 관심분야는 MOSFET 소자 최적화, 소자 신뢰성, 극박막 절연막 관련분야등

安 在 璫(正會員) 第 32卷 A編 第 4號 參照