

論文96-33A-10-14

루프인식 속도를 개선한 300MHz CMOS PLL의 설계 및 제작

(A 300MHz CMOS Phase-Locked Loop with Improved Pull-in Process)

李 德 珉 *, 丁 民 秀 *, 金 寶 垠 *, 崔 東 明 **, 金 壽 遠 *

(Duck Min Lee, Min Su Jeong, Bo Eun Kim, Dong Myung Choi, and Soo Won Kim)

요 약

주파수 대 전압변환기(이하 FVC)를 채용한 300MHz 위상고정루프(이하 PLL)가 0.8 μ m CMOS 공정을 이용하여 설계, 제작 되었다. 설계시, acquisition time을 향상시키기 위하여 일반적인 전하펌프 PLL에 FVC를 추가하고 필터는 2차 수동소자 필터를 사용하였다. 본 논문에서 구현된 이중링 전압 제어 발진기의 출력 주파수는 208MHz에서 320MHz에 이르는 범위를 가진다. 제작된 IC는 충분한 실험을 거쳐 분석되었고 FVC의 사용으로 pull-in 속도가 향상되었음을 증명하였다. 230MHz ~ 310MHz의 VCO구간에서 제안된 PLL의 pull-in 속도는 일반적인 구조의 PLL보다 4배정도 더 빠르게 측정되었다.

Abstract

A 300MHz PLL including FVC(frequency to voltage converter) is designed and fabricated in 0.8 μ m CMOS process. In this design, a FVC and a 2nd-order passive filter are added to the conventional charge-pump PLL to improve the acquisition time. The dual-ring VCO(Voltage Controlled Oscillator) realized in this paper has a frequency range from 208 to 320MHz. Integrated circuits have been fully tested and analyzed in detail and it is proved that pull-in speed is enhanced with the use of FVC. In VCO range from 230MHz to 310MHz, experimental results show that realized PLL exhibits 4 times faster pull-in speed than that of conventional PLL.

I. 서 론

현대 통신시장의 발전 추세와 수요자들의 요구를 감안한다면 향후 통신분야의 주도적인 역할은 이동통신에 의하여 이뤄질 것으로 예상된다. 그리고 이동통신기에 쓰이는 반도체 부품은 점차 저전력화, 고속화가 되어가고 있다.

* 正會員, 高麗大學校 電子工學科 ASIC 研究室
(ASIC Lab., Dept. of Elec. Eng., Korea Univ.)

** 正會員, 三星電子 마이크로事業部
(Communication, Micro Devices Business,
Samsung Electronics)

接受日字: 1996年3月29日, 수정완료일: 1996年9月13日

이동통신용 부품중 주파수 합성기나 clock recovery 용으로 사용되는 RF(Radio Frequency) PLL(Phase Locked Loop)을 보면 동작 가능한 최대 주파수 뿐만 아니라 입력 주파수의 변화에 따른 주파수 추적속도 향상이 설계의 주요한 관건이 된다. 실제로 주파수 천이(frequency hopping)를 이용하는 TDMA(Time Division Multiple Access)방식 휴대전화를 보면 입력 주파수의 변화에 따른 PLL의 주파수 추적속도가 성능에 중요한 영향을 미치며 CDMA(Code Division Multiple Access)의 경우도 채널 주파수 변경에 따른 PLL의 채널 추적 속도가 통화품질에 중요한 영향을 미친다. 이러한 주파수 추적속도를 향상시키기 위해서는 PLL의 loop band width(ω_L)를 넓혀야 한다. ω_L 을 넓히기 위한 이제까지의 방법은 루프필터의 값을

조절하거나, 주로 전압제어발진기(VCO)의 이득을 크게 하는 방향으로 이루어져 왔다^{[11][21]}. 그러나 이러한 방법으로는 ω_L 을 넓히는데 한계가 있고 결국 우리가 원하는 만큼의 큰 속도향상을 얻기가 힘들다.

위와같은 문제점을 해결하는 방향으로 본 논문에서는 기존의 전하펌프 PLL(charge-pump PLL)에 FVC(Frequency to Voltage Converter)를 채용한 새로운 구조의 CMOS PLL을 제안한다. 우선 기존의 CMOS PLL이 갖는 문제점과 그 개선 과정을 다음장에 기술하고, 제안된 PLL의 구조와 제작된 PLL의 실험결과를 정리하였다.

II. 전하펌프 위상고정루프

전하펌프 PLL은 그림 1과 같이 위상주파수비교기(PFD)와 전하펌프, 루프필터, 전압제어발진기(VCO)로 구성된다. 전하펌프 PLL의 동작을 간단히 설명하면 다음과 같다. 위상 주파수비교기는 기준신호와 출력신호의 위상과 주파수를 비교하여 상황에 따라 Up, Dn 신호를 출력한다. PFD의 출력신호(Up, Dn)에 따라 전하펌프는 Up, Dn, Null상태를 가지며, Up 이나 Dn상태에서는 펌프전류 $+I_p$, $-I_p$ 를 루프필터에 공급하고 Null상태에서는 고 임피던스 상태로 되어 전류의 이동은 없게 된다. 이러한 논리관계는 루프필터의 전압을 변화시키고 이 전압값은 VCO의 입력전압(V_{ctr})으로 인가되어 PLL시스템을 동작시킨다. 전하펌프 PLL의 전달함수 $H(s)$ 와 오차전달함수 $H_e(s)$ 는 식 (1), (2)와 같이된다^{[14][15][16][17]}.

$$H(s) = \frac{K_o \frac{I_p}{2\pi} Z(s)}{s + K_o \frac{I_p}{2\pi} Z(s)} \quad (1)$$

$$H_e(s) = \frac{\theta_e(s)}{\theta_i(s)} = \frac{2\pi s}{2\pi s + K_o I_p Z(s)} \quad (2)$$

$Z(s)$: 루프필터의 임피던스

K_o : VCO의 이득

I_p : 전하펌프 전류

전하펌프 PLL의 장점으로는 위상고정상 상태에서 발생하는 정지위상오차가 기존의 선형 PLL에 비하여 매우 적다는 것이다. PLL에서 발생하는 위상오차의 직접적인 원인으로는 직류이득성분(DC gain component)에 의한 정지위상오차(static phase error)가 있다. 먼저

선형 PLL의 정지위상오차를 보이기 위해 식 (3)에 최종정리를 취하여 정지위상오차인 식 (4)가 구해지는 과정을 다음에 나타내었다^[15].

$$\frac{\theta_e(s)}{\theta_i(s)} = \frac{s}{s + K_o K_d F(s)} \quad (3)$$

$$\theta_i(t) = \Delta\omega t, \quad \theta_i(s) = \frac{\Delta\omega}{s^2}$$

$$\lim_{t \rightarrow \infty} \theta_e(t) = \lim_{s \rightarrow 0} s \theta_e(s)$$

$$\theta_e = \frac{\Delta\omega}{K_o K_d F(0)} \quad (4)$$

단 K_d 는 PFD 이득이고 $F(s)$ 는 루프필터의 전달함수이며 $\Delta\omega$ 는 입력 주파수 변화량을 나타낸다.

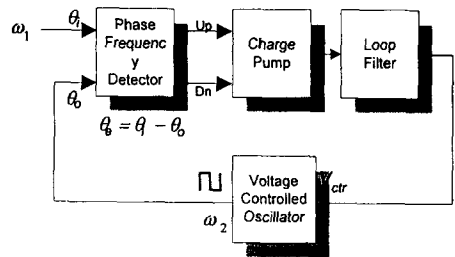


그림 1. 전하펌프 위상고정루프

Fig. 1. Charge-pump PLL.

위에서 선형 PLL의 루프필터로는 passive filter, active filter, active PI(proportional & integral) filter를 사용하는데 passive filter의 경우 DC이득은 1이다. 그러므로 passive filter를 사용한다면 $F(0)=1$ 이 되고 정지위상오차는 다른 필터를 사용할 때보다 크다. active filter나 active PI filter의 경우에도 필터를 구성하는 증폭기의 gain이 유한하기 때문에 정지위상오차로 인한 시스템의 성능 저하를 막을 수 없다.

반면에 전하펌프 PLL의 경우 정지위상오차는 식 (5)로 표현이 된다. 이는 식 (4)를 구하는 방식을 식 (2)에 동일하게 적용하여 얻어진 결과이다^[14].

$$\theta_e = \frac{2\pi\Delta\omega}{K_o I_p Z(0)} \quad (5)$$

정지 위상오차가 나타나는 위상고정상 상태에서는 전하펌프가 Null의 high-impedance 상태에 있게 되므로 이때 식 (5)의 루프필터 임피던스 $Z(0)$ 는 거의 무한대에 가까운 값을 가지게 된다. 따라서 아주 작은 정지위

상오차값을 쉽게 얻을 수 있다.

그러나, 선형 위상고정루프와 비교했을때 전하펌프 위상고정루프에서 개선된 점은 정상상태에서의 위상오차에만 국한되었고 PLL이 쓰이는 여러분야, 특히 통신 시스템과 같은 곳에서 중요시 되는 입력 주파수의 변화에 따른 PLL의 dynamic 특성(pull-in 속도, capture range)문제는 배제되어 있다. 따라서 전하펌프 위상고정루프 그 자체만으로 입력주파수의 급격한 변화나 위상변화에 대해서 시스템의 빠른 응답과 안정성을 기대하기는 어렵다고 볼 수 있다. 본 논문에서는 이러한 PLL의 dynamic 특성을 향상시키는 한 방법으로 FVC를 채용한 새로운 구조의 PLL을 제안하였다.

III. 루프인식 속도를 개선시킨 제안된 위상고정루프

1. FVC를 채용한 제안된 PLL의 해석

본 논문에서 제안된 PLL은 일반적인 전하펌프 위상고정루프에 주파수-전압 변환기(Frequency to Voltage Converter : FVC)를 추가한 구조이다. 동작 원리를 간략히 설명하면 다음과 같다. FVC는 입력주파수를 임의의 전압으로 변환하고 이 전압은 2차 저역통과필터에 초기전압으로 가해진다. 이때 가해진 전압은 VCO가 입력주파수와 동일한 주파수를 내기위한 제어 전압과 일치한다. 그리고 이 초기전압으로 인하여 PLL이 입력 주파수와 동기되기위해 필요한 loop cycle이 줄어들고 결국 입력 주파수의 급격한 변화에 따른 PLL의 동적 특성(pull-in 속도)이 개선, 향상된다. 그림 2에 FVC와 2차 저역통과필터를 포함한 제안된 PLL의 블럭도와 VCO 및 FVC의 이론적인 특성을 나타내고 있다.

그림 2에서 FVC의 입력주파수 대 출력 전압은 VCO의 입력전압 대 출력주파수 특성과 역함수 관계에 있으며 VCO와 FVC의 특성함수는 각각 식 (6), (7)과 같이 된다.

$$\omega_2 = K_o \cdot V_{cr} + \omega_0 \tag{6}$$

$$V_{FVC} = \frac{\omega_1}{K_o} - \frac{\omega_0}{K_o} \tag{7}$$

여기서 ω_1 은 PLL 입력 주파수이고 ω_2 는 VCO의 출력 주파수이며 ω_0 는 VCO의 자유 발진주파수이다.

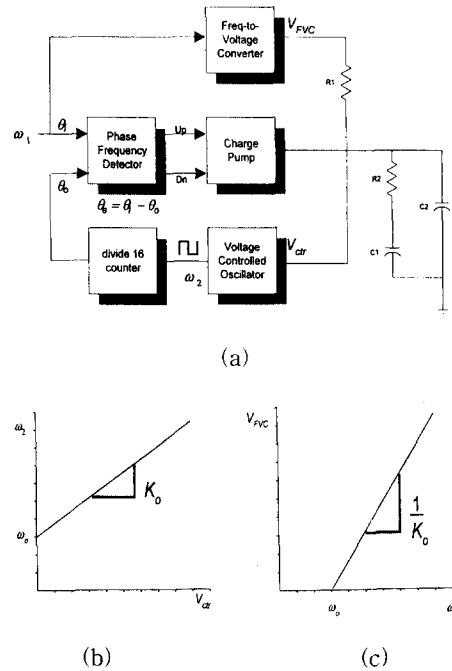


그림 2. 제안된 PLL의 구조와 FVC, VCO의 특성곡선 (a) 제안된 PLL의 블럭도, (b) VCO의 특성곡선, (c) FVC 특성곡선

Fig. 2. Structure of the proposed PLL and characteristic diagram of the FVC and VCO.

- (a) Block diagram of the proposed PLL
- (b) Characteristic diagram of the VCO
- (c) Characteristic diagram of the FVC

식 (6)과 (7)을 이용하면 PLL 입력주파수 천이시 FVC의 출력 전압이 VCO가 천이된 주파수를 발생할 수 있는 제어전압을 수식적으로 증명 가능하다. 먼저 $t < 0$ 일 때 PLL이 위상고정상태이고 $t = 0$ 에서 입력주파수 천이가 일어난다고 가정하자. $t < 0$ 일때 입력신호의 주파수 ω_1 과 VCO의 출력주파수 ω_2 는 같으며 이때의 ω_1 을 ω_i 라고 놓는다. $t = 0$ 에서 입력주파수가 ω_i 에서 ω_i' 로 변하면, PLL이 위상고정 상태로 가기 위해서 VCO의 제어입력전압은 변화된 주파수차에 해당하는 ΔV 만큼 변해야 한다.

$$\begin{aligned} \Delta\omega &= \omega_i' - \omega_i \\ \Delta V &= \frac{\Delta\omega}{K_o} = \frac{(\omega_i' - \omega_i)}{K_o} \end{aligned} \tag{8}$$

이때 $t = 0$ 에서 FVC의 출력전압과 VCO 제어 입력전

압의 값은 식 (6),(7)을 이용하면 아래와 같이 표현된다.

$$V_{FVC} = \frac{(\omega_i' - \omega_0)}{K_o}$$

$$V_{ctr} = \frac{(\omega_i - \omega_0)}{K_o} \tag{9}$$

위 두 식으로부터 FVC출력과 VCO 제어입력의 차이는 식(10)과 같이 된다.

$$V_{FVC} - V_{ctr} = \frac{(\omega_i' - \omega_0)}{K_o} - \frac{(\omega_i - \omega_0)}{K_o} \tag{10}$$

$$= \frac{(\omega_i' - \omega_i)}{K_o} = \Delta V$$

위에서 전개한 바와 같이 FVC는 입력 주파수가 변하자마자 바로 루프필터를 위상고정상태의 전압으로 구동시킴으로써 PLL의 pull-in 시간을 감소시킬 수 있다. 그러면 pull-in 과정에서 제한된 PLL의 성능향상을 보이기 위해 먼저 전하펌프와 루프필터, 그리고 FVC의 모델링결과를 그림 3에 보이고 pull-in 속도가 증가함을 직관적으로 알 수 있는 식을 유도하도록 한다.

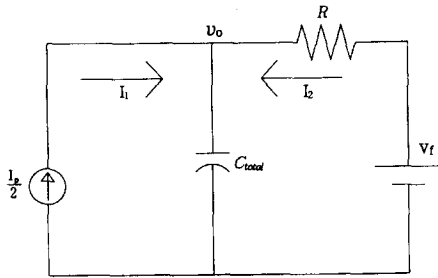


그림 3. Pull-in 과정에서의 FVC, 전하펌프, LF의 등가 모델
Fig. 3. Equivalent models of the FVC, charge pump and LF in pull-in process.

먼저 초기조건은 다음과 같다.

$$t < 0 : v_o = v_f = v_i \tag{11}$$

$$t = 0 : v_o = v_i, \quad v_f = v_i + \frac{\Delta\omega}{K_o}$$

이때 v_o 의 값은 전류 I_1 과 I_2 에 의한 전압의 합으로 나타난다.

$$v_o = v_{o \text{ by } I_1} + v_{o \text{ by } I_2} \tag{12}$$

각 항을 유도, 정리하면

$$v_o(t) = \frac{I_p}{2C_{total}} t + v_i + \frac{\Delta\omega}{K_o} (1 - e^{-t/\tau}) \tag{13}$$

$$\tau = RC_{total}$$

여기서 R 과 C_{total} 은 각각 루프필터단에서 보이는 저항과 커패시터 성분들의 총 합이다. t 의 범위는 0에서 $T_p(\text{pull-in time}) + T_l(\text{lock-in time})$ 까지이며 이 이후는 PLL이 입력신호에 위상동기가 되어 있으므로 전하펌프의 출력전류는 0이 된다. 그리고 $v_o(t)$ 는 입력신호에 해당하는 전압값을 유지하게 되므로 식(11)의 v_f 와 같은 값인 $v_i + \frac{\Delta\omega}{K_o}$ 의 값을 유지하게 된다.

식 (13)을 보면 $\frac{I_p}{2C_{total}} t + v_i$ 는 FVC가 없을 때의 $v_o(t)$ 이고 여기에 FVC에 의해 지수함수적으로 증가하는 전압항이 추가되어 전체적인 pull-in 속도는 극적인 향상을 가져옴을 알 수 있다. 그러나 위 식을 이용하여 정확한 pull-in time을 계산할 수는 없다. 식 (13)은 어디까지나 PLL의 동작을 선형적으로 가정하여 유도해낸 식이다. 그러므로 pull-in 과정에서 발생하는 비선형적인 요인들을 감안한다면 FVC의 존재 유무에 따른 pull-in time은 수식에 의한 결과와 실험결과 사이에 차이가 있을 수 밖에 없다.

2. FVC를 채용한 PLL의 설계

제한된 PLL은 다음과 같은 조건으로 설계되었다. 기준 주파수는 20MHz-28MHz의 범위내에서 입력된다. VCO는 인버터 9단의 외부링과 인버터 5단의 내부링을 가진 이중링 구조로 설계 되었으며 그 구조는 그림 4에 나타내었다.

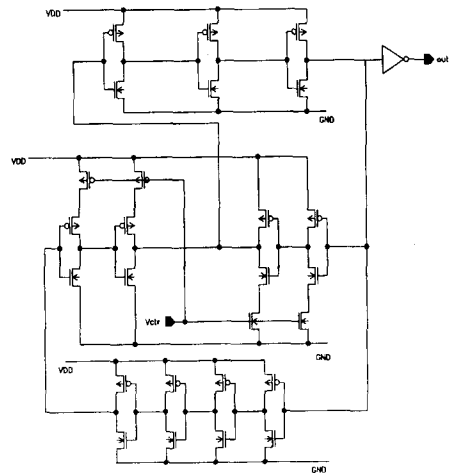


그림 4. 이중 링 VCO의 구조
Fig. 4. Structure of the dual ring VCO.

그리고 시뮬레이션 결과를 그림 5에 제시하였다. 이를 보면 VCO는 제어전압 3.0V-4.0V사이에서 약 100

[MHz/V]의 gain을 가지고 있음을 알 수 있다.

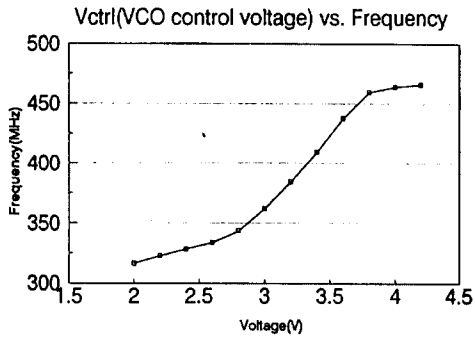


그림 5. 이중 링 VCO의 시뮬레이션 결과
Fig. 5. Simulation result of the dual ring VCO.

VCO의 출력 주파수는 16분주 카운터를 거쳐 입력 기준 주파수와 비교된다. 이는 앞서 보인 그림 2에 나타나 있다.

본 논문에 사용된 FVC의 회로도를 그림 6에 나타내었다.¹⁸⁾

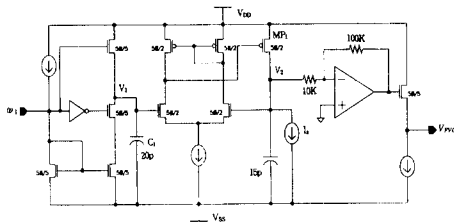


그림 6. FVC의 회로도
Fig. 6. Circuit diagram of the FVC.

PLL의 입력 주파수가 20MHz 대역이므로 그림 6의 FVC는 이에 대응하는 동작을 하기위하여 응답속도가 매우 빠르면서 선형적인 특성을 나타내야 한다. 입력신호는 첫단인 시정수 검출부에서 입력신호가 'high'인 동안 일정 전류로 C_1 을 충전하고 'low'인 경우 순간적으로 C_1 을 방전시킨다. 결과적으로 C_1 의 최대전압은 입력신호의 주기에 비례하게 된다. 둘째단 최대전압검출기를 보면 V_1 의 전압이 증가할 경우 V_2 의 전압은 MP_1 에 의해 구동되어 V_1 과 같게 된다. 반면에 V_1 의 전압이 내려갈 경우 I_s 에 의해서 V_2 의 전압이 하강하게 되는데 이때 I_s 에 의한 방전전류를 매우 작게 하면 V_2 의 전압은 V_1 의 최대전압값을 근사하게 된다. 끝단 검출기의 출력을 VCO특성과 일치시키기 위해서 다음단의 이득보정기를 이용하여 이득과 오프셋을 보정한다.

IV. 제작 및 측정 결과

제안된 PLL은 0.8 μ m 이중폴리, 이중금속 CMOS 공정으로 제작되었으며 면적은 0.9mm²이다. 공급전압은 5V이고 기준 주파수는 13MHz-20MHz로 입력되었다. 제작된 PLL의 현미경 사진을 그림 7에 나타내었다. 제작된 PLL의 기준 주파수 구간을 정하고 전체적인 동작 성능을 알아보기 위해 VCO의 특성곡선을 측정하였고 임의의 기준 주파수에 대해 PLL이 위상동기됨을 확인하였으며 pull-in range, hold range, pull-in process 속도(pull-in speed)를 측정하였다.

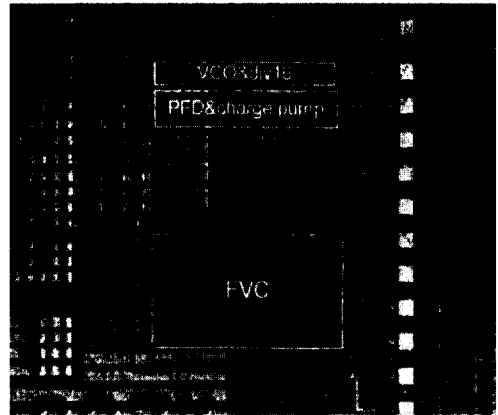


그림 7. 구현된 PLL의 microphotograph
Fig. 7. Microphotograph of the realized PLL.

그림 8은 본 실험에 사용된 이중링 구조 VCO의 제어전압 대 주파수 특성을 측정된 결과를 보이고 있다. 그림의 측정결과는 16분주기를 통해 측정된 것이며, 출력주파수 14MHz-20MHz는 VCO 출력 주파수 226MHz-320MHz에 해당한다. VCO는 13MHz까지도 동작을 하지만 시뮬레이션 결과와 비교하기위해 제어 전압 구간을 제한하였다. 그림 8을 시뮬레이션 결과와 비교해 보면 제작된 VCO의 동작주파수 영역이 100MHz정도 낮게 출력되고 있으며 부분적으로 기울기의 차이가 존재하고 있다.

이 원인으로는 VCO가 digital이 아닌 analog회로이고 설계시 고려할수 없었던 제작시에 나타나는 여러가지 기생효과와 공정상의 오차때문이며 이런 오차원인들을 고려하여 n,p MOS의 size를 조절하면 문제는 해결될 것으로 본다.

위상비교기로 PFD를 쓰는 PLL의 경우, hold range와 pull-in range는 이론적으로 무한대이며 실

제 시스템에서 보면 그 범위는 VCO의 전 범위가 되며 이에대한 실험결과를 표 1에 나타냈다. 표 1에서 보면 hold range와 pull-in range는 VCO 출력의 전 범위에 가까움을 알 수 있다. FVC를 채용한 PLL의 경우 pull in speed를 향상시키는 FVC의 효과는 3장의 식(13)에서 보았듯이 입력 주파수의 변화에 비례하고 VCO의 gain에 반비례한다. 그러므로 VCO의 gain이 일정한 구간에서 입력 주파수의 변화가 크면 클수록 제한된 PLL은 기존의 PLL보다 더욱 빨리 입력 주파수에 위상동기된다. 이는 위상동기과정에 있는 전체 PLL loop cycle의 감소를 나타내며 PLL내부에 존재하는 여러 블럭의 비선형성과 잡음에 의한 영향들도 비례적으로 감소하게 된다. 이러한 결과로 pull-in speed의 향상을 기대할 수 있게 된다.

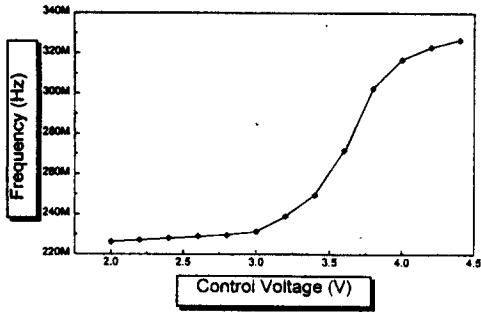


그림 8. 측정된 VCO 특성곡선
Fig. 8. Measured characteristic diagram of the VCO.

그림 9는 기준 주파수 17MHz에 정확히 위상 동기된 PLL의 출력을 보임으로써 본 논문의 PLL동작이 정확히 이루어지고 있음을 나타낸다. 위 파형은 PLL의 출력이고 아랫 파형은 기준 입력파형이다. 여기서 실제 PLL 내부의 VCO는 17MHz의 16배 주파수인 272MHz로 동작하고 있다.

다음으로 PLL의 기준 주파수를 14.3MHz에서 18.5MHz로 순간적으로 변화시키면서 FVC의 유무에 따라 다르게 나타나는 pull-in속도를 측정, 비교하였다. 일반적인 구조의 PLL에서는 40ms의 시간이 걸렸지만 FVC를 채용한 경우에는 4배 정도가 빠른 10ms의 pull-in시간이 측정되었다. 그림 10은 FVC의 유무에 따라 각각 다르게 나타나는 pull-in 속도를 동시에 보여주고 있다. 위 단의 계단응답은 일반적인 PLL의 pull-in과정을 나타내고 아랫단의 계단응답이 FVC를

사용한 PLL의 pull-in과정을 보여주는 그림이다.

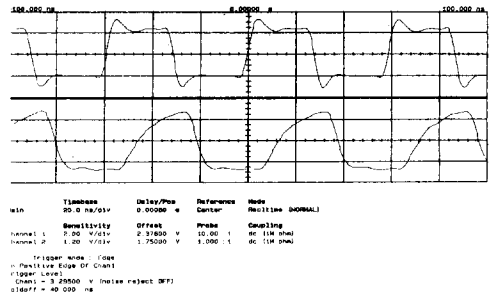


그림 9. 기준 주파수 17MHz에 위상동기된 PLL
Fig. 9. Phase locked PLL using 17MHz reference frequency.

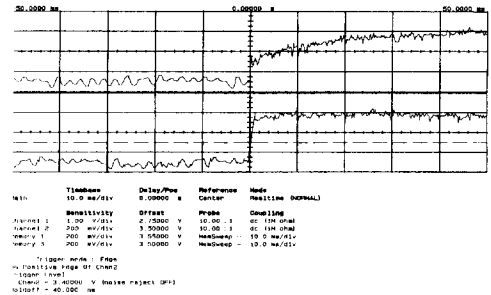


그림 10. FVC연결 유무에 따른 pull-in speed의 비교
Fig. 10. Pull-in speed comparison with/without FVC.

속도의 측정기준은 루프필터 전압의 상승 시간으로 비교하였는데 이 값을 정확한 pull-in time이라고 볼 수는 없으나 특정 장비의 도움이 없이 PLL 시스템에서 순수 pull-in time을 측정하기란 어려우므로 루프인식 속도를 비교하는데 있어서 위 방법이 상당히 근거가 있다고 본다. 그리고 VCO의 gain이나 주파수 천이 구간에 따라 FVC에 의한 효과는 차이가 있다. 그러므로 실험 조건에 따라 현재 실험에서 보이고 있는 결과보다 더욱 빠른 pull-in 속도가 나올 수도 있고 그 반대일 수도 있다. 즉, 본 논문에서 보이고 있는 데이터는 절대적일수 없다는 점을 분명히 밝히는 바 이다. 표 1에서 FVC 사용여부에 따른 루프 필터전압의 계단 응답시간을 비교하였다. 그리고 FVC의 존재 유무에 따른 전력소모도 측정하여 표 1에 나타내었다.

V. 결론

현재 많이 사용되고 있는 전하펌프 위상고정루프

(charge pump phase-locked loop)는 선형적인 아날로그 위상고정루프가 갖는 정상상태(steady state)에서의 문제점을 보완하여 그 효율성을 증가시켰다. 하지만 주파수 천이에 따라 위상동기 속도와 같은 PLL의 동적상태(dynamic state)특성을 향상시킬 수는 없었다. 그러나 본 논문에서는 FVC를 기존의 구조에 추가하여 일반적인 위상고정루프의 제한된 주파수 추적속도의 문제를 해결하는데 발전된 답을 제시하였다.

실험결과를 보면 제안된 PLL은 기존 전하펌프 PLL의 특징을 그대로 유지하면서 Pull-in 속도는 229MHz-296MHz에 이르는 VCO구간에서 일반 구조의 PLL보다 약 4배가 향상되었음을 알 수 있다. 즉, 본 논문에서 제안한 FVC채용 전하펌프 PLL은 빠른 위상 고정 속도와 넓은 위상동기범위를 가지고 있으므로 주파수 천이를 이용한 이동통신분야뿐만 아니라 넓은 대역을 갖는 통신시스템에 유용하게 쓰일 것이다.

표 1. 제안한 PLL의 측정 결과
Table 1. Test results of the proposed PLL.

| | Without FVC | With FVC |
|---------------|--------------|--------------|
| VCO output | 208-320[MHz] | 208-320[MHz] |
| hold range | 112 [MHz] | 112 [MHz] |
| pull in range | 104 [MHz] | 103 [MHz] |
| pull-in time | 40 ms | 10 ms |
| power | 322.5mW | 335mW |

참 고 문 헌

- [1] M. Bayer, et al, "A Low Noise CMOS Frequency Synthesizer with Dynamic Bandwidth Control," in *Proc. IEEE-CICC '94*, pp. 8.5.1-8.5.4, 1994.
- [2] Masayuki Mizuno, et al, "A 0.18 μ m CMOS Hot-Standby Phase-Locked Loop Using a Noise-immune Adaptive-Gain Voltage-Controlled Oscillator," in *ISSCC Dig. Tech. Papers*, vol. 38, pp. 268-269, Feb., 1995.
- [3] 허준호, "고속 CMOS 전압제어 발진기의 설계," 고려대학교 전자공학과 석사학위논문, Dec., 1993
- [4] F. M. Gardner, "Charge-pump phase-lock loops," *IEEE Trans. Commun.*, vol. COM-28, pp. 1849-1858, Nov., 1980.
- [5] F. M. Gardner, *Phaselock Techniques*, 2nd ed., ch. 6, New York Wiley, 1979.
- [6] F. M. Gardner, "Phase Accuracy of Charge Pump PLL's," *IEEE Trans. Commun.*, vol. COM-30, pp. 2362-2363, Oct., 1982.
- [7] Ian A. Young, et al, "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors," *IEEE J. Solid-State Circuit*, vol. 27, pp. 1599-1606, Nov., 1992.
- [8] 최동명, "고속 Frequency to Voltage 변환기를 채용한 CMOS 위상고정루프의 설계," 고려대학교 전자공학과 석사학위논문, Dec., 1994

저 자 소 개



李德珉(正會員)

1970년 6월 3일생. 1995년 2월 고려대학교 제어계측공학과 졸업. 1995년 3월 ~ 현재 고려대학교 대학원 전자공학과 석사과정. 주관심분야는 CMOS 아날로그/디지털 회로 설계, PLL, 이동통신

용 부품 개발, 혼성 신호 설계 등임.

丁民秀(正會員)

1971년 3월 14일생. 1994년 2월 고려대학교 전자공학과 졸업. 1996년 2월 고려대학교 대학원 전자공학과 (공학석사)졸업. 1996년 3월 ~ 현재 고려대학교 대학원 전자공학과 박사과정. 주관심분야는 CMOS 아날로그 회로 설계, PLL, 이동통신용 부품 개발, 혼성 신호 설계 등임.

金 寶 垠(正會員)

1969년 1월 12일생. 1991년 2월 고려대학교 전자공학과 졸업. 1993년 2월 고려대학교 대학원 전자공학과 (공학석사)졸업. 1993년 3월 ~ 현재 고려대학교 대학원 전자공학과 박사과정. 1995년 3월 ~ 현재 고려대학교 부설 정보통신기술공동연구소 연구원. 주관심분야는 CMOS 아날로그 회로 설계, 스마트 IC, 이동통신용 부품 개발, 혼성 신호 설계 등임.

崔 東 明(正會員)

1969년 2월 28일생. 1993년 2월 고려대학교 전자공학과 졸업. 1995년 2월 고려대학교 대학원 전자공학과 (공학석사)졸업. 1995년 3월 ~ 현재 삼성전자 마이크로 사업부 통신팀 연구원. 주관심분야는 CMOS 혼성 신호 설계, PLL 등임.

金 壽 遠(正會員) 第 33卷 第 8號 參照

현재 고려대학교 전자공학과 교수