

論文 96-33A-10-3

基底帶域 디지털 二進 FSK 복조기

(Digital baseband demodulator for binary FSK signals)

李相研*, 尹贊根**, 李忠雄*

(Sang Yun Lee, Chan Geun Yoon, and Choong Woong Lee)

요 약

본 研究에서는 디지털 논리소자로 具現 可能한 二進 FSK 복조기를 提案하였다. 提案된 복조기의 動作은 理想的인 주파수 검출기로 알려진 직교상관기의 動作原理에 基礎한다. 이 복조기는 특히 高速 信號 處理가 必要한 應用에 適合하고 집적화가 容易하다. 컴퓨터 模擬實驗을 통해서 디지털 복조기를 갖는 수신기의 性能은 믹싱 축의 갯수를 增加시킴에 따라 아날로그 직교상관형 수신기의 性能에 近접함을 보였고 변조지수에 대한 最適의 필터 대역 폭이 아날로그 복조기에서의 最適 대역폭보다 약간 넓은을 알았다.

Abstract

A digital logic demodulator for binary FSK signals is presented. The operation is based on the quadrice correlator which is known as an ideal frequency detector. The demodulator is especially suitable for high-speed application, and it can be easily implemented in integrated circuit. Computer simulation results show that the performance of the receiver with digital demodulator converges to that of analog quadrice correlator receiver as the number of mixing axes is increased and the optimum bandwidth depending on a modulation index is slightly wider than that of analog demodulator.

I. 序 論

最近에 無線 携帶 通信 시스템의 需要가 急增하였고 특히 無線 呼出 시스템(radio pager)이나 건물 내에서의 無線 LAN에 대한 關心이 增大되고 있다. 이러한 應用이 可能하게 되려면 단말기의 價格이 低廉하고 消費 電力이 작아야 하며 간단해야 한다. 이러한 要求사항은 수신기를 디지털화함으로써 가능하다.

一般的으로 디지털 FSK 복조기는 디지털 信號處理(DSP) 소프트웨어 또는 디지털 하드웨어로 具現할 수 있다. DSP 소프트웨어에 의한 具現은 쉽게 變形이 可能한 반면 高速 데이터 通信 또는 高速 信號 處理가 必要한 데에는 적당하지 않다. 디지털 하드웨어 具現은

DSP 소프트웨어로 具現하는 것에 비해 高速 信號 處理에 適合하며 價格이나 消費 電力의 측면에서도 有利하다.

Tjhung, Wittke^[1]는 LDI (Limiter Discriminator with Integrate-and-dump filter) 복조기에서 受信 필터에 대한 性能을 研究하였다. 변조지수에 따른 最適의 受信 필터 대역폭을 提示하였으며 受信 필터의 形態에 따른 性能을 보였다. Farrell 과 McLane^[2]은 아날로그 직교상관형 수신기 (analog quadrice correlator receiver)의 性能을 研究하였는데 狹대역 FSK 信號에 대해서 아날로그 직교상관형 수신기의 性能이 LDI 복조기의 性能과 類似함을 보였다.

아날로그 직교상관기 (quadrice correlator)가 Park에 의해서 처음 提案된 이래^[3], 이것은 주로 주파수 검출기로서 많은 研究가 되어 왔다^{[4], [5]}. 주파수 검출기로서 디지털 논리소자로 具現한 직교상관기 (Digital-logic quadrice correlator : DLQ)도 提案된 바

* 正會員, 서울大學校 電子工學科
(Dept. of Elec. Eng., Seoul Nat'l Univ.)

** 正會員, 東洋工業專門大學 電子通信科
(Dept. of Elec. & Comm. Eng., Dongyang Tech. College)

接受日字: 1975年7月20日, 수정완료일: 1996年9月9日

있다¹⁶⁾.

지금까지 디지털 논리 소자로 具現된 복조기에 대해 서 많은 研究가 있어 왔다¹⁷⁻⁹⁾. 그러나 既存에 제안 된 論文들은 주로 廣대역 FSK에 대한 應用에 초점이 맞추어져 있고 狹대역 FSK의 應用으로 변조지수, 채널 필터의 帶域幅동의 시스템 파라미터에 대한 性能比較는 언급하지 않았다. 본 研究에서는 디지털 논리소 자만으로 具現 可能한 二進 FSK 디지털 복조기를 提案하고 변조지수, 필터의 대역폭, 믹싱 축 (mixing axes)의 갯수에 대한 性能의 變化를 살펴본다. 이 복 조기의 動作은 理想的인 주파수 검출기로 알려진 아날 로그 직교상관기의 動作原理에 基礎를 두고 있으며, 基 底帶域에서 變調 信號로부터 檢出한 주파수 差의 극성 을 이용하여 복조를 행하는 非同期式 복조기(non-coherent demodulator)이다.

II. 二進 FSK 수신기의 構造와 動作原理

1. 아날로그 직교상관형 수신기의 構造와 動作原理

아날로그 직교상관형 수신기의 構成은 그림 1과 같 다. 이것은 프런트 엔드 믹서 (front-end mixer)部分 과 복조기 部分으로 構成되어 있다. 受信된 信號는 국 부 발진기로부터 出力되는 90도 위상 差를 갖는 두개 의 信號와 각각 믹싱된다. 여기서 국부 발진기의 주파 수는 미리 정해 놓은 變調 信號의 반송파 주파수이다. 두 개의 저역 필터의 出力 $V_I(t)$ 와 $V_Q(t)$ 는 서로 직각 위상 (quadrature)관계이며 FSK 복조기에 入力된다.

수신기의 動作은 다음과 같다. 먼저 수신기의 入力 信號가 單一 주파수를 갖는 정현파 信號라고 하자.

$$s(t) = V_s \cos(\omega_i t + \theta_i), \quad (1)$$

여기서 θ_i 는 初期 위상이고 ω_i 는 二進 1, 0에 해당하는 두 주파수 값 중의 하나이다. 受信 信號는 믹서 (mixer)에서 각각 $2\cos(\omega_0 t + \theta_0)$, $2\sin(\omega_0 t + \theta_0)$ 와 곱 해져서 저역 필터를 거친다. 여기서 ω_0 는 국부 발진기 出力의 주파수이고 θ_0 는 初期 위상이다. 그 結果 필터 의 出力은

$$V_I(t) = V_s \cos[(\omega_i - \omega_0)t + (\theta_i - \theta_0)] = V_s \cos(\Delta\omega t + \theta), \quad (2)$$

$$V_Q(t) = -V_s \sin[(\omega_i - \omega_0)t + (\theta_i - \theta_0)] = -V_s \sin(\Delta\omega t + \theta), \quad (3)$$

여기서 $\Delta\omega = \omega_i - \omega_0$, $\theta = \theta_i - \theta_0$ 이다. 이로부터 다음과

같은 복조기의 最終 出力을 얻을 수 있다.

$$\begin{aligned} V_d(t) &= V_I(t) \frac{d}{dt} V_Q(t) - V_Q(t) \frac{d}{dt} V_I(t) \\ &= V_s^2 \Delta\omega \cos^2(\Delta\omega t + \theta) + V_s^2 \Delta\omega \sin^2(\Delta\omega t + \theta) \\ &= V_s^2 \Delta\omega. \end{aligned} \quad (4)$$

즉, 아날로그 직교상관형 수신기의 出力은 受信 信號와 국부 발진기 出力의 주파수 差에 比例하는 信號가 된 다.

이러한 수신기는 그림 1에서 보는 바와 같이 두 개 의 믹서, 저역 필터, 미분기, 곱셈기와 하나의 덧셈기로 構成되어 있는데 이것은 아날로그 평형 직교상관기(balanced quadricorrelator)의 構成과 같은 形態이다. Park¹³⁾은 또한 직교상관기가 FSK 信號의 복조에 使用될 수 있다고 提案하였다.

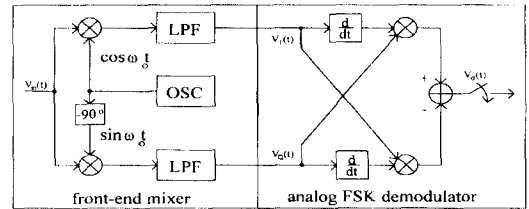


그림 1. 아날로그 이진 FSK 수신기 (직교상관기).

Fig. 1. Binary FSK receiver with analog demodulator (quadricorrelator).

2. 提案된 디지털 복조기를 갖는 수신기의 構造와 動作原理

먼저 그림 1에서 보인 아날로그 직교상관형 수신기 의 복조기 部分을 디지털화한 構成을 생각할 수 있다. 이것은 두 저역필터의 出力단에 각각 리미터 (Limiter)를 追加하고 미분기를 遲延 差 회로로 具現하면 된다. 이러한 構成에서 同位相 및 直角位相信號 成分은 다음 과 같이 표시할 수 있다.

$$I(t) = \text{sgn}\{\cos(\Delta\omega t + \theta_i)\} \quad (5)$$

$$Q(t) = -\text{sgn}\{\sin(\Delta\omega t + \theta_i)\}, \quad (6)$$

여기서 $\text{sgn}(x)$ 는 $\text{sgn}(x)=1$ for $x \geq 0$, -1 for $x < 0$ 로 정의되는 函數이다. 식(5), (6)을 이용하여 식(2), (3)을 표현하면 다음과 같다.

$$\begin{aligned} V_I(t) &= I(t) \cdot Q(t) = \{I(t) - I(t - \tau_0)\} \cdot Q(t) \\ &= -\text{sgn}\{\sin(\Delta\omega t + \theta_i)\} \\ &= \sum_n (-1)^n \left\{ u\left(t - \frac{\Delta T}{2} n - \frac{\Delta T}{4} + \theta_i\right) - u\left(t - \tau_0 - \frac{\Delta T}{2} n - \frac{\Delta T}{4} + \theta_i\right) \right\} \end{aligned} \quad (7)$$

$$\begin{aligned}
 V_Q(t) &= Q'(t) \cdot I(t) = \{Q(t) - Q(t - \tau_0)\} \cdot I(t) \\
 &= \text{sgn}(\cos(\Delta\omega t + \theta_i)) \\
 &\quad \sum_n (-1)^n \left\{ u(t - \frac{\Delta T}{2} n + \theta_i) - u(t - \tau_0 - \frac{\Delta T}{2} n + \theta_i) \right\},
 \end{aligned}
 \tag{8}$$

여기서 τ_0 는 遲延 差 회로의 時間 遲延을 나타내고, $\Delta T = 2\pi/\Delta\omega$ 이다. 또한 $u(t)$ 는 $u(t) = 1$ for $t \geq 0$, 0 for $t < 0$ 로 정의되는 스텝함수이다. 따라서 식(2), (3), (5), (6)을 이용하여 수신기의 出力을 구하면

$$\begin{aligned}
 V_d(t) &= V_I(t) - V_Q(t) \\
 &= \begin{cases} \sum_n (u(t - \frac{\Delta T}{4} n) - u(t - \tau_0 - \frac{\Delta T}{4} n)) & \text{for } \Delta\omega > 0 \\ -\sum_n (u(t - \frac{\Delta T}{4} n) - u(t - \tau_0 - \frac{\Delta T}{4} n)) & \text{for } \Delta\omega < 0 \end{cases}
 \end{aligned}
 \tag{9}$$

와 같이 된다. 식(9)의 각 신호는 $I(t)$ 와 $Q(t)$ 의 零點 交叉點에서의 週期가 $\Delta T/4$ 이고 폭이 τ_0 인 펄스열을 나타낸다.

그림 2는 그림 1에서 보인 아날로그 직교상관형 수신기의 복조기 部分을 디지털 논리소자로 具現한 것이다. 動作原理는 식(5) ~ (9)로 說明될 수 있다. 미분기는 D 플립플롭과 AND 게이트로 具現한 遲延 差 (delay-difference) 회로이며 곱셈기는 AND 게이트로 具現되어 있다. 이 構造는 프론트 엔드 믹서部分을 除外하고 디지털 논리소자로 具現한 직교상관기 (Digital-logic quadricorrelator : DLQ)의 構造와 同一하다¹⁶⁾.

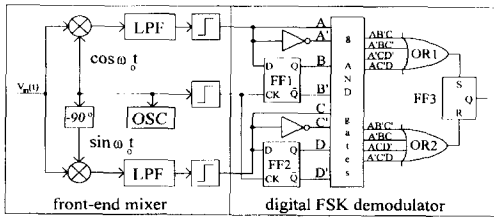


그림 2. 디지털 복조기를 갖은 이진 FSK 수신기
Fig. 2. Binary FSK receiver with digital demodulator.

同位相 信號 (A, A')와 直角位相 信號 (C, C')가 FF1과 FF2에 의해서 각각 국부 발진기의 1 클럭만큼 遲延되어 B, B', D, D'를 만든다. 8 AND 게이트 입력은 8개의 入力 信號로부터 주파수 差의 극성을 찾는다. 위쪽에 위치한 4 개의 AND 게이트는 受信 信號가 '마크 (mark)'인 경우 국부 발진기의 1 클럭만큼의 폭을 갖는 펄스들을 出力한다 (AB'C, A'BC, A'CD, AC'D). 受信 信號가 '스페이스 (space)'이면 아래쪽에

위치한 4 개의 AND 게이트로부터 出力 펄스를 얻는다 (AB'C', A'BC, ACD', A'C'D). 수신기의 最終 出力은 SR 래치 (FF3)의 出力端에서 얻을 수 있다. 더 자세한 設計 節次와 타이밍 圖는¹⁶⁾에 나와 있다.

3. 改善된 디지털 복조기

디지털 복조기를 갖은 수신기는 아날로그 직교상관형 수신기의 近似(approximation)로 볼 수 있다. 이 수신기의 性能은 한 심볼 구간 동안의 영점교차 (zero-crossing)의 갯수에 좌우된다. 여기서 한 심볼 구간의 영점교차 갯수는 주파수 검출기에서의 利得에 해당한다. 狹대역 FSK 信號를 受信하는 경우에 복조기에 의해서 檢出된 영점교차의 갯수는 복조하기에 充分하지 않다. 따라서 性能을 改善하기 위해서는 믹싱 축의 갯수를 늘리는 方法을 생각할 수 있다^{17), 110)}. 그림 3은 믹싱 축의 갯수가 4인 경우를 보였다. 또한 그림 3에 보인 복조기는 그림 2에서 보인 복조기의 改善된 形態이다. 그림 2에서 D 플립플롭과 AND 게이트로 構成된 遲延 差 회로를 간단히 버퍼를 이용하여 具現하였다. 또한 雜音에 대한 마진을 높이기 위하여 SR 래치 (Latch)를 二進 up-down 카운터로 代치하였다. 수신신호의 判定은 카운터의 出力으로 결정된다. 즉, up-down 카운터의 出力이 '0'보다 큰 경우에는 二進 데이터 '1'로, 그렇지 않으면 二進 데이터 '0'으로 判定하게 된다. 이 카운터의 出力은 매 심볼의 시작점에서 리셋된다. 이것은 영점교차의 갯수가 充分히 많은 경우 다수결 判定 (majority-vote decision)을 하는 셈이 되어 雜音에 대한 마진을 높이는 效果가 있다. SR 래치를 使用하는 경우에는 SR 래치의 出力을 샘플링할 때 存在하는 誤謬는 그대로 복조 誤謬가 된다. 따라서 up-down 카운터를 使用하면 샘플링 시에 存在하는 雜音의 影響을 줄일 수 있다.

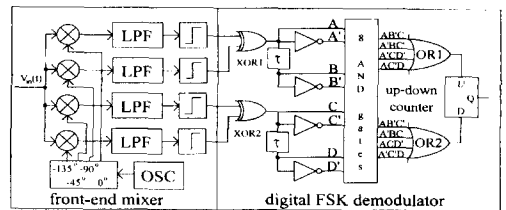


그림 3. 개선된 디지털 복조기를 갖은 FSK 수신기
Fig. 3. Modified FSK receiver with simplified digital demodulator.

III. 디지털 복조기를 갖는 수신기의 성능

아날로그 FSK 수신기의 성능은 변조지수와 필터의 대역폭에 의해서 결정된다. 변조된 신호의 전력 스펙트럼은 변조지수에 따라서 달라진다. 또한 필터의 대역폭은 FSK 시스템에서 중요한 역할을 한다. 필터는 대역외 잡음(out-of-band noise)을 억제함과 동시에 입력 신호의 왜곡에 영향을 준다. 즉, 채널에서 유기된 잡음을減衰시키기 위해서는 필터의 대역폭이 가능한 한 좁을수록 유리하며 반대로 신호 왜곡을 적게 하기 위해서는 대역폭이 넓을 필요가 있다.

LDI 복조기의 경우 변조지수 $h(=2f_dT, f_d : \text{주파수 편이}, T : \text{심볼 구간})$ 가 약 0.7일 때 모든 대역폭 BT (bandwidth bit-duration product) 값이나 신호對雜음비에 대해서 가장 낮은 誤率을 나타내고, 理想的인 필터를 사용하는 경우에는 $BT=1.2$, 완만한 롤오프(roll-off)특성을 갖는 가우스필터를 사용하는 경우에는 $BT=1.0$ 인 경우에 最適의 성능을 나타낸다는 것은 널리 알려져 있다^[11]. 또한 아날로그 직교상관형 수신기에서는 $BT=0.408, h=0.67$ 에서 가장 좋은 성능을 나타내며 이는 LDI 복조기의 성능과 類似하다^[12].

디지털 복조기를 갖는 수신기는 변조지수 h 와 저역 필터의 대역폭 BT 뿐만 아니라 믹싱 축의 갯수 M 에 따라 성능이 좌우된다. 본 연구에서는 電算 模擬 實驗을 통하여 디지털 복조기를 갖는 수신기의 성능을 살펴보았다. 모의 실험은 케이던스社의 신호처리 실험용 패키지인 SPW (Signal Processing Worksystem)를 사용하였다^{[11], [12]}. 먼저 이진 FSK 변복조기와 채널을 구현한 후 신호對雜음비에 따라 $10^{-5} \sim 10^{-7}$ 개의 의사 不規則 데이터 심볼을 사용하여 模擬 實驗을 수행하였다. 심볼당 샘플 갯수는 64로 하였다. 저역 필터는 완만한 롤오프 특성을 갖는 카이저 윈도우(Kaiser-window)를 이용한 FIR 필터를 사용하였다. 필터의 設計는 SPW에서 제공하는 필터 설계용 패키지인 FDS (Filter Design System)를 사용하였고 필터의 탭 길이는 239로 하였다. 이것은 입력 데이터 4 심볼에 해당하는 길이이다. 또한 tradeoff factor는 $\beta=3.9$ 로 選擇하였고 BT 값에 따라서 각각 設計하였다.

그림 4 - 6은 변조지수 $h=0.5, 0.67, 1.0$ 인 경우에 대한 디지털 복조기를 갖는 수신기의 비트 誤率(bit error rate)을 보인 것이다. 비교를 위해서 아날로그

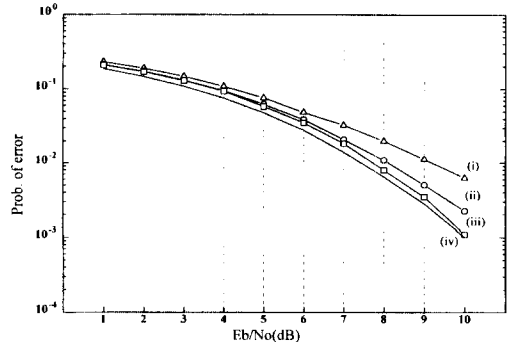


그림 4. 아날로그 직교상관형 수신기와 $M=4, 8, 16$ 의 디지털 수신기의 비트오율 비교 ($h=0.5$).

Fig. 4. BER comparison of analog quadricorrelator and digital receiver with $M=4, 8, 16$ ($h=0.5$).

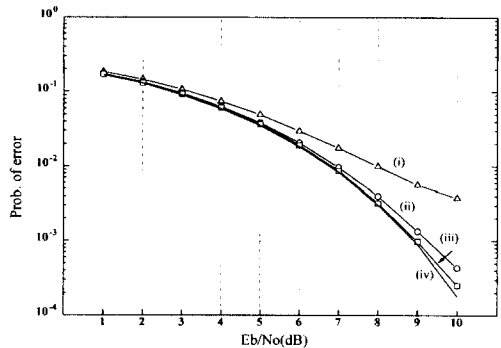


그림 5. 아날로그 직교상관형 수신기와 $M=4, 8, 16$ 의 디지털 수신기의 비트오율 비교 ($h=0.67$).

Fig. 5. BER comparison of analog quadricorrelator and digital receiver with $M=4, 8, 16$ ($h=0.67$).

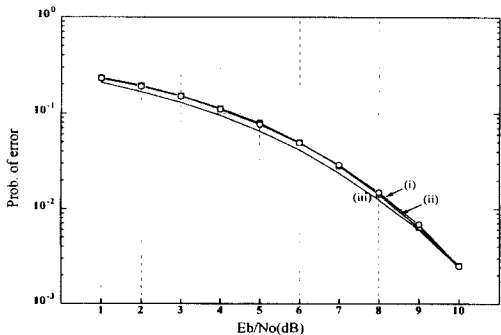
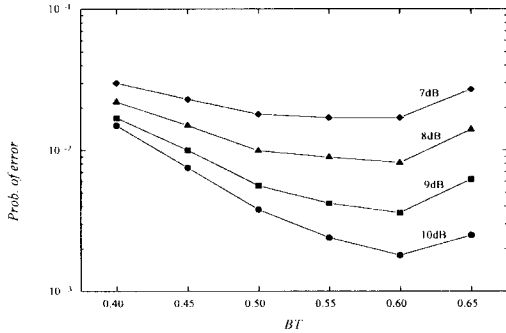
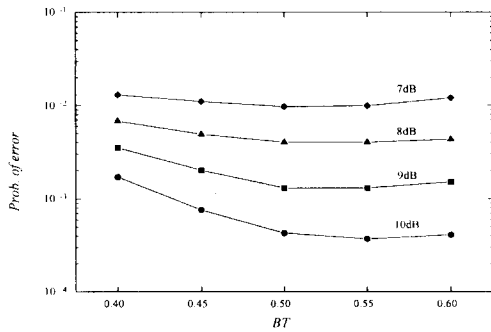


그림 6. LDI 복조기, 아날로그 직교상관형 수신기와 $M=2$ 의 디지털 수신기의 비트오율 비교 ($h=1.0$).

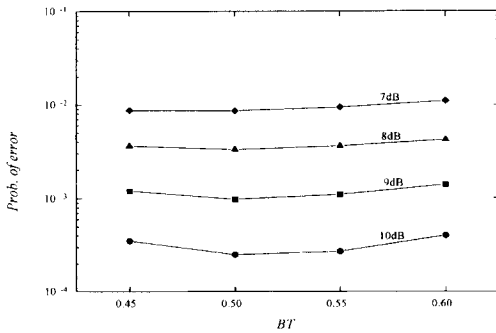
Fig. 6. BER comparison of LDI demodulator, analog quadricorrelator and digital receiver with $M=2$ ($h=1.0$).



(a)



(b)



(c)

그림 7. BT 를 변수로 한 디지털 수신기의 비트오율 ($h=0.67$): (a) $M=4$, (b) $M=8$, (c) $M=16$
 Fig. 7. BER of digital receiver as a function of BT ($h=0.67$): (a) $M=4$, (b) $M=8$, (c) $M=16$.

수신기의 비트 誤率도 함께 보였다. 그림 4, 5로부터 믹싱 축의 갯수 M 이 增加할수록 비트 誤率은 낮아지고 아날로그 직교상관형 수신기의 성능에 近接함을 알 수 있다. 변조지수가 0.67인 경우, 10^{-2} 의 비트 誤率에 대해서 M 이 4, 8, 16일 때 아날로그 직교상관형 수신기보다 각각 1.5dB, 0.3dB, 0.1dB정도 비트 誤率이 높

음을 알 수 있다. 그러나 변조지수가 1.0인 경우에는 $M=2$ 인 경우에 이미 아날로그 직교상관형 수신기의 성능에 近接해 있음을 보인다. 실제로 이 경우 M 값을 增加시켜도 성능의 改善은 거의 없다. 또한 그림으로부터 변조지수가 0.67일 때 모든 BT 값과 信號對雜音比에 대해서 가장 낮은 誤率을 보임을 알 수 있다.

그림 7(a) - (c)는 변조지수 $h=0.67$ 인 경우 BT 에 따른 비트 誤率 곡선을 信號對雜音比와 M 을 파라미터로 보인 것이다. 이 그림으로부터 信號對雜音比와 변조지수가 주어졌을 때 가장 낮은 誤率을 나타내는 대역폭이 存在함을 알 수 있으며 예를 들어 변조지수 $h=0.67$ 인 경우에 아날로그 직교상관형 수신기에서의 대역폭은 0.408인데 반해서 제안된 수신기에서의 대역폭은 0.5로 아날로그 직교상관형 수신기보다 약간 넓음을 알 수 있다. 또한 M 이 增加할수록 最適의 성능을 보이는 BT 값은 감소함을 보인다. 이것은 영점교차의 갯수가 充分할 때 복조기의 비트 誤率은 信號의 歪曲에 의한 影響보다 雜音を 抑壓시키는 것에 의해 더 큰 影響을 받기 때문이다.

IV. 結 論

본 논문에서는 二進 FSK 信號에 대한 디지털 논리 소자로 具現할 수 있는 복조기를 提案하였다. 이 복조기는 특히 高速 信號 處理가 必要한 應用에 適하고 디지털 논리소자만으로 構成되므로 회로의 집적화에 有利하다. 디지털 복조기를 갖는 수신기의 動作은 理想的인 주파수 검출기로 잘 알려진 아날로그 직교상관기의 動作原理에 基礎하며, 주파수 差의 극성을 이용한 基底帶域 非同期式 복조기이다.

컴퓨터 模擬實驗에 의해서 提案된 수신기의 성능은 믹싱 축의 갯수를 增加시킴에 따라 아날로그 직교상관형 수신기의 성능에 近接함을 보였다. 또한 最適의 대역폭은 아날로그 직교상관형 수신기에서의 대역폭보다 약간 넓음을 알 수 있었다. 예를 들어서 변조지수 $h=0.67$ 인 경우에 最適의 필터 대역폭은 아날로그 직교상관형 수신기에서 0.408인데 비해서 제안된 수신기에서는 0.5로 나타난다.

참 고 문 헌

[1] T. Tjhung, and P. Wittke, "Carrier Transmission of Binary Data in a Restricted

Band", *IEEE Trans. Commun.*, Vol. COM-18, pp. 295-304, 1970.

[2] K. A. Farrell, and P. J. McLane, "Performance of the cross-correlator receiver for binary digital frequency modulation", *IEEE GLOBECOM Conf. Rec.*, pp. 349-353, 1994.

[3] J. Park, "An FM Detector for Low S/N", *IEEE Trans. Commun.*, Vol. COM-18, pp. 110-118, April, 1970.

[4] F. M. Gardner, "Properties of Frequency Difference Detectors", *IEEE Trans. Commun.*, Vol. COM-33, pp. 131-138, Feb., 1985.

[5] A. N. D'Andrea, and U. Mengali, "Design of quadricorrelators for automatic frequency control systems", *IEEE Trans. Commun.*, Vol. COM-41, No.6, pp. 988-997, June 1993.

[6] C. G. Yoon, S. Y. Lee and C. W. Lee, "Digital Logic Implementation of the Quadricorrelators for Frequency Detector", *37th IEEE Midwest Symposium on Circuits and Systems Conf. Rec.*, pp. 757-760, August, 1994.

[7] I. Vance, "Decoding Logic for Frequency Shift Keying Receiver", *U.S. Patent #4,322,851*, March, 1982.

[8] Y. Oishi, T. Takano and H. Nakamura "Sensitivity simulation results for a direct-conversion FSK receiver", *Proc. IEEE Vehicular Technology Conf. Philadelphia, USA*, pp. 588-595, June 1988.

[9] K. Takahashi and M. Mimura, "A direct-conversion receiver utilizing a novel FSK demodulator and a low-power consumption quadrature mixer", *Proc. IEEE Vehicular Technology Conf. Denver, USA*, pp. 910-915, May 1992.

[10] 이 광복, "Zero-Crossing Zero_IF Digital Demodulator", *大韓電子工學會雜誌 텔레콤 第 10卷, 第 2號*, pp. 58-67, 1994년 12월

[11] Signal Processing Worksystem Designer/BDE User's Guide, Alta Group of Cadence Design Systems, Inc., June 1994.

[12] Signal Processing Worksystem DSP Library Reference, Alta Group of Cadence Design Systems, Inc., June 1994.

저 자 소 개



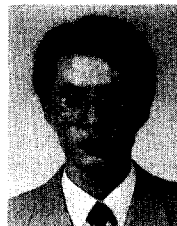
李 相 研(正會員)

1961년 2월 11일생. 1983년 2월 한국항공대학 전자공학과 졸업(공학사). 1985년 2월 서울대학교 대학원 전자공학과 졸업(공학석사).

1985년 3월 ~1987년 3월 금성전기(주) 연구원 근무. 198년 4월 ~ 1994년 10월 엘지정보통신(주) 근무. 1988년 9월 ~ 현재 서울대학교 대학원 전자공학과 박사과정. 주관심분야는 디지털 신호처리, 신경회로망

李 忠 雄(正會員)

1935년 5월 3일생. 1983년 ~ 1985년 IEEE(국제전기전자공학회) 한국지부 회장. 1988년 대한의용생체공학회 회장. 1989년 대한 전자공학회 회장. 1966년 ~ 현재 서울대학교 전자공학회 교수. 1989년 ~ 현재 IEEE(국제전기전자공학회) Fellow. 1994년 ~ 현재 서울대학교 부석 뉴미디어 통신공동연구소 소장. 주관심분야는 통신방식, 영상 및 HDTV 신호처리, 의용생체공학, 미래통신 등



尹 贊 根(正會員)

1961년 8월 8일생. 1984년 2월 서울대학교 전자공학과 졸업(공학사). 1992년 2월 서울대학교 대학원 전자공학과 졸업(공학석사).

1993년 ~ 현재 서울대학교 대학원 전자공학과 박사과정. 1984년 3월 ~ 1987년 3월 금성전기(주) 연구원 근무. 1988년 4월 ~ 1993년 2월 엘지정보통신(주) 연구원 근무. 1993년 3월 ~ 현재 동양공업전문대학 전자통신과 근무. 주관심분야는 디지털 통신, 디지털 신호처리