

論文96-33A-7-30

FPGA를 이용한 POCSAG 복호기의 설계

(The Design of the POCSAG Decoder Using FPGA)

林宰瑩 **, 金建 **, 金榮珍 **, 金浩泳 **, 趙仲彙 *

(Jaeyoung Lim, Geon Kim, Youngjin Kim, Hoyoung Kim,
and Joonghwee Cho)

요 약

본 논문에서는 POCSAG 신호 복호기를 RT 레벨의 VHDL로 설계하고 FPGA로 구현하여 검증하였다. 설계한 복호기(PDI2400)는 76.8KHz의 단일 클럭을 이용하여 512/1200/2400bps으로 전송되는 모든 데이터를 수신하며, 최대 2개의 자기 프레임을 갖도록 설계하였다. 수신 감도의 향상을 위하여 9%의 주파수 차이를 고려하여 preamble 신호를 검출하고, 4 비트 단위로 SCW(Synchronization Code Word)와 ICW(Idle Code Word)를 검출하였다. 또한 어드레스와 메시지의 모든 정보에 대하여 2 비트까지의 에러를 정정하며, 건전지의 사용 시간을 늘리기 위하여 PF(Preamble Frequency) 오류를 제안하였다.

RT 레벨의 VHDL로 설계하고 Viewlogic의 PowerView™ 소프트웨어를 사용하여 논리 회로도를 생성하고 98%의 이용율과 함께 ALTERA EPF81188GC232-3 FPGA 1개에 구현하였으며 구현된 FPGA를 이용하여 무선 호출기를 구성하였다.

여러 가지 측정을 통하여 잡음에 대한 preamble 검출의 횟수가 매우 적어 건전지의 사용 시간이 다른 복호기를 이용한 무선 호출기보다 늘어날 수 있음을 확인하였으며 수신 감도는 평균적으로 20% 정도 우수함을 확인하였다.

Abstract

This paper has been presented a design of a POCSAG decoder in RT-level VHDL and implemented in a FPGA chip, and tested.

In a single clock of 76.8KHz, the decoder receives all the data of the rate of 512/1200/2400bps and has maximum 2-own frames for service enhancement. To improve decoder performance, the decoder uses a preamble detection considering 9% frequency tolerance, a SCW detection and a ICW detection at each 4 bit. The decoder also corrects a address data and a message data up to 2 bits and proposes the PF(Preamble Frequency) error for saving battery. The decoder increases a battery life owing to turn off RF circuits when the preamble signal is detected with noises.

The chip has been designed in RT-level VHDL, synthesized into logic gates using PowerView™ of Viewlogic software. The chip has been implemented in an ALTERA EPF81188GC232-3 FPGA chip with 98% usability, and fully tested in shield room and field room.

The chip has been proved that the wrong detection numbers of preamble of noises are significantly reduced in the pager system using PDI2400 through the real field test. The receiving performance is improved by 20% of average, compared with other existing systems.

* 正會員, 仁川大學校 電子工學科

(Dept. of Electronics Eng., University of Incheon)

** 正會員, 株式會社 팬택

(Pantech Co., Ltd.)

接受日字: 1995年5月19日, 수정완료일: 1996年6月17日

I. 서 론

개인용 휴대 통신 기기는 송신과 수신이 모두 가능한 것과 수신만 가능한 것으로 분류된다. 이들 중 저렴한 서비스 비용과 휴대의 편리성 등의 이유로 무선 호출기(Pager)에 대한 수요는 크게 증가하고 있다. 국내의 경우 1994년까지의 가입자수는 650만이며 1995년에는 약 1000만 명에 달한 것으로 추정되고 있다.

무선 호출기는 그림 1과 같이 크게 3개의 블록으로 구성된다. 첫째는 기지국으로 부터 전송되는 신호를 수신하여 디지털 신호로 변형시키는 RF 신호 입력 회로부이다. 둘째는 RF 회로부에서 변형된 신호를 분석하여 가입자의 어드레스와 비교하고 일치하면 정보를 수신하는 POCSAG(Post Office Code Standardization Advisory Group)¹¹⁾ 방식의 신호 복호 회로부이다. 셋째는 POCSAG 신호의 복호 회로부로부터 전송된 정보를 사용자에게 알려 주는 기능과 시스템의 제어를 담당하는 MCU(Micro Controller Unit) 회로부이다.

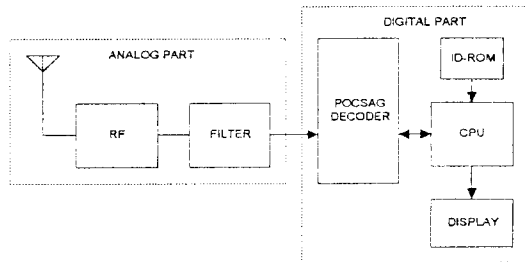


그림 1. 무선 호출기의 블록 다이어그램
Fig. 1. The block diagram of a pager.

본 논문에서는 무선 호출기의 수신 감도 향상과 전력 소비의 최소화 및 소형화를 목표로 하여 POCSAG 방식의 새로운 복호기를 설계한다.

현재 상용화되고 있는 대부분의 복호기는 512/1200bps의 데이터 속도를 지원하고 있는 데 가입자 수의 증가를 위해 2400bps의 지원이 요구된다. 그런데 일부의 2400bps를 지원하는 복호기는 512/1200bps를 지원하기 위한 클럭과 함께 이 클럭 보다 2배 빠른 클럭 발생기를 동시에 이용하여야 하는 문제점이 있다. 따라서 하나의 클럭 입력만을 사용하면서 512/1200/2400bps로 제공되는 모든 정보를 수신할 수 있는 복호기의 설계가 요구된다.

그리고 현재까지 발표된 대부분의 복호기는 1개의 batch에 1개의 자기 프레임만을 할당할 수 있어 주식 정보, 일기 예보와 같은 공공 서비스 등과 같은 부가 서비스를 받고자 하는 경우는 별도의 자기 어드레스를 필요로 하므로 가입자 수에 대한 제한 등의 문제점이 발생한다. 또한 대부분의 복호기가 어드레스 정보에 대하여는 2 비트까지의 에러 정정을 하지만 메시지 정보에 대하여는 1 비트만의 오류 정정만을 행하므로 무선 호출기의 수신 감도가 저하되는 요인으로 지적되고 있다.

본 논문에서 설계한 복호기는 76.8KHz의 1개 클럭을 사용하여 512/1200/2400bps로 전송되는 모든 데이터를 수신할 수 있다. 그리고 다양한 공공 서비스를 받기 위해 2개의 자기 프레임을 가질 수 있도록 설계한다. 한편 복호기의 수신 감도의 향상을 위하여 어드레스와 메시지 데이터 모두에 대하여 2 비트까지의 오류 정정을 행하며, 주파수 차이를 고려하여 preamble 신호를 검출하며, 4 비트 단위로 SCW(Synchronize Code Word)와 ICW(Idle Code Word)를 검출한다. 또한 PF(Preamble Frequency) 에러가 검출되는 경우는 RF의 회로를 off 시켜 전전지의 사용 시간을 늘리도록 함으로써 저전력화 된 복호기를 설계한다.

설계한 복호기는 VHDL을 이용하여 시뮬레이션과 논리회로도의 설계를 행한다. 그리고 설계한 복호기의 논리적 정확성과 수신 감도의 검사를 위하여 ALTERA사의 MAX+PLUSII™의 소프트웨어를 이용하여 98%의 이용율과 함께 EPF81188GC232-3의 FPGA 1개로 구현한다. 구현된 FPGA 복호기와 기존의 RF 회로 및 MCU등을 이용하여 무선 호출기를 구성하고 shield room과 field에서의 다양한 검사를 행하여 본 논문에서 설계한 POCSAG 신호 복호기 PDI2400에 대한 효용성을 확인한다.

II장에서는 POCSAG 신호의 규정과 동작 모드에 대하여 설명하며 III장에서는 제한한 복호기의 구조와 기능을 제한한다. IV장에서는 FPGA로의 구현 및 성능 검증에 대하여 기술한다.

II. POCSAG 코드 형식

현재 가장 널리 사용되는 무선 호출 방식은 POCSAG 방식으로 CCIR 권고 안 584에 규정된 것으로 이에 대한 코드 체계는 그림 2와 같다¹¹⁾.

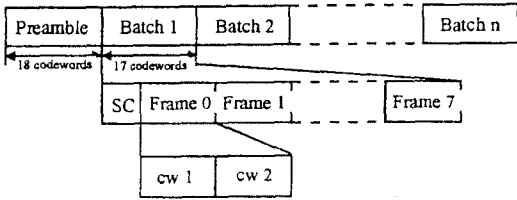


그림 2. POCSAG 코드 형식^[11]
Fig. 2. POCSAG code format^[11].

POCSAG 신호는 preamble과 1개 이상의 batch로 구성되며 1개의 batch는 32 비트의 SCW와 8개의 프레임으로 구성된다. 그리고 각 프레임은 2개의 코드 워드로 구성되는데 1개의 코드 워드는 32 비트의 데이터로 구성된다.

무선 호출기의 데이터 수신은 기지국에서 "101010..."과 같이 "10"의 반복으로 구성된 최소 576 비트 이상의 preamble 신호 수신으로부터 시작된다. Preamble 신호를 수신하면 SCW의 수신을 기다리는데 SCW의 수신은 8개 프레임의 동기 타이밍을 조정하기 위하여 사용한다. SCW의 수신 후에는 자기 프레임에서 수신 데이터를 자기 어드레스 정보와 비교하여 일치하면 연속된 프레임에서 수신되는 데이터를 메시지 정보로 판별한다.

Batch를 구성하는 코드 워드는 3 가지로 분류된다. 첫째는 프레임의 시작 동기를 위하여 16진수 상수 값 7CD215D8로 정의되는 SCW 이다^[11]. 둘째는 어드레스 또는 메시지 데이터의 수신 종료 표시를 위하여 16진수 상수 값 7A89C197로 정의되는 ICW 이다^[11]. 셋째는 어드레스 또는 메시지 데이터를 표현하는 코드 워드로 이의 세부적인 구성은 그림 3과 같다^[11].

Bit No.	31	30-13	12-11	10-1	0
Address code word	Address Flag=0	Address Bits	Function Bits	BCH check Bits	Even parity
Message code word	Message Flag=1	Message Bits		BCH check Bits	Even parity

그림 3. 코드 워드 형식^[11]
Fig. 3. Code word format^[11].

어드레스와 메시지 데이터는 BCH(31,21) 오류 정정 알고리즘에 의하여 오류의 정정이 수행되도록 정의되었다. 각 코드 워드의 상위 21 비트는 어드레스 또는

메시지 데이터이고 뒤따르는 10 비트는 BCH 오류 정정을 위한 비트이다.

III. PDI2400의 구조와 기능

본 논문에서 설계한 POCSAG 신호 복호기인 PDI2400은 동작 모드, BCH 오류 정정, MCU와의 인터페이스, 저 전력화를 위한 제어 신호의 생성 등의 개념을 고려하여 그림 4과 같은 기본적인 구조로 정의하였다.

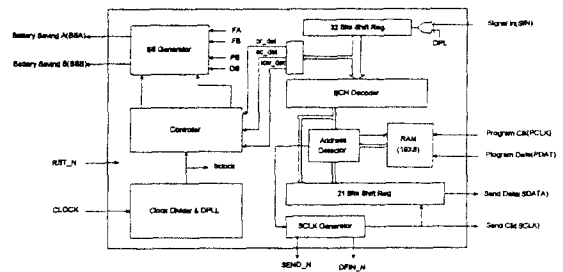


그림 4. PDI2400의 구조
Fig. 4. The architecture of PDI2400.

PDI2400의 각 블럭에 대한 기능과 마이크로 아키텍처 레벨의 하드웨어 설계는 각각 다음과 같다.

1. Preamble 신호와 SCW의 검출

Preamble 신호의 수신에 의하여 뒤에 입력되는 batch 데이터의 동기 타이밍을 결정하며 SCW의 검출에 의하여는 프레임의 시작에 대한 동기 타이밍을 결정한다.

PDI2400에서는 "101010"의 6 비트가 입력되면 preamble 신호가 검출된 것으로 하는데 수신 감도의 향상을 위하여 다음과 같은 3가지 사항을 고려하여 설계하였다.

첫째 데이터 패턴 "10"의 duty factor를 25%에서 75% 까지로 한다. 이상적인 10 패턴의 duty는 50%이지만 실제로 무선 전송 시 잡음에 의해 이를 유지하기는 매우 어려우므로 수신된 10 패턴의 duty가 25%에서 75%내에 존재하면 이를 10 패턴으로 인정하였다.

둘째 수신된 "10" 패턴의 주파수와 512/1200/2400bps의 동작 속도에 따라 정의된 preamble의 주파수와 차이가 9%이내 일 때만 "10"을 데이터 패턴으로 인정한다. 이와 같은 주파수 차이를 비교할 때 그

차이를 작게 하면 수신율이 저하될 수 있고 만일 크게 하면 수신율은 향상될 수 있으나 잡음을 preamble로 인식하는 경우가 자주 발생하므로 건전지의 사용 시간이 줄어드는 문제점이 있다. 본 논문에서는 많은 실험을 통하여 9%의 preamble 주파수 차이가 가장 적절하다고 판단하였다.^[10]

그림 5는 위의 첫째와 둘째의 사항을 고려한 PDI2400의 preamble 신호의 검출 방법을 나타낸 것이다.

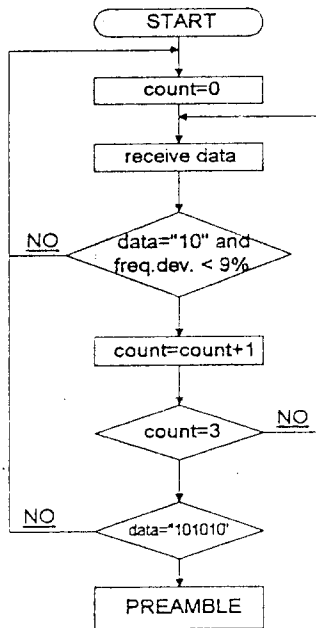


그림 5. Preamble 검출 방법
Fig. 5. The preamble detection method.

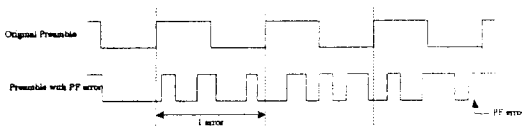


그림 6. PF 오류의 검출
Fig. 6. The detection of PF error.

셋째 그림 6과 같이 "10" 패턴 시간 동안 preamble의 주파수보다 2배 이상의 주파수를 가진 데이터가 인가될 때를 1개의 오류로 정의하고 이와 같은 오류가 3개 연속하여 발생하는 경우를 PF 오류로 정의하였다. 그림 5에서 preamble 신호가 검출되어도 이후에 수신된 preamble의 데이터 패턴에 정의한 PF 오류가 존재하면 현재까지 수신된 preamble 신호를 무시하고

건전지를 절약하도록 RF 회로를 off 시키는 건전지 제어 신호를 생성하였다. 이와 같은 방법을 적용함으로써 잡음을 preamble로 인식하여 데이터를 수신하려는 빈도수를 감소시켜 건전지의 소모량을 감소시킬 수 있음을 실험을 통하여 확인하였다.^[10]

한편, SCW의 검출은 입력된 32 비트 데이터를 4 비트 단위로 분할하여 7CD215D8로 정의된 SCW와 8회 비교하며 4 비트 단위에서의 오류 개수를 계산하고 오류 개수가 3개 이내이면 SCW가 검출된 것으로 정의한다. ICW의 검출 방법도 SCW 검출 방법과 동일하게 설계하였다.

기존의 복호기에서는 BCH 코드 형태인 SCW와 ICW에 대하여 2개의 오류에 대한 정정만이 가능하지만 위의 방법을 이용하는 경우는 보다 많은 오류가 발생할 경우에도 SCW와 ICW를 검출할 수 있어 수신율이 향상된다.

2. BCH(31,21) 복호기^[2-5]

입력되는 32 비트의 메시지와 어드레스 코드 위드는 그림 3과 같이 정의되었다. 따라서 그림 7에 정의된 BCH(31,21) 오류 정정 알고리즘에 따른 복호기의 설계가 필요하다.

BCH 부호는 Galois Field GF(2^m)상에서 오류 정정을 처리하는데 Galois 체는 유한체로써 2개의 원 {0,1}을 갖는 2 원체일 경우 GF(2)로 표시한다. 이때 m차 다항식 p(x)가 GF(2)상의 원시 다항식이면, 유한체는 2^m개의 원소를 갖는 2진 Galois 체라하며 GF(2^m)으로 표시한다.

BCH 부호는 (n, k) BCH 부호라 표기하는데 여기서 n은 부호 길이이며, k는 정보 길이이고, (n-k)는 검사 길이이다. 만약 t가 하나의 부호어 당 정정할 수 있는 오류의 수라고 하고 m을 임의의 정수라고 하면 BCH 부호의 부호어 당 심볼의 수는 n = 2^m-1 이고 정정 오류 갯수 t=(n-k)/m이다. 따라서 본 논문에서 필요로 하는 BCH 복호기는 2 비트의 오류 정정을 요구하기 때문에 m=5, n=31, k=10인 BCH(31,21)의 2 비트 오류 정정 복호기를 설계하였는데 다음의 순서에 따라 복호를 수행하였다.

- 수신 신호 r(x)로 부터 syndrome s(x)를 계산한다.
- Syndrome 로 부터 오류 위치 다항식 σ(x)의 계수를 결정한다.
- σ(x)의 근을 구하여 오류 위치를 추정한다.

• 오류 위치가 나타내는 위치에서의 $r(x)$ 의 오류를 정정한다.

$r(x)$ 는 채널을 통해 발생된 오류 $e(x)$ 를 포함한 형태로 식 (1)과 같이 표현된다.

$$r(x) = c(x) + e(x) \quad (1)$$

복호화의 첫 단계는 syndrome $s(x)$ 를 구하는 것이며 식 (2)와 같이 수신 다항식을 최소 다항식으로 나누는 나머지를 이용하여 syndrome을 구할 수 있다.

$$r(x) = q(x) * m(x) + s(x) \quad (2)$$

식 (2)에서 $m(x)$ 는 $m_1(x) = q(x) * m(x) + s(x) = 1 + x^2 + x^3 + x^4 + x^5$ 이며 는 몫이며 는 나머지이다. BCH(31,21,2)의 오류 정정 개수는 $t=2$ 이므로 syndrome의 요소는 $2t$ 즉, 4개가 된다. Syndrome은 $s(x) = (s_1, s_2, s_3, s_4)$ 이다. 그러나 실제 사용되는 원소는 $m_1(x)$ 로 나눈 나머지 s_1 과 $m_3(x)$ 로 나눈 나머지 s_3 를 syndrome으로 결정한다. 이와 같은 syndrome을 계산하기 위하여 순차 논리 회로를 이용한 syndrome 생성기를 사용하였다.

Syndrome을 구한 다음 오류 위치 다항식을 식(3)과 같이 결정하여야 한다.

$$\sigma(x) = \sigma_0(x) + \sigma_1(x) + \dots + \sigma_t(x) \quad (3)$$

2 비트 오류 정정 복호기의 설계가 요구되므로 $\sigma(x)$ 는 식(4)와 같이 2차식으로 표현될 수 있다.

$$\sigma(x) = \sigma_0 + \sigma_1x + \sigma_2x^2 \quad (4)$$

위의 식(4)에서의 오류 위치 다항식의 계수는 식 (5)와 같이 표현된다.

$$\sigma(x) = 1 + s_1x + (S_1^2 + (\frac{s_3}{s_1}))x^2 \quad (5)$$

식(5)에서의 1차 계수는 syndrome 생성기에서 생성된 s_1 과 같으며, 2차 계수를 회로로 구현하기 위하여 그림 8에서와 같이 s_1 을 제공하기 위한 자승기 (Mod_mul1)와 s_1 의 역원을 구하기 위한 ROM, s_3 과 $1/s_1$ 을 곱하기 위한 곱셈기(Mod_mul2), 그리고 s_1^2 과 s_3/s_1 를 더하기 위한 덧셈기를 사용하였다.

복호화의 세번째 단계로 $\sigma(x)$ 의 근을 구하기 위하여 chien의 오류 탐지 회로(Searcher)를 사용한다¹⁵⁾.

한편, $s_1 = s_3 = 0$ 일 때는 $\sigma(x) = 1$ 이므로 오류가 발생하지 않았다고 추정할 수 있으며, $s_1 \neq 0, s_3 = s_1^3$ 일 때는 한 개의 오류가 발생했음을 의미한다. 그리고 $s_1 \neq 0, s_3 \neq s_1^3$ 일 때는 2개 이상의 오류가 발생했음을 의미한다. 이와 같이 chien의 오류 탐지 회로에서 얻어진 오류 위치 다항식의 근은 오류가 발생한 위치를 지시하며 32비트 레지스터의 시리얼 출력과 XOR 되어 오류 정정된 데이터를 생성한다.

PDI2400은 2 비트의 오류 정정이 가능하게 하기 위해 복호된 21비트의 정보 비트를 다시 BCH 부호기로 패리티 비트를 생성하여 입력된 데이터 중 패리티 비트와 비교하여 같으면 입력된 데이터가 2 비트 이하의 오류를 가진 데이터임을 판별한다.

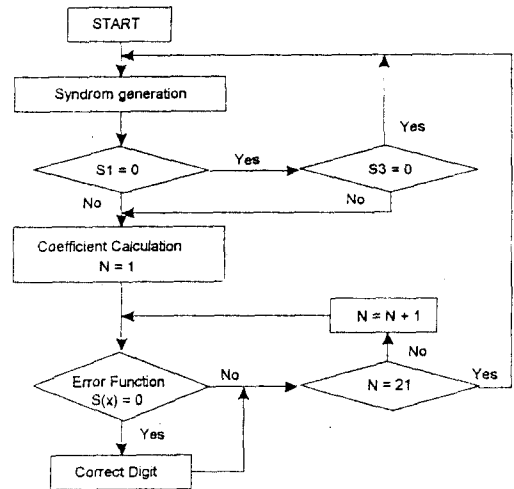


그림 7. BCH 복호기의 흐름도
Fig. 7. The flowchart of BCH decoder.

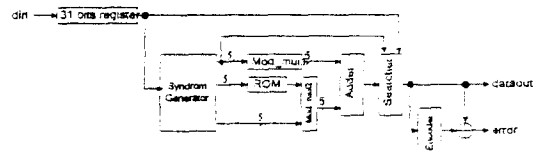


그림 8. BCH 복호기의 블럭 다이어그램
Fig. 8. The block diagram of BCH decoder.

3. 전전지 제어 신호의 생성

무선 호출기의 전류 소모를 줄이기 위하여 POCSAG 복호기에서는 RF 회로부를 on/off하는 건

전지 제어 신호를 생성하는데 PDI2400에서는 건전지 제어 신호로 BSA와 BSB를 발생한다.

BSA는 모든 POCSAG 복호기에서 가장 일반적으로 사용되는 신호이고 BSB은 PLL 무선 호출기에서 사용하기 위한 신호이다. PLL의 정착 시간을 위해 BSB의 신호 폭이 BSA보다 크다는 것 외에는 두 신호의 동작에는 차이가 없다.

BSA의 발생은 동작 모드에 따라 다르다. 프로그래밍 시 RF 회로가 데이터를 수신할 필요가 없으므로 RF 회로를 off 시키도록 '0'을 출력한다. Preamble 신호를 검출하는 시기에는 매 batch 시간마다 일정 시간 동안 RF 회로를 on 시켜 입력되는 신호에서 preamble 신호의 존재를 검사하여야 하므로 그림 9와 같이 발생시킨다.

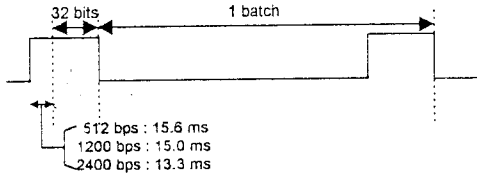


그림 9. WAIT 모드에서 BSA의 타이밍
Fig. 9. The BSA timing on WAIT mode.

Preamble 신호의 수신 이후는 1 batch동안 SCW를 검출하기 위해 '0'로 발생한다. POCSAG 신호수신 시에는 자기 프레임에서만 데이터를 수신하면 되므로 자기 프레임의 일정 시간 전에 '1'로 출력되어 자기 프레임의 시간 동안 '1'로 유지시킨다. '1'로 유지되는 시간은 각 bps에 따라 다르게 정의된다. PDI2400에서는 1 batch에 최대 2개의 자기 프레임을 갖도록 정의하였는데, 자기 프레임을 1과 5로 사용하면 POCSAG 신호를 수신하는 시기에서 BSA의 발생은 그림 10과 같다.

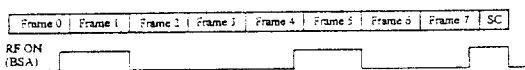


그림 10. 자기 프레임이 1과 5일 때의 BSA 타이밍
Fig. 10. The BSA timing when self-frames are 1 and 5.

4. 내부 클럭 생성부

PDI2400에서는 외부 클럭을 76.8KHz로 입력 받아 각 동작 속도에 따라 요구되는 내부 클럭 신호를 생성

한다. 카운터 회로를 이용하여 구현하는데 식(6)에 의하여 생성되는 X에 따라 512bps 일 때는 내부 클럭 신호인 Bclock을 150개 clock(76KHz)마다 한번씩 발생시킨다. 1200bps 일 때는 64개, 2400bps 일 때는 32개를 주기로 갖는 Bclock을 발생시키도록 회로를 설계한다.

$$X = \frac{76.8KHz}{BPS} \tag{6}$$

5. RAM BLOCK

6개의 ID 어드레스와 17 비트의 플래그를 저장하는 RAM 메모리와 수신된 데이터가 자신의 ID 어드레스와 일치하는가를 자기 프레임에서 비교하는 기능을 갖는다.

플래그 비트는 각각 다음과 같다. 데이터의 극성을 결정하기 위하여 1 비트, BSB의 신호 폭을 결정하기 위하여 2 비트가 요구된다. 데이터 속도를 표시하기 위하여 2 비트, 최대 2개까지의 자기 프레임을 지정하기 위해 각각 3 비트씩 요구된다. 또한 6개의 각 ID 어드레스가 2개의 자기 프레임 중 어느 것에 할당되는가를 결정하기 위하여 1 비트가 요구된다.

6. MCU로의 데이터 전송

BCH(31,21) 복호기에 의해 오류 정정된 어드레스는 RAM BLOCK에서 정의된 자기 어드레스와의 비교를 통하여 검출 여부를 결정한다. 어드레스가 검출되면 다른 어드레스 또는 ICW가 수신될 때까지 데이터를 메시지로 수신한다. 수신된 데이터는 가입자에게 알리기 위하여 MCU로 전송하여야 한다.

자기 어드레스가 검출되면 MCU를 위한 제어 신호로 SEND를 출력하며, 2 비트의 기능 콜 정보와 3 비트의 ID 정보를 SDAT를 통해 직렬 전송한다. 5 비트 전송에 이어 수신된 메시지 정보가 20 비트의 메시지와 1 비트의 오류 판별 정보가 출력된다. 오류 판별 정보는 BCH(31,21) 복호기에서 3 비트 이상의 오류가 검출되면 '1'이며, 2 비트 이하이면 '0'으로 정의한다.

7. 내부 제어부

POCSAG신호의 수신 과정을 분석하여 PDI2400의 동작은 그림 11과 같이 4개의 동작 모드로 정의되었다.

PROGRAM모드에서는 MCU로부터 ID 데이터 등을 입력받는다. 이와 같은 동작이 종료되면 WAIT 모

드로 천이하는데 이 모드에서는 일정 시간마다 preamble신호의 검출을 시도한다. Preamble 신호가 검출되면 PREAMBLE 모드로 천이하고 1 batch시간 동안 batch 동기를 위한 신호인 SCW의 검출을 시도한다. 검출 시는 RECEIVE 모드로 천이하여 데이터를 수신하고 미 검출 시는 다시 WAIT 모드로 천이한다. RECEIVE 모드에서는 1 batch 동안 자기 어드레스와 데이터의 수신을 시도하고 다음 batch를 위해 SCW의 검출을 시도한다. 만약 2 batch시간 동안 SCW가 검출되지 않으면 WAIT 모드로 천이한다.

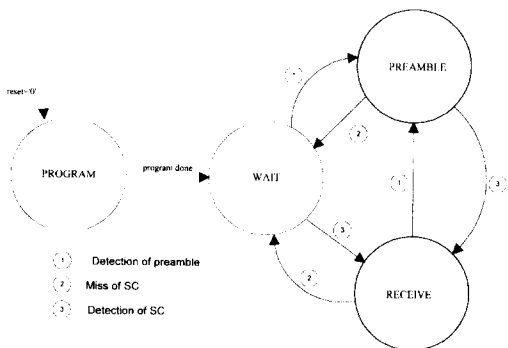


그림 11. 동작 모드
Fig. 11. The operation mode.

그림 11과 같이 정의된 4가지의 동작 모드 사이에서의 천이를 위한 FSM(Finite State Machine)의 설계가 요구된다. 또한 1 batch를 구성하는 17개의 코드 워드를 각 스테이트로 하는 FSM의 설계가 요구된다.

IV. 하드웨어 구현 및 성능 검증

본 논문에서는 그림 12와 같은 설계 흐름에 따라 설계하고 FPGA를 이용하여 prototype을 설계하여 그 성능을 검증하였다. III장에서 정의된 각 블록의 마이크로 아키텍처 레벨 회로도를 VHDL로 기술하여 VHDL 시뮬레이터로 그 모델을 검증하였는데^[8] 시뮬레이션 결과는 그림 13과 같다.

mode_out의 값이 0h 일때가 PROGRAM 모드로 PCLK과 PDAT를 통해 ID데이터가 입력되고, 600us에서부터 sin을 통해 데이터가 입력된다. Preamble이 검출되어 mode_out 값이 2h인 PREAMBLE 모드로 천이하고 SCW를 검출하여 mode_out의 값이 3h인 RECEIVE mode로 천이함을 알 수 있다. ID정보에 자기 프레임을 프레임 1로 설정하여 RF회로의 on/off

제어 신호인 BSA와 BSB가 프레임1인 시점에서 1로 변화한다. 이때 어드레스를 검출하여 send_n을 1개의 코드 워드 동안 0으로 출력하여 수신된 정보를 MCU로 전송함을 알린다. 수신된 데이터는 sclk에 동기시켜 sdata 핀을 통해 전송한다. 수신된 메시지가 3개의 코드 워드이므로 3개의 코드 워드의 정보를 전송 후 dfn_n을 0으로 하여 데이터 전송이 종료되었음을 알려주게 된다.

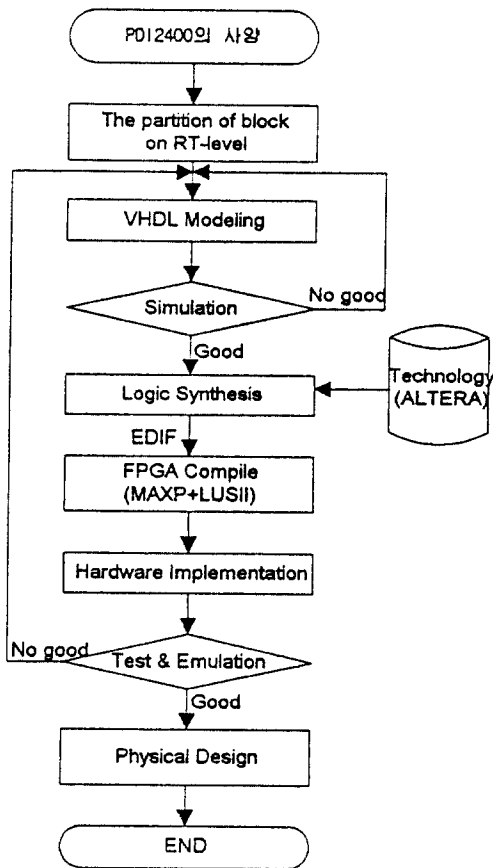


그림 12. POCSAG 복호기의 설계 흐름도
Fig. 12. The design flow of the POCSAG decoder.

이와 같은 소프트웨어에 의한 검증을 행하고 하드웨어 검증을 위하여 FPGA 구현을 하였는데, VHDL 논리 합성기를 이용하여 논리 회로도를 생성하였다^[9]. FPGA는 ALTERA EPF81188GC232-3 1개를 사용하면서 MAX+PLUSII™에 의한 배치와 배선을 수행하였는데 이와 같은 과정의 수행에 따라 MAX+PLUSII™에서 출력되는 셀 사용 정보에 의하면 98%의 셀을 사용하였다.

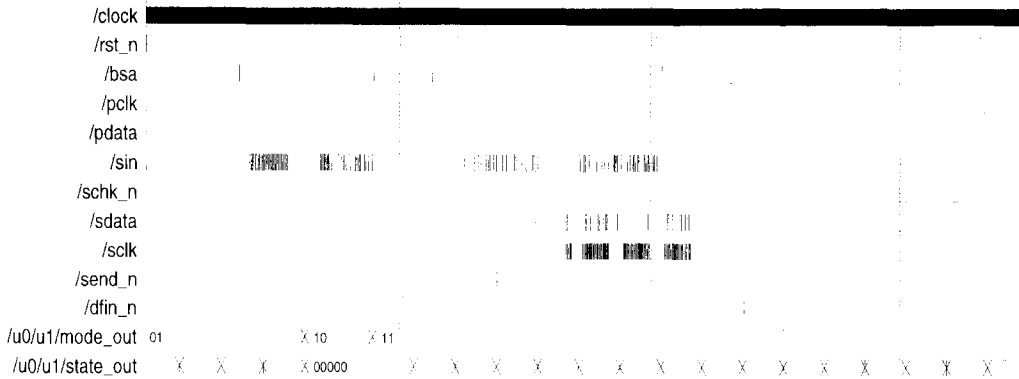


그림 13. PDI2400의 시뮬레이션 파형
Fig. 13. The simulation waveform of PDI2400.

한편, 위와 같은 top-down 설계 방법론에 따라 구현된 FPGA의 기능과 성능을 검증하기 위하여 PDI2400과 기존에 상용화된 RF 회로부를 이용하여 무선 호출기 시스템을 구성하였다.

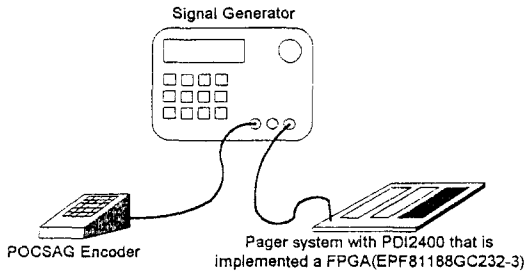


그림 14. 감도 검사 환경
Fig. 14. The environment for checking the sensitivity.

구성된 무선 호출기의 수신 감도를 그림 14와 같은 환경으로 shield room에서의 1차 검사를 수행하였다. POCSAG 부호기로부터 10자의 숫자 정보를 디지털 신호로 생성시키고 signal generator를 이용하여 FM 된 아날로그 신호로 변환시킨다. 변환된 아날로그 신호를 무선 호출기에 유선으로 연결하고 각 신호의 세기에서 50회 전송 시 수신된 횟수를 측정하였다. Shield room에서의 검사 결과는 그림 15과 같다. 직접 수신 감도를 수신율 80%로 보았을 때 512bps에서는 -130dBm, 1200bps에서는 -128.5dBm, 2400bps에서는 -126.5dBm의 수신 감도를 보인다. 200초 동안 잡음을 preamble로 인식하는 횟수를 측정한 결과 표 1과 같이 그 횟수가 매우 적음을 알 수 있었다. 따라서

사용하는 건전지의 사용 시간을 연장할 수 있을 것으로 기대된다.

또한 몇 개 회사의 제품과 함께 field에서의 2차 검사를 수행하였다. Field 검사는 신호가 미약한 수도권 3개 지역에서 실시하였는데 이 결과는 표 2와 같다. 이와 같은 field 검사에 따라 PDI2400을 이용한 무선 호출기가 상용화된 제품보다 약20%의 수신율이 우수함을 확인하였다.

이와 같은 2가지의 성능 평가 검사에 따라 PDI2400 POCSAG 복호기의 효용성을 확인하였다.

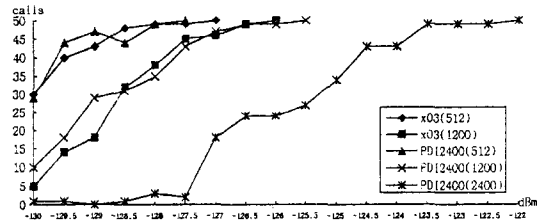


그림 15. Shield room에서의 감도 검사 결과
Fig. 15. The results of sensitivity test in shield room.

표 1. 200sec 동안 잡음을 preamble로 검출한 횟수

Table 1. The count of preamble detection with noise for 200sec.

	512 BPS	1200 BPS	2400 BPS
PP-X03	12	35	지원안됨
PDI2400	4	24	74

표 2. Field 검사의 결과
Table 2. The results of field test.

PAGER	The number of received calls	The receiving ratio
PDI2400	77/84CALLS	91.7%
PAGER1	59/84CALLS	70.2%
PAGER2	69/84CALLS	82.1%
PAGER3	54/84CALLS	64.3%

V. 결론

본 논문에서는 무선 호출기에 사용되는 POCSAG 방식의 신호 복호기인 PDI2400을 FPGA로 구현하고 기능 및 성능을 검증함으로써 CSIC(Customer Specified Integrated Circuit)으로 설계하기 위한 회로도를 추출하였다.

76.8KHz의 단일 클럭을 이용하여 512/1200/2400bps으로 전송되는 모든 데이터를 무선 호출기에서 수신할 수 있으며, 일기 예보와 주식 정보의 다양한 공공 서비스 등을 제공받기 위해 최대 2개 자기 프레임 가질 수 있도록 설계하였다. 그리고 수신 감도의 향상을 위하여 어드레스와 메시지 정보 모두에 대하여 2 비트까지의 오류 정정을 행하며 9%의 주파수 차이를 고려하여 preamble 신호를 검출하였으며 4 비트 단위로 SCW와 ICW를 검출하였다. 또한 PF 오류를 제안하여 PF 오류의 발생시에는 RF 회로를 off 함으로써 무선 통신 기기의 설계 목표인 건전지의 사용 시간을 증대시키는 저 전력화된 회로 설계를 행하였다.

마이크로 아키텍처 레벨의 회로 설계로부터 VHDL 모델링을 행하고 VHDL 시뮬레이션과 논리합성을 행하였으며 ALTERA의 EPF81188GC232-3 FPGA 1

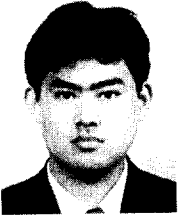
개에 98%의 이용율로 구현하였다. PDI2400을 사용한 무선 호출기를 구성하여 shield room 및 field의 다양한 검사를 행하여 현재까지 상용화된 무선 호출기와 비교하여 평균적으로 20%의 우수한 수신 감도를 가짐을 확인함으로써 본 논문에서 제안하는 POCSAG 신호 복호기에 대한 우수성을 확인하였다.

한편, PDI2400은 MOTOLORA의 68HC05L16 MCU와 결합하여 68HC05PD6로 CSIC화 하였다.

참고 문헌

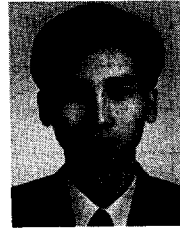
- [1] 체신부, 국제 무선 페이지징을 위한 표준 부호 및 서식, CCIR REC. 584
- [2] Lin/Constello, *Error Control Coding: Fundamentals and Applications*, Prentice Hall, 1983.
- [3] 이만영, *BCH 부호와 read-solomon 부호*, 민음사, 1990
- [4] Man Young Lee, *Error Correcting Coding Theory*, McGraw-Hill, 1989.
- [5] 전인산, 박영수, 김영민, "BCH CODER/DECODER VLSI 설계", 반도체 Workshop 발표 논문집, pp78-82, 1991
- [6] ALTERA Inc., *FLEX 8000 Handbook*, 1994.
- [7] NPC Inc., *SM8210S Signal Processor for Paging Receivers*, 1992.
- [8] Roger Lipsett, Carl Schaefer and Cary Ussery, *VHDL: Hardware Description and Design*, Kluwer Academic Publishers, 1989.
- [9] Viewlogic Inc., *VHDL Designer User's Guide and Tutorial*, 1992.
- [10] 주식회사 팬택, *POCSAG 신호 복호기 설계 field 검사 결과 보고서*, 1995

저 자 소 개



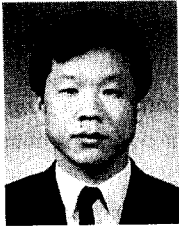
林宰瑩(正會員)

1970년 8월 2일생. 1993년 2월 인천대학교 전자공학과 졸업(공학사). 1995년 2월 인천대학교 대학원 전자공학과 졸업(공학석사). 1995년 1월 ~ 현재 주식회사 팬택 기술연구소 연구원



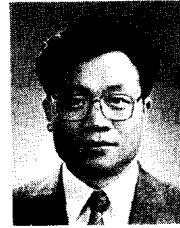
金健(正會員)

1970년 6월 6일생. 1994년 2월 인천대학교 전자공학과 졸업(공학사). 1996년 2월 인천대학교 대학원 전자공학과 졸업(공학석사). 1996년 3월 ~ 현재 주식회사 팬택 기술연구소 연구원



金榮珍(正會員)

1960년 10월 12일생. 1986년 2월 경희대학교 전자공학과 졸업(공학사). 1986년 1월 ~ 1991년 1월 맥슨전자 주식회사 선임 연구원. 1991년 3월 ~ 현재 주식회사 팬택 기술 이사



金浩泳(正會員)

1960년 3월 11일생. 1983년 2월 한양대학교 전자공학과 졸업(공학사). 1988년 8월 한양대학교 대학원 전자공학과 졸업(공학석사). 1988년 3월 ~ 1993년 3월 한국 전자통신연구소 선임 연구원.

1993년 3월 ~ 현재 주식회사 팬택 기술 이사



趙仲彙(正會員)

1957년 5월 16일생. 1981년 2월 한양대학교 전자공학과 졸업(공학사). 1983년 2월 한양대학교 대학원 전자공학과 졸업(공학석사). 1986년 8월 한양대학교 대학원 전자공학과 졸업(공학박사). 1986

년 9월 ~ 현재 인천대학교 전자공학과 부교수