

論文96-33A-7-19

# H<sub>2</sub>O 분위기에서 치밀화시킨(densified) 산화막을 게이트 절연막으로 갖는 실리콘 전계방출소자의 제작

## (Fabrication of the Silicon Field Emitter Arrays with H<sub>2</sub>O Densified Oxide as a Gate Insulator)

鄭 皓 鍊 \*, 權 相 直 \*, 李 鐘 德 \*\*

(Ho Ryun Chung, Sang Jik Kwon, and Jong Duk Lee)

### 요 약

실리콘 전계방출소자의 제작시 게이트 절연막을 형성하기 위하여 일반적으로 전자선으로 증착된 산화막을 이용한다. 그런데 증착된 산화막은 Si이 풍부한 불규칙 구조를 가지기 때문에 공정을 안정화시키고 누설전류를 감소시키기 위해서는 증착된 산화막의 치밀화가 필요하다. 이를 위해 본 연구에서는 H<sub>2</sub>O 분위기에서 치밀화시킬 수 있는 공정기법을 개발하였다.

이 공정을 적용하여 게이트 홀 직경이 1.4 $\mu$ m이고 픽셀당 625개의 팁소자를 갖는 어레이를 제작하였다. 측정 결과, 게이트전압이 100V일 때 픽셀당 14.3 $\mu$ A의 아노드 전류가 발생했으며 게이트 누설전류는 전체 방출전류의 0.27%로 낮게 유지되었다.

### Abstract

Gate insulator for Si field emitter is usually formed by e-beam evaporation. However, the evaporated oxide requires densification for a stable process and a reduction of gate leakage which result from its Si-rich and nonstoichiometric structure. In this study, we have developed the process technology able to densify the evaporated oxide in H<sub>2</sub>O ambient. Using this process, we have fabricated the field emitter array with 625 emitters per pixel, of which gate hole diameter is 1.4 $\mu$ m. For the pixel, anode current of 14.3 $\mu$ A was extracted at a gate bias of 100V and gate leakage was about 0.27% of the total emission current.

### I. 서 론

최근 들어 반도체 집적회로 공정기술이 발달함에 따라 소자의 크기를 마이크로 단위로 축소시킨 머시닝 기술을 이용한 응용분야의 연구가 활기를 띠고 있다<sup>[1]</sup>. 이러한 마이크로머시닝 기술을 진공기술과 접목시켜 평

판 디스플레이로 응용한 것이 FED(field emission display)이다. 이러한 디스플레이를 제조함에 있어서 전자방출원으로 실리콘을 사용하여 원추형의 뾰족한 미세 팁을 형성한 후 팁 주위에 전장을 증대시켜 팁으로부터의 양자역학적 전자 터널링<sup>[2,3]</sup>을 이용한 전계 방출어레이(field emitter array)를 제작 할 수 있다<sup>[4]</sup>.

이러한 소자제작시 전자방출이 용이하도록 팁 주위에 게이트를 형성하는데, 소자의 자체정렬(self align)을 위하여 게이트 산화막은 전자선증착법을 이용한다<sup>[5,7]</sup>. 그러나, 전자선 증착법을 이용한 산화막은 기판에 증착시 완전한 SiO<sub>2</sub>구조가 아닌 산소가 부족한 불완전한 SiO<sub>x</sub>의 산화막으로 형성된다. 이러한 증착산화막은

\* 正會員, 暎園大學校 電子工學科

(Dept. of Electronics Eng., Kyungwon Univ.)

\*\* 正會員, 서울大學校 電氣工學部

(Dept. of Electrical Eng., Seoul Nat'l Univ.)

接受日字: 1995年2月26日, 수정완료일: 1996年5月18日

막질 불량에 따른 누설전류가 매우 크며, 파괴강도 (breakdown strength) 또한 매우 작아 게이트 절연막으로 사용을 어렵게 한다. 또한, 소자의 자체정렬을 위해 텃주위의 산화막을 제거하는 리프트오프(lift off) 단계에서 매우 큰 식각률에 따른 과도한 언더컷(under cut)으로 인하여 소자를 완성시킬 수 없다. 따라서, 증착산화막은 반드시 치밀화가 필요하며, 일반적으로 치밀화는 실리콘 텃을 손상시키지 않기 위하여 N<sub>2</sub> 나 O<sub>2</sub> 분위기에서 수행한다. 그러나, 이러한 분위기에서 치밀화 후 리프트오프 단계에서 게이트 산화막의 식각율이 크게 개선되지 못하여, 그림1에서와 같이 게이트 금속이 떨어져 나가는 현상이 발생되었다.

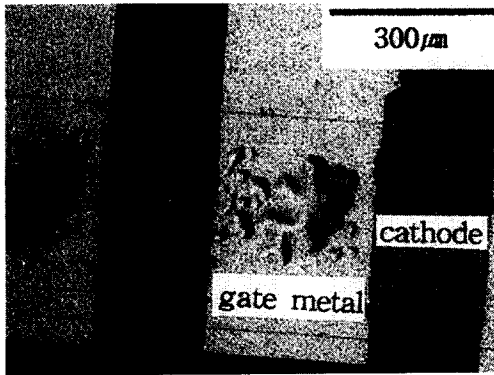


그림 1. O<sub>2</sub> 분위기에서 치밀화시 게이트 산화막과 금속막이 갈라진 그림

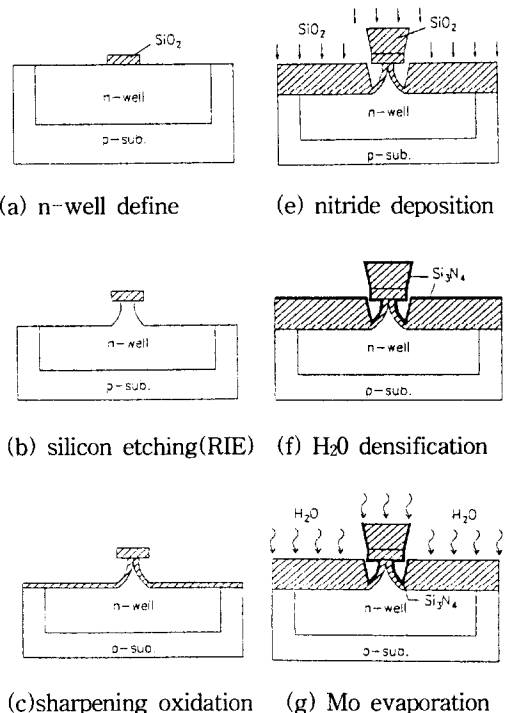
Fig. 1. Photograph showing the cracked gate oxide and metal when densified in O<sub>2</sub> ambient.

본 연구에서는 H<sub>2</sub>O분위기에서 실리콘 텃을 손상시키지 않으면서 증착산화막을 치밀화할 수 있는 공정기법을 개발하였다. 이 경우, 안정된 게이트 산화막을 얻을 수 있었으며, 열적으로 성장된 산화막과 비슷한 성질을 나타내었고, 게이트 누설전류도 매우 적게 발생하였다.

## II. 소자 제조

H<sub>2</sub>O 분위기에서 치밀화된 산화막을 게이트 산화막으로 갖는 실리콘 전계방출소자에 대한 공정순서별 단면구조의 흐름도가 그림2에 나타나 있다. 실험에 사용된 웨이퍼는 결정방향이 (100)이고, 비저항이 15~20 Ω·cm인 p형 실리콘 웨이퍼이다. 기판을 캐소드라인

(cathode line)으로 사용하기 위하여 n형 불순물인 POCl<sub>3</sub>을 마스크를 이용하여 선택적으로 확산시켰다. 실리콘 텃을 형성하기 위하여, 산화막을 0.5μm 정도 성장시킨 후 마스크 얼라이너를 이용하여 직경이 1.4μm인 원형의 디스크 산화막(disc oxide)을 만들었다. SF<sub>6</sub> 가스에 의한 RIE(reactive ion etching)로 실리콘을 적절한 모양으로 등방성 식각하여 에미터의 모양을 일차적으로 형성하였고, 빠른 전계방출 텃의 형성을 위해 열산화를 실시하였다. 게이트 산화막은 전자선 증착법을 사용하는데, 증착 직후의 산화막이 불안정하므로 H<sub>2</sub>O 분위기에서 치밀화를 수행하였다. H<sub>2</sub>O 분위기에서 치밀화를 위하여 실리콘 질화막을 LPCVD(low pressure chemical vapor deposition)방법으로 약 1600Å정도 증착한후 RIE에 의해 실리콘 질화막을 비등방성 식각하여 실리콘 질화막을 측벽(side wall)에만 형성하였다<sup>18)</sup>. 이로써, H<sub>2</sub>O 분위기에서 치밀화시 텃 끝이 산화되어 무디어지는것을 방지할 수 있었다. 치밀화 후 인산(H<sub>3</sub>PO<sub>4</sub>) 용액에서 실리콘 질화막을 스트립한 후 콘택(contact)을 형성하였다. 그 후 몰리브데늄(Mo)을 전자선 증착법으로 0.3μm만큼 방향성 증착한 다음, 7:1 BHF(buffered HF)용액에서 8분간 담궈 텃주위의 산화막을 제거하는 리프트오프 공정을 수행함으로써 소자를 완성하였다.



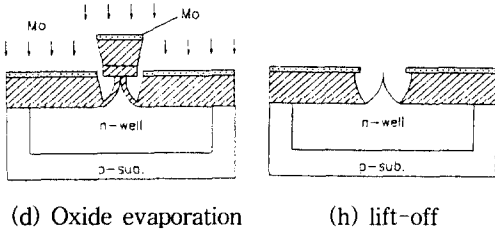


그림 2. H<sub>2</sub>O 분위기에서 치밀화시킨 산화막을 게이트 절연막으로 갖는 실리콘 전계방출소자의 제조 공정

Fig. 2. Fabrication process of silicon field emitter arrays with H<sub>2</sub>O densified oxide as a gate insulator.

III. 결과 및 고찰

H<sub>2</sub>O 분위기에서 치밀화된 산화막을 게이트 절연막으로 갖는 전계방출소자의 SEM(scanning electron microscopy) 단면도가 그림3에 나타나 있다.

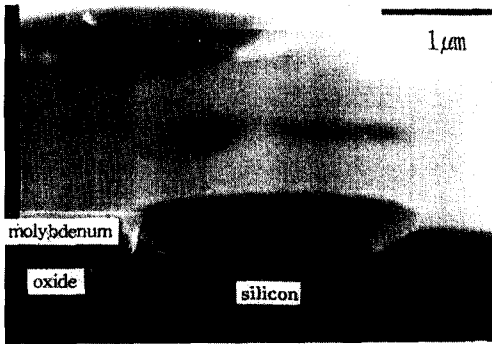


그림 3. 실리콘 전계방출소자의 단면 SEM사진  
Fig. 3. SEM cross-sectional view of silicon field emitter.

표 1. H<sub>2</sub>O, O<sub>2</sub> 및 N<sub>2</sub> 분위기에서 치밀화에 따른 증착 산화막 두께 변화

Table 1. Thickness variation of the evaporated oxide after densification in H<sub>2</sub>O, O<sub>2</sub> and N<sub>2</sub>.

	증착 직후 산화막 두께 (T <sub>i</sub> )	치밀화 후 산화막 두께 (T <sub>d</sub> )	ΔT (T <sub>d</sub> -T <sub>i</sub> )	ΔT (%)
H <sub>2</sub> O 치밀화 (900℃, 500min)	7293 Å	11492 Å	+ 4199 Å	+57.6
O <sub>2</sub> 치밀화 (900℃, 500min)	7147 Å	6837 Å	- 310 Å	-4.34
N <sub>2</sub> 치밀화 (900℃, 500min)	6493 Å	5676 Å	- 817 Å	-12.58

N<sub>2</sub>나 O<sub>2</sub>로 치밀화된 경우는 리프트오프시 게이트 절연층이 심하게 언더컷되어 소자의 형성이 불가능하였다. 표1은 증착산화막을 전기로(furnace)에서 900℃의 온도로 500분 동안 서로 다른 분위기에서 치밀화한 후의 두께변화를 나타낸 것이다. N<sub>2</sub>나 O<sub>2</sub> 분위기 하에서는 치밀화 후 산화막의 두께가 줄어들었고, H<sub>2</sub>O 분위기에서는 산화막의 두께가 증가한 것을 볼 수 있는데, 이는 H<sub>2</sub>O 분위기에서 치밀화시 다량의 산소가 증착 산화막에 공급되어 게이트 절연막이 완전한 SiO<sub>2</sub> 구조에 가깝게 되었기 때문이다. 그림4는 증착산화막을 서로 다른 조건으로 치밀화 했을 경우 7:1 BHF용액에서 식각시간에 따른 식각 두께변화를 나타낸 그래프이다. 치밀화하지 않은 경우는 매우 큰 식각율을 나타내었고, N<sub>2</sub>와 O<sub>2</sub> 분위기에서 치밀화한 경우는 열산화막보다 2배정도의 빠른 식각율을 보였으나, H<sub>2</sub>O 분위기에서 치밀화한 경우는 열산화막과 비슷한 식각율을 가짐을 알 수 있었다. 따라서, N<sub>2</sub>나 O<sub>2</sub> 분위기에서는 치밀화효과가 증착산화막의 막질개선에 영향을 주지 못했으나, H<sub>2</sub>O 분위기에서는 막전체에 걸쳐 치밀화효과가 나타났음을 알 수 있다.

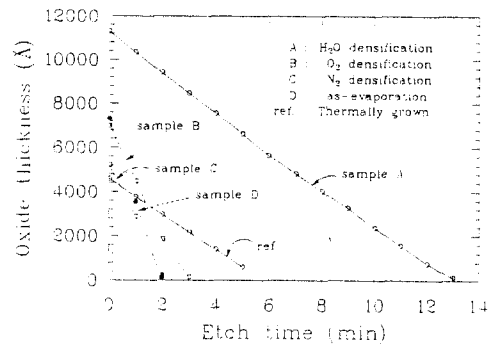


그림 4. 서로 다른 치밀화조건에 대해 7:1 BHF 용액에서 식각시간에 따른 증착 산화막의 두께 변화  
Fig. 4. Variations of the oxide thickness as a function of etch time in 7:1 BHF solution for several different conditions of densification.

그림 5는 제작된 전계방출소자의 측정을 위한 초고진공(ultra high vacuum) 측정 시스템이다. 전계방출소자의 측정은 초고진공에서 행하여진다. 전계방출은 매우 깨끗한 실리콘 팁에서 이루어지는데, 초고진공 상태가 아니면 캐소드에서 방출되는 전자가 공기분자와 충돌함으로써 발생한 양이온들이 캐소드를 파괴시키는

결과를 초래한다. 측정시스템의 구성은 초고진공형성을 위하여 로터리(rotary) 펌프와 터보분자(turbomolecular) 펌프로 고진공을 형성하고 히터를 이용하여 챔버벽면을 가열 한 후 이온 펌프만을 작동시켜 배기 함으로써 초고진공에 도달할 수 있었다. 측정시 진공도는  $7 \times 10^{-7}$  torr로 일정하게 유지하였다. 아노드전압은 Keithley 247 power supply를 이용하여 DC 300V로 일정하게 가해 주었다. 게이트전압은 Keithley 617 electrometer를 GPIB 인터페이스 보드(interface board)와 연결시켜 퍼스널 컴퓨터로 제어하였다. 게이트전압은 DC 0V~100V까지 2V간격으로 가해 주었다. 회로의 보호를 위하여 아노드 전극단과 게이트 전극단에 각각 27k $\Omega$ 과 3.3k $\Omega$ 의 보호저항을 연결하였다. 이때 아노드와 게이트의 거리는 2mm로 고정시켰다.

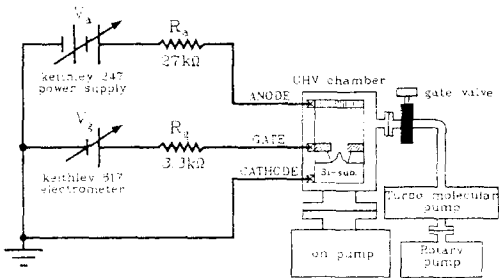


그림 5. 초고진공 측정 시스템  
Fig. 5. UHV measurement system.

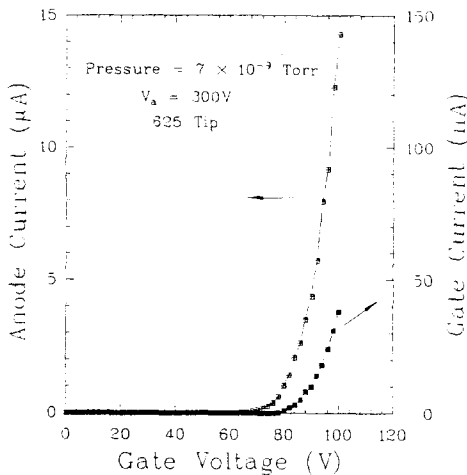


그림 6. 전계방출소자의 I-V 특성  
Fig. 6. I-V characteristics of field emitter arrays.

그림 6은 625개 팁에 대한 DC bias에서 I-V 특성

을 측정한 그래프이다. 아노드전압이 68V에서부터 지수함수적으로 증가하여 게이트전압이 100V일 때 아노드 전류는 14.3 $\mu$ A의 방출전류를 나타내었다. 이때 게이트 누설전류는 38.5nA로 전체 방출전류의 약 0.27%로 매우 낮은 값을 나타내었다. 따라서, 전자선 증착 산화막을 H<sub>2</sub>O 분위기에서 치밀화함으로써 열산화막과 비슷한 절연막의 특성을 보여줌을 알 수 있다. 그림7은 그림6을 Fowler-Nordheim곡선으로 나타낸 그래프이다. 그래프가 직선성을 보인 것으로 인해 전계방출에 의한 전류<sup>[9]</sup>임을 알 수 있었다.

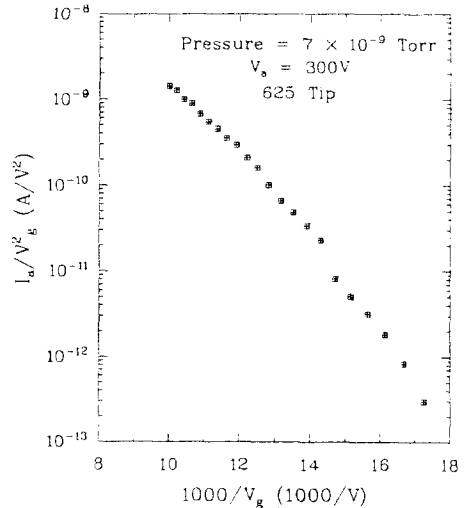


그림 7. 전계방출소자의 Fowler-Nordheim 곡선  
Fig. 7. Fowler-Nordheim plot of field emitter arrays.

#### IV. 결 론

반도체 집적회로 공정기술을 이용하여 실리콘 전계방출소자를 제작하였다. 전자선 증착법으로 게이트 산화막을 형성하였을 경우 게이트 절연막의 막질 불량을 초래하였다. 이를 해결하기 위해 H<sub>2</sub>O분위기에 치밀화를 실시하였다. H<sub>2</sub>O 치밀화 후 증착 산화막의 막질이 열산화막과 비슷해짐을 알 수 있었다. 이로써 H<sub>2</sub>O 분위기 하에서 치밀화시 다량의 O<sub>2</sub>를 증착산화막에 공급시켜 줌으로써 불안정한 구조의 증착산화막의 막질을 개선시킬 수 있었다. 제작된 소자는  $7 \times 10^{-9}$  torr의 초고진공 상태에서 측정하였다. 아노드 전압이 300V이고 게이트 전압이 100V일 때 625개 팁으로부터 14.3  $\mu$ A의 방출전류를 얻었다. 이 때 게이트 누설전류는

38.5nA로 측정되었으며 이는 전체 방출전류의 0.27%로 무시할 수 있을 정도의 적은 값이다.

참 고 문 헌

[1] Takao Utsumi, "Vacuum Microelectronics: What's New and Exciting," IEEE Trans, on Electron Devices, Vo.38, No.10, p.2276, Oct. 1991.

[2] R. H. Fowler and L. Nordheim, "Electron emission in intense electric fields," Proc. Roy. Soc. (London), vol. A-119, pp. 173-181, 1928.

[3] I. Brodie and C. A. Spindt, Advances in Electronics and Electron Physics, vol. 83, Academic Press, Inc, 1992.

[4] K. Betsui, "Fabrication and characteristics of Si field emitter arrays," 4th Int. Conf. on Vacuum Microelectronics, pp. 26-29, 1991.

[5] Nicol E. McGruer, K. Warner, P. Singhal, J. J. Gu, and Chung Chan, "Oxidation-Sharpener Gated Field Emitter Array Process," IEEE Trans. Electron Devices, vol. 38, p. 2389, 1991.

[6] Z. Huang, N. E. McGruer, and K. Warner, "200-nm Gated Field Emitters," IEEE Electron Device Lett., vol. 14, p. 121, 1993.

[7] M. Aslam, P. Klimecky, and G. P. Myers, "Triode Characteristics and Vacuum Consideration of Evaporated Silicon Micro-devices," J. Vac. Sci. Technol. B, vol. 11, No. 2, 1993.

[8] Hyung Soo UH, Jong Duk LEE and Nam Shin PARK, "New Fabrication Method of Silicon Field Emitter Array Using Pure Thermal Oxide", IVMC, pp.387-390, 1994.

[9] W. P. Dyke and W. W. Dolan, Advances in Electronics and Electron Physics, vol. 8, Academic Press, Inc, 1956.

저 자 소 개



鄭 皓 鍊(正會員)

1967년 11월 10일생. 1993년 2월 경원대학교 자연과학대학 물리학과(이학사). 1995년 2월 경원대학교 공과대학 전자공학과(공학석사). 1995년 6월~현재 오리온전기(주) 종합연구소 평면연구실(연구원). 주관심분야: FED 소자 제작 및 공정모의실험



李 鐘 德(正會員)

1966년 서울대학교 문리대 물리학과(이학사). 1968년~1970년 서울대학교 공과대학 응용물리학과(조교). 1970년~1975년 미국 University of North Carolina at Chapel Hill(조교,연구원). 1975년 미국 University of North Carolina at Chapel Hill 물리학과(이학박사). 1975년~1978년 경북대학교 공과대학 전자공학과(교수). 1978년~1983년 한국전자기술연구소(책임연구원, 연구부장). 1985년~1989년 서울대학교 반도체공동연구소(연구부장, 소장). 1983년~현재 서울대학교 공과대학 전자공학과(부교수, 교수). 주관심분야: 0.1 $\mu$ m CMOS 소자 및 FED 제조기술



權 相 直(正會員)

1982년 경북대학교 공과대학 전자공학과(공학사). 1983년~1988년 한국전자통신연구소(연구원). 1985년 경북대학교 공과대학 전자공학과(공학석사). 1988년~1992년 서울대학교 반도체공동연구소(연구원). 1991년 서울대학교 공과대학 전자공학과(공학박사). 1992년~현재 경원대학교 공과대학 전자공학과(조교수). 주관심분야: MOS 소자, FED 및 driver circuit