

論文96-33A-7-18

정전류 스트레스 하에서 게이트 산화막의 항복 특성 예측

(Prediction of Gate Oxide Breakdown under
Constant Current Stresses)鄭泰植*, 崔佑榮*, 李相敦**, 尹載皙*, 金宰永*,
金鳳烈*(Tae-Sik Cheung, Woo-Young Choi, Sang-Don Lee, Jae-Seog Yoon,
Jae-Young Kim, and Bong-Ryul Kim)

요 약

본 논문은 정전류 스트레스인가 시에 적용할 수 있는 게이트 산화막의 항복에 대한 통계적 모델을 제시한다. 이 모델은 산화막의 항복 시간과 인가된 정전류 밀도 사이의 관계를 직접적으로 연관지으며, "유효 산화막 얇아짐"의 개념을 사용하여 산화막 항복의 통계적 현상을 포함하고 있다. 본 논문에서 제시된 모델을 이용하여 임의의 정전류 스트레스 레벨에서 임의의 면적을 갖는 산화막의 TDDB 특성을 예측할 수 있다.

Abstract

A breakdown model of gate oxides under constant current stresses is proposed. This model directly relates the oxide lifetime to the stress current density, and includes statistical nature of oxide breakdown using the concept of "effective oxide thinning". It is shown that this model can reliably predict the TDDB characteristics for any current stress levels and oxide areas.

I. 서 론

게이트 산화막의 신뢰성(reliability) 특성은 산화막의 두께가 감소함에 따라 MOS 집적회로의 생산성(yield) 및 신뢰성을 결정하는 주된 요소가 되고 있다. 따라서, 동작 조건하에서 산화막의 수명 시간(lifetime)을 예측할 수 있는 신뢰성 있는 모델이 요구되고 있다. 뿐만 아니라 이러한 모델은 산화막의 항복 현상이 보이고 있는 통계적 특성을 포함하고 있어야 한다. 이를 위해 정전압 스트레스를 인가하여 산화막의 TDDB

(time-dependent dielectric breakdown) 특성을 평가할 수 있는 통계적 모델^[1]이 제시된 바 있으나, 정전류 스트레스를 인가하여 산화막의 TDDB 특성을 평가할 경우, 다음과 같은 이점을 얻을 수 있다. 즉, 정전류 스트레스를 인가하여 평가한 산화막의 항복 시간(time-to-breakdown; t_{BD})에 인가된 정전류를 곱함으로써 산화막의 신뢰성 특성을 평가할 수 있는 중요한 척도 중 하나인 항복 전하량(charge-to-breakdown)을 간단히 얻을 수 있다.^[2] 또한, 아직 정확한 원인은 밝혀지지 않았으나, 정전류 스트레스로부터 평가된 산화막의 TDDB 특성은 정전압 스트레스의 경우에 비해 작은 편차를 갖는 분포를 보이므로 보다 정확하게 산화막의 항복 특성을 해석할 수 있다.^[2] 이러한 상대적인 장점에도 불구하고 정전류 스트레스 인가시에 적용될 수 있는 유력한 항복 모델은 아직까지 제시되지 못하였으며 단지 실험에 의해 산화막의 항복 시간의 로그 값과 스트레스 정전류 밀도의 역수의 로그 값 사이

* 正會員, 延世大學校 電子工學科 半導體 研究室
(Microelectronics Lab., Dept. of Elec. Eng.,
Yonsei Univ.)

** 正會員, LG 半導體 (株)

(LG Semicon Co., Ltd.)

接受日字:1996年2月14日, 수정완료일:1996年5月31日

의 선형 관계가 관찰되었을 뿐이다.^[3]

본 논문의 목적은 정전류 스트레스 인가시에 적용할 수 있는 통계적인 항복 모델을 제시하는 것이다. 먼저, 산화막의 항복 시간과 스트레스 정전류 밀도 사이의 관계를 근사적으로 유도하고 이를 통해 산화막의 순수 항복(intrinsic breakdown)에 의한 수명 시간을 예측할 수 있음을 보인다. 또한 산화막에 존재하는 여러 종류의 결함(defect)들에 의해 나타나는 산화막 항복 특성의 통계적 현상을 고려하기 위해 “유효 산화막 얇아짐(effective oxide thinning)”의 개념^[4]과 누적 결함 밀도(cumulative defect density)를 모델에 포함시켰다. 본 논문에서 제시한 모델을 사용하여 정전류 스트레스의 크기에 따른 TDDB 특성의 변화 및 산화막의 면적에 따른 TDDB 특성의 변화를 예측하고 이를 실험 결과와 비교하여 모델의 타당성을 검증하고자 한다.

II. 소자 제작 및 측정 방법

1. 소자 제작

측정에 사용된 소자는 p-형 MOS 커패시터(capacitor)로서 비저항이 6~9 Ωcm이고 결정 방향이 (100)인 p-형 웨이퍼(wafer)를 사용하여 표준 세척 공정을 거친 뒤 Twin-well CMOS 공정에 의해 제작되었다. 자세한 공정 조건은 그림 1에 나타내었다

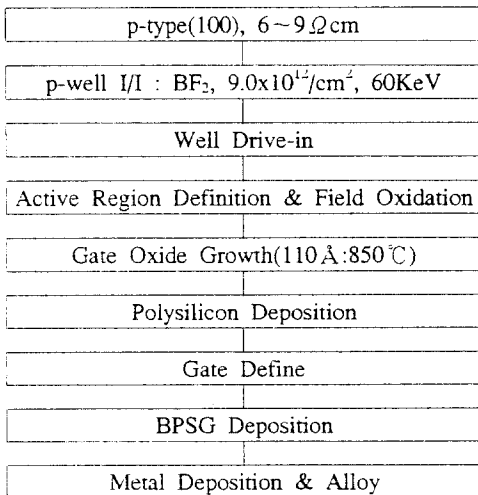


그림 1. 소자 제작을 위한 공정 흐름도
Fig. 1. Flow chart of device fabrication process.

며, 제작된 커패시터의 면적은 각각 12, 1000, 42000 μm²이고 게이트 산화막의 두께는 110Å이었다.

2. 측정 방법

정전류 스트레스란 스트레스 동안 산화막에 일정한 전류를 가하는 것을 의미한다. 산화막에 전기적인 스트레스가 인가되면 산화막 내에 전하(charge)가 포획(trap)되므로 일정한 전류를 유지하기 위해서는 그림 2와 같이 게이트 전압을 적절하게 보상해줄 필요가 있다. 본 연구에서는 Hewlett Packard 4145B Semiconductor Parameter Analyzer를 사용하여 산화막에 정전류 스트레스를 인가하면서 게이트 전압을 관찰하여 전압이 급격히 떨어질 때까지의 시간을 그 산화막의 항복 시간으로 결정하였다(그림 2). 또한, 측정된 데이터가 웨이퍼 내의 특정 영역이 갖는 지역적 특성을 포함하는 것을 방지하기 위하여 하나의 측정 조건에 대해 10에서 20개의 샘플 소자들을 웨이퍼 전반에 걸쳐 임의로 택하여 실험하였다.

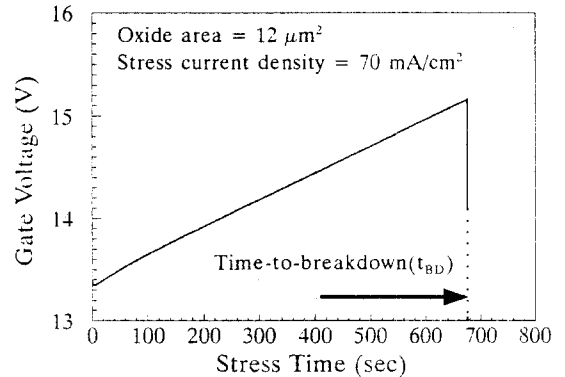


그림 2. 정전류 스트레스 인가시 게이트 전압의 변화

Fig. 2. Gate voltages under constant current stress.

III. 순수 항복 모델(Intrinsic breakdown model)

산화막의 항복 메커니즘(mechanism)은 아직까지 확실하게 밝혀지지 않았고 단지 몇 가지 항복 모델들^{[5]-[17]}이 제시되었을 뿐이다. 이 중 산화막에 포획된 홀(hole)에 의해 항복이 일어난다는 이론이 가장 유력한

것으로 알려져 있으며, 산화막의 수명 시간은 홀의 유입량이 임계값에 도달하는데 필요한 시간에 의해 결정된다는 것이 실험을 통해 밝혀졌다.¹⁵¹ 따라서 유입된 홀의 밀도를 Q_p 로 정의하면, Q_p 는 식 (1)과 같이 모델링된다.

$$Q_p \propto J \cdot t \tag{1}$$

여기서 $J = AE_{ox}^2 e^{-B/E_{ox}}$ 는 F-N(Fowler-Nordheim) 터널링(tunneling) 전류 밀도이고, $a \propto e^{-H/E_{ox}}$ 는¹⁸¹ 홀 생성 계수(hole-generation coefficient)이며, $A, B,$ 그리고 H 는 각각 상수이다. F-N 터널링 전류 식에서 전계 E_{ox} 의 변화가 전류 밀도 J 에 미치는 영향은 전계의 제곱항보다는 지수항이 더 크기 때문에 $J \propto e^{-B/E_{ox}}$ 로 근사시킬 수 있다. 이 관계를 식 (1)에 적용하면

$$Q_p \propto e^{-(B+H)/E_{ox}} \cdot t \propto [e^{-B/E_{ox}}]^{1+H/B} \cdot t \propto J^{1+H/B} \cdot t \tag{2}$$

가 된다. 따라서, 산화막의 회복을 일으키는 특정한 값의 홀 유입량 Q_p 를 측정하는데 필요한 시간, 즉 t_{BD} 는 식 (3)과 같이 산화막에 인가된 전류의 역수에 의존한다.

$$t_{BD} \propto \left(\frac{1}{J}\right)^{1+H/B} \tag{3}$$

식 (3)으로부터 산화막의 회복 시간의 로그 값 ($\ln(t_{BD})$)과 산화막에 인가된 정전류 밀도의 역수의 로그 값($\ln(1/J)$) 사이에 선형 관계가 존재함을 알 수 있으며, 이러한 관계가 그림 3에 나타나 있다. 그림 3은 면적이 $12 \mu\text{m}^2$ 인 산화막을 갖는 p-형 MOS 커패시터에 다섯 가지의 정전류 스트레스(70, 100, 200, 500, 1000 mA/cm^2)를 인가하여 측정된 회복 시간을 스트레스 정전류 밀도에 대해 나타낸 것으로, 식 (3)의 관계가 매우 잘 나타나고 있으며, 이 때의 기울기 ($1+H/B$)는 1.274로 평가되었다. 평가된 값의 타당성을 검증하기 위한 실험이 다음과 같이 행해졌다. 면적이 $12 \mu\text{m}^2$ 인 산화막을 갖는 p-형 MOS 커패시터에 게이트 전압을 0V에서부터 0.1V 간격으로 증가시키면서 전류를 측정하여 얻은 산화막의 전압-전류 특성을 그림 4에 나타내었다. 측정된 전류가 F-N 터널링 전류임을 확인하기 위해 그림 4의 결과를 다시

$\ln(J/E_{ox}^2)$ 대 $1/E_{ox}$ 로 나타낸 것이 그림 5에서 보된다. F-N 터널링 전류 식을 변형하면

$$\ln\left(\frac{J}{E_{ox}^2}\right) \propto -\frac{B}{E_{ox}} \tag{4}$$

가 되므로, 식 (4)로부터 $\ln(J/E_{ox}^2)$ 과 $1/E_{ox}$ 의 관계가 선형이고 기울기의 절대값이 상수 B 임을 알 수 있다. 그림 5로부터 인가된 전류 역시 F-N 터널링 전류임을 알 수 있고, F-N 터널링 전류 식의 상수 B 는 320.8 MV/cm 로 평가되었다. 이 값과 타 논문에서 보고된 H 값인 82 MV/cm 를¹⁹¹ 사용하여 $1+H/B$ 값을 구하면 1.256이 되므로 식 (3)으로부터 구한 $1+H/B$ 값이 신뢰할 만한 값을 알 수 있다.

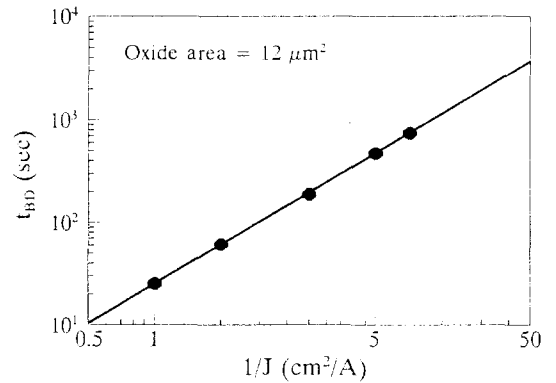


그림 3. 회복 시간(t_{BD})의 로그 값과 스트레스 정전류 밀도(J)의 역수의 로그 값과의 관계
Fig. 3. $\ln(t_{BD})$ vs. $\ln(1/J)$.

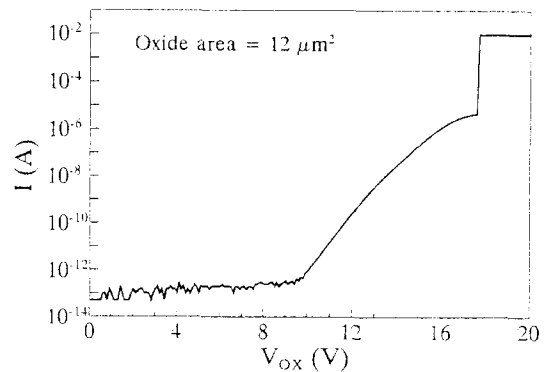


그림 4. 산화막의 전압-전류 특성
Fig. 4. I-V characteristics of oxides.

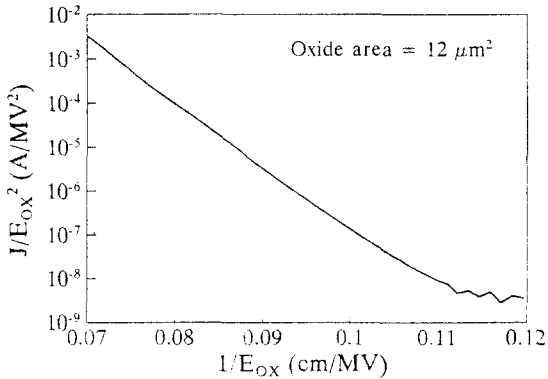


그림 5. 산화막의 F-N 터널링 특성
Fig. 5. F-N tunneling characteristics of oxides.

따라서, 세 가지 이상의 서로 다른 높은 정전류 스트레스를 인가하여 산화막의 항복 시간을 구해서 그림 3과 같은 선형 관계를 얻으면, 이 관계를 낮은 동작 전류로까지 연장(extrapolation)하여 산화막의 수명 시간을 예측할 수 있다. 즉, 동작 전류 밀도를 $5 \mu\text{A}/\text{cm}^2$ 으로 가정하면 커패시터의 수명 시간은 약 4.50년임을 알 수 있다.

IV. 결함이 고려된 항복 모델(Defect-related breakdown model)

III절에서 제시한 순수 항복 모델은 산화막 내에 존재하는 결함들을 고려하지 않은 순수 항복에 관계된 것이므로 산화막 내에 어떠한 결함도 없는 매우 작은 면적의 산화막에 대해서만 적용될 수 있다. 그러나, 실제의 산화막에는 결함들이 존재하므로 IC 회로에서의 산화막의 수율(yield)이나 신뢰성 특성 등은 순수 항복보다는 결함에 의한 항복에 의해 결정된다. 산화막 내에서 국부적인 취약점을 형성하는 결함들은 불순물 오염이나 기판(substrate) 내의 결정(crystal) 결함, 또는 취약점에서의 산화막의 국부적 얇아짐(local thinning)이나 표면의 거칠음(surface roughness) 등에 의해 발생할 수 있다.^{[10]·[12]} 이러한 결함들은 국부적으로 높은 전계 및 높은 트랩 생성율(trap generation rate)을 유발할 수 있고, 또한 국부적으로 큰 전류 밀도를 형성하게 된다. 이러한 모든 효과들은 산화막의 항복 시간을 단축시키는 결과를 초래하며, 결

함이 클수록 그 산화막의 항복 시간은 짧아지게 된다. 따라서, 동일한 크기의 정전류 스트레스를 인가하더라도 산화막 내에 존재하는 결함들의 정도는 소자마다 다르므로 항복 시간이 달라지게 된다. 즉, 실제 산화막의 항복은 산화막 내에 존재하는 결함들의 분포에 따라 통계적인 특성을 나타내게 되며, 이러한 산화막의 통계적 항복 특성을 설명하기 위해서는 결함들의 확률적 분포를 고려하는 통계적인 모델이 필요하다.

1. 유효 산화막 얇아짐을 이용한 모델(Effective oxide thinning(ΔT_{OX}) model)

산화막 내에 존재하는 여러 가지의 결함들은 결국 산화막의 항복 시간을 줄이는 작용을 하므로, 항복 시간의 단축이라는 관점에서 보면, 결함의 정도를 산화막의 두께가 국부적으로 얇아지는 것으로 모델링할 수 있다^[3]. 이러한 유효 산화막 얇아짐의 개념이 그림 6에서 보여지고 있다. 즉, 결함의 정도를 산화막의 두께가 국부적으로 얇아지는 정도(ΔT_{OX})로 모델링하면, 결함의 정도가 가장 심한 부분에서 얇아짐 정도가 가장 커지게 된다. 산화막에 정전류 스트레스를 인가하면 결함이 없는 부분, 즉 ΔT_{OX} 가 0인 부분에서의 전류 밀도보다 더 큰 전류 밀도가 결함이 있는 부분, 즉 ΔT_{OX} 가 존재하는 부분에서 흐르게 된다. 이는 스트레스 인가시 게이트 전압은 게이트 전체에 걸쳐 균일한 반면, 산화막의 두께가 부분적으로 다르므로 ΔT_{OX} 가 존재하는 부분에서의 전계가 ΔT_{OX} 가 0인 부분에서의 전계보다 더 커지기 때문이다. 따라서, 가장 큰 결함, 즉 가장 큰 ΔT_{OX} 를 갖는 부분에서 가장 큰 전계가 인가되고 이에 상당하는 전류가 국부적으로 흐르게 되어 결국 산화막의 항복은 이에 의해 결정된다. 이러한 개념적인 모델을 사용해서 유효 산화막 얇아짐의 양(ΔT_{OX})과 산화막의 항복 시간과의 관계를 근사적으로 유도할 수 있다. 즉, 두께가 T_{OX} 인 산화막을 갖는 커패시터에 밀도 J 의 정전류 스트레스를 인가하는 경우, 만일 산화막 내에 어떠한 결함도 존재하지 않는다면 산화막의 두께는 커패시터 내에서 항상 일정하므로 커패시터의 모든 영역에서 인가된 정전류 밀도 J 가 그대로 흐르게 된다. 이것은 결함이 포함되지 않은 순수 항복에 관계된 것이므로 이 때의 항복 시간을 $t_{BD,I}$ 라 하면 식 (3)으로부터 식 (5)의 관계를 얻을 수 있다.

$$\ln(t_{BD,I}) = k_1 \ln(1/J) + k_2 \quad (5)$$

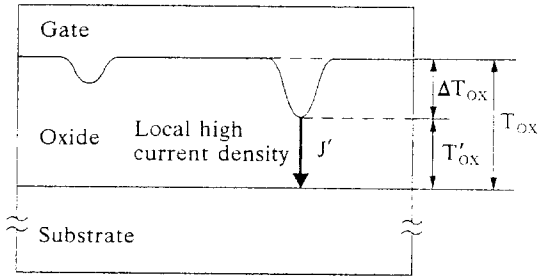


그림 6. 유효 산화막 얇아짐(ΔT_{OX})을 설명하기 위한 커패시터의 단면도

Fig. 6. Schematic explanation for effective oxide thinning(ΔT_{OX}).

여기서, k_1 과 k_2 는 각각 그림 3에서 보인 직선의 기울기와 y 절편이다. 반면, 산화막에 결함들이 존재할 경우, 커패시터 전체로 볼 때는 밀도 J 의 정전류가 그대로 흐르지만, 국부적으로는 그림 6에 나타나 있듯이 가장 큰 결함이 있는 부분에서 인가된 전류 밀도보다 더 큰 전류 밀도(J')가 흐르고, 이에 의해 산화막의 항복 시간이 결정된다. 따라서, 가장 큰 결함이 ΔT_{OX} 로 표현되는 산화막의 항복 시간(t_{BD})은 산화막의 두께가 ($T_{OX} - \Delta T_{OX}$)인 커패시터의 순수 항복 시간과 동일하므로 역시 식 (3)으로부터 식 (6)의 관계를 얻을 수 있다.

$$\ln(t_{BD}) = k_1 \ln(1/J) + k_2 \quad (6)$$

식 (5)에서 식 (6)을 빼면,

$$\ln(t_{BD,i}) - \ln(t_{BD}) = k_1 \ln\left(\frac{J}{J'}\right) \quad (7)$$

이 되고, III절에서와 마찬가지로 근사된 F-N 터널링 전류 식을 사용하여 전류 밀도 J 와 J' 을 각각에 상당하는 전계 E_{OX} 와 E'_{OX} 의 식으로 대치하여 정리하면 다음과 같이 된다.

$$\ln(t_{BD,i}) - \ln(t_{BD}) \approx Bk_1 \left(\frac{1}{E_{OX}} - \frac{1}{E'_{OX}} \right) \quad (8)$$

식 (8)에서 E_{OX} 와 E'_{OX} 는 각각 V_{OX}/T_{OX} 와 $V'_{OX}/(T_{OX} - \Delta T_{OX})$ 로 표현될 수 있고, V_{OX} 와 V'_{OX} 는 각각 결함이 없는 산화막과 최대 결함이 ΔT_{OX} 로 표현되는 산화막에 밀도 J 의 동일한 정전류 스트레스를 인가할 때 산화막에 가해지는 초기 전압을 나타낸다. 그러나, 산화막에 존재하는 결함이 차지하는 면적은 산화

막 전체의 면적에 비해 매우 작기 때문에 V_{OX} 와 V'_{OX} 의 차이도 매우 작으므로 E'_{OX} 는 $V_{OX}/(T_{OX} - \Delta T_{OX})$ 로 근사될 수 있다. 이 관계를 식 (8)에 적용하면

$$\ln(t_{BD,i}) - \ln(t_{BD}) \approx Bk_1 \left(\frac{T_{OX}}{V_{OX}} - \frac{T_{OX} - \Delta T_{OX}}{V_{OX}} \right) \quad (9)$$

가 되고, 이를 ΔT_{OX} 에 대해 정리하면 식 (10)과 같이 된다.

$$\Delta T_{OX} \approx \frac{[\ln(t_{BD,i}) - \ln(t_{BD})] \cdot E_{OX} \cdot T_{OX}}{Bk_1} \quad (10)$$

식 (10)은 유효 산화막 얇아짐(ΔT_{OX})과 산화막의 항복 시간(t_{BD})의 관계를 나타낸다. 식으로부터 알 수 있듯이 하나의 산화막 샘플로부터 측정된 항복 시간은 하나의 유효 산화막 얇아짐에 대응되며, 항복 시간이 짧아수록 ΔT_{OX} 는 커지게 된다. 이러한 관계가 그림 7에서 보여진다. 그림 7은 면적이 $42000 \mu\text{m}^2$ 인 산화막을 갖는 p-형 MOS 커패시터에 밀도 100 mA/cm^2 의 정전류를 인가하여 측정한 산화막의 항복 시간들의 누적 항복 분포(cumulative failure distribution)를 항복 시간 및 그에 대응되는 ΔT_{OX} 에 대해 나타낸 것이다. 그림으로부터 측정된 항복 시간들은 각각 하나의 ΔT_{OX} 에 대응되며, 짧은 항복 시간은 큰 ΔT_{OX} 에, 그리고 긴 항복 시간은 작은 ΔT_{OX} 에 대응됨을 알 수 있다. 평가된 ΔT_{OX} 들은 산화막 내에 존재하는 결함들을 개념적으로 모델링한 것이므로 스트레스 조건과는 무관하다. 따라서, 산화막의 면적이 동일하다면 특정 레벨의 정전류 스트레스를 인가하여 평가한 ΔT_{OX} 분포를 다른 크기의 정전류 스트레스 인가시에 적용하는 것이 가능하다. 즉, 임의의 크기의 정전류 스트레스 하에서의 순수 항복 시간($t_{BD,i}$)은 III절에서 제시한 순수 항복 모델로부터 예측할 수 있고, 스트레스의 크기에 대응되는 전계(E_{OX})는 F-N 터널링 전류 식으로부터 간단히 구할 수 있으므로, ΔT_{OX} 분포를 알고 있다면 임의의 크기의 정전류 스트레스 하에서의 산화막의 TDDB 특성을 예측할 수 있다. 그림 8은 그림 7에서 평가한 ΔT_{OX} 분포를 식 (10)에 적용하여 동일한 면적의 산화막을 갖는 커패시터에 대해 각각 50과 500 mA/cm^2 의 정전류 스트레스를 인가했을 때의 TDDB 분포를 예측한 결과와 측정 결과를 비교한 것이다. 그림에서 알 수 있듯이 모델로부터 예측된 TDDB 분포와 측정된 TDDB 분포가 상당히 일치된 경향을 보임

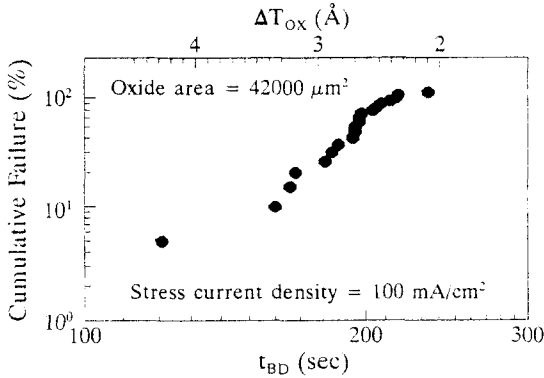


그림 7. 면적 $42000\mu\text{m}^2$ 의 산화막을 갖는 커패시터에 100 mA/cm^2 의 정전류 스트레스 인가 시 측정된 TDDB 특성 및 항복 시간(t_{BD})과 식 (10)으로부터 평가된 유효 산화막 얇아짐(ΔT_{Ox})의 관계

Fig. 7. Measured TDDB of capacitors with oxide area of $42000\mu\text{m}^2$ under constant current density of 100 mA/cm^2 , and the relationship between $\ln(t_{BD})$ and ΔT_{Ox} evaluated by Eq. 10.

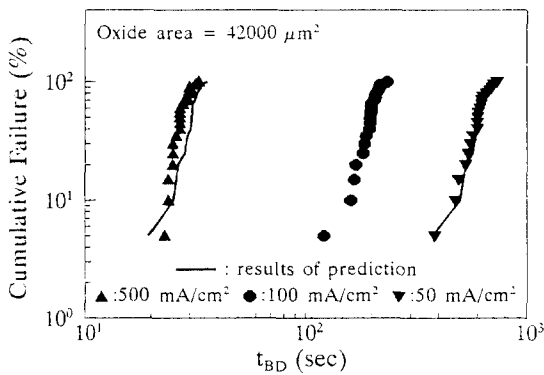


그림 8. 면적 $42000\mu\text{m}^2$ 의 산화막을 갖는 커패시터에 각각 50, 100, 500 mA/cm^2 의 정전류 스트레스 인가 시 측정된 TDDB 특성과 식 (10)으로부터 예측한 결과의 비교

Fig. 8. Measured TDDB of capacitors with oxide area of $42000\mu\text{m}^2$ under constant current densities of 50, 100, and 500 mA/cm^2 and the results of prediction using Eq. 10.

을 알 수 있으며, 이것으로 식 (10)의 ΔT_{Ox} 모델이 임의의 크기의 정전류 스트레스 하에서의 TDDB 분포

를 예측하기에 타당함을 검증하였다. 그림에서 보이는 예측 결과와 측정 결과 사이의 약간의 오차는 기준 자료의 양을 보다 많이 하여 ΔT_{Ox} 분포의 경향을 일반화시킴으로써 줄일 수 있을 것으로 보여진다.

2. 누적 결함 밀도를 이용한 모델(Cumulative defect density model)

위에서 제시한 ΔT_{Ox} 모델은 산화막의 면적이 동일해야 한다는 제한을 가지고 있다. 이는 ΔT_{Ox} 분포를 구하기 위해 사용된 산화막의 면적과 동일한 면적의 산화막에 대해서만 그 분포가 적용될 수 있고, 면적이 다른 경우에는 ΔT_{Ox} 의 분포가 달라지기 때문이다. 예를 들어, 산화막의 면적이 크면 클수록 산화막 내에 큰 결함이 존재할 확률은 보다 커지므로 특정 면적의 산화막을 갖는 커패시터로부터 평가된 ΔT_{Ox} 분포를 면적이 다른 산화막의 경우에 그대로 적용시키면 정확한 항복 분포를 예측할 수가 없다. 따라서, 임의의 면적을 갖는 산화막의 항복 특성을 예측하기 위해서는 ΔT_{Ox} 들의 확률 밀도를 고려해야 한다. 면적이 A 인 산화막을 갖는 커패시터가 임의의 항복 시간(t_{BD})보다 작은 시간에 항복이 일어날 확률은 t_{BD} 에 대응되는 ΔT_{Ox} 보다 더 큰 유효 산화막 얇아짐이 그 산화막 내에 존재할 확률과 같으며, 이는 식 (11)로 표현된다.

$$P(x < t_{BD}) = P(y > \Delta T_{Ox}) \quad (11)$$

여기서, x 와 y 는 각각 항복 시간과 유효 산화막 얇아짐을 나타내는 확률 변수이다. 또한, 식 (11)의 우변은 식 (12)와 같이 유효 산화막 얇아짐이 기준 ΔT_{Ox} 보다 작을 확률을 이용해서 표현할 수 있다.

$$P(y > \Delta T_{Ox}) = 1 - P(y \leq \Delta T_{Ox}) \quad (12)$$

식 (12)의 우변은 산화막 내에 존재하는 결함의 밀도, 즉 ΔT_{Ox} 의 밀도가 분포하는 형태에 따라 달라진다. 본 논문에서는 결함들의 밀도가 웨이퍼 내에서 비균일하게 분포하는 것으로 가정함으로써 실제 상황에 보다 가까운 모델이 되도록 하였다. 이러한 경우, 결함 밀도의 분포는 감마 분포(gamma distribution)를 사용하여 모델링할 수 있으며 식 (13)과 같이 표현된다.

$$P(y \leq \Delta T_{Ox}) = \frac{1}{[1 + AD(\Delta T_{Ox})S]^{1/S}} \quad (13)$$

여기서, A 는 산화막의 면적, $D(\Delta T_{Ox})$ 는 누적 결함

밀도, 그리고 S 는 결함들의 밀집도(clustering factor)를 나타낸다. 결함 밀집도 S 는 0에서 1 사이의 값을 가지며 S 값이 0에 근접할수록 결함들이 웨이퍼 내에서 보다 균일하게 분포함을 의미한다. 식 (13)을 식 (12)에 대입하고, 이를 다시 식 (11)에 대입하면, 식 (14)와 같이 된다^[13].

$$P(t < t_{BD}) = 1 - \frac{1}{[1 + A D (\Delta T_{Ox}) S]^{1/S}} \quad (14)$$

식 (14)로부터, 산화막의 누적 항복율은 산화막의 면적 A 와 누적 결함 밀도($D(\Delta T_{Ox})$)에 의존함을 알 수 있다. 누적 결함 밀도는 먼저, 커패시터들에 정전류 스트레스를 인가하여 평가한 누적 항복율과, 각각의 항복 시간들을 식 (10)의 모델에 적용하여 ΔT_{Ox} 들을 구하고, 이를 식 (14)에 적용하여 구할 수 있다. 이렇게 해서 얻어진 누적 결함 밀도를 다시 식 (14)에 적용함으로써 임의의 면적을 갖는 산화막의 TDDB 특성을 예측할 수 있다. 본 논문에서는 식 (14)에서 결함 밀집도 S 를 0.65로 정했는데, S 값은 식 (14)를 이용한 예측 결과에 거의 영향을 주지 않는 것으로 나타났다. 그림 9는 면적이 $12 \mu\text{m}^2$ 인 산화막을 갖는 p-형 MOS 커패시터에 다섯 가지의 정전류 스트레스(70, 100, 200, 500, 1000 mA/cm^2)를 인가하여 얻은 TDDB 데이터를 사용하여 식 (10) 및 식 (14)를 써서 평가한 누적 결함 밀도를 나타낸 것이다. 그림으로부터, 산화막 내에 존재하는 결함의 정도가 적을수록 밀도가 커지고 결함의 정도가 클수록 그 밀도가 작아짐을 알 수 있다. 또한, 누적 결함 밀도의 로그 값과 ΔT_{Ox} 의 관계가 비교적 선형으로 나타나고 있으므로 이를 지수함수(exponential function: $y = a e^{bx}$)로 근사시킨 결과가 그림 9에 함께 나타나있다. 이 때 지수함수의 계수인 a 와 b 값은 각각 3.225×10^7 과 -3.282 였다. 그림 9에서 보인 누적 결함 밀도 함수는 웨이퍼 내에서 각각의 스트레스 조건에 대해 10에서 20개의 임의로 선택된 $12 \mu\text{m}^2$ 커패시터 샘플들로부터 평가된 것이므로, 이를 동일 웨이퍼 내에 있는 임의의 면적을 갖는 커패시터의 경우에도 적용할 수 있다. 그림 10은 면적이 각각 12, 1000, $42000 \mu\text{m}^2$ 인 산화막을 갖는 p-형 MOS 커패시터에 $100 \text{mA}/\text{cm}^2$ 의 정전류 스트레스를 인가하여 평가한 TDDB 특성과 그림 9에서 보인 누적 결함 밀도를 식 (14)의 결함 밀도 모델에 적용하여 각각의 경우에 대해 예측한 TDDB 특성을 함께 나타내었다.

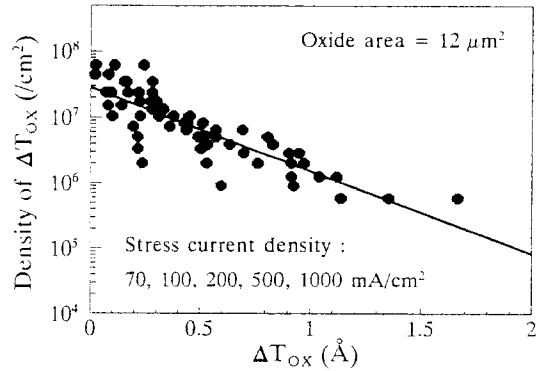


그림 9. 면적 $12 \mu\text{m}^2$ 의 산화막을 갖는 커패시터에 각각 70, 100, 200, 500, 1000 mA/cm^2 의 정전류 스트레스를 인가하여 구한 TDDB 특성으로부터 평가한 산화막의 누적 결함 밀도

Fig. 9. Cumulative defect density evaluated from the measured TDDB of capacitors with oxide area of $12 \mu\text{m}^2$ under constant current densities of 70, 100, 200, 500, and 1000 mA/cm^2 .

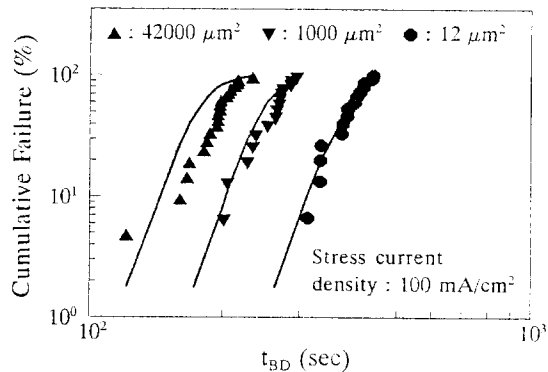


그림 10. 면적이 각각 12, 1000, $42000 \mu\text{m}^2$ 인 산화막을 갖는 커패시터에 $100 \text{mA}/\text{cm}^2$ 의 정전류 스트레스 인가시 측정된 TDDB 특성 및 식 (14)로부터 예측한 결과의 비교

Fig. 10. Measured TDDB of capacitors with oxide areas of 12, 1000, and $42000 \mu\text{m}^2$ under constant current density of $100 \text{mA}/\text{cm}^2$ and the results of prediction using Eq. 14.

그림에서 알 수 있듯이 측정 결과와 모델로부터 예측된 결과가 상당히 일치한 경향을 보이고 있다. 그림에서, 산화막의 면적이 커질수록 측정 결과와 예측 결

과 사이의 오차가 점차 커지는 것을 알 수 있는데, 이는 매우 작은 면적($12\mu\text{m}^2$)의 산화막에 대해 얻은 자료로부터 매우 큰 면적($1000, 42000\mu\text{m}^2$)의 산화막의 TDDB 특성을 예측하고 있기 때문이다. 이러한 면적의 차이를 고려할 때 그림에서 보이는 오차는 매우 근소한 것임을 알 수 있고, 따라서 식 (14)의 모델이 임의의 면적을 갖는 산화막의 TDDB 특성을 예측할 수 있음을 확인하였다.

V. 결 론

본 논문에서는 정전류 스트레스 인가시에 적용할 수 있는 산화막의 항복에 대한 통계적 모델을 제시하고, 측정을 통해 모델의 타당성을 검증하였다. 먼저, 산화막의 순수 항복 시간과 스트레스 정전류 밀도 사이의 관계를 근사적으로 유도하고, 이를 통해 동작 조건하에서 산화막의 수명 시간을 예측할 수 있음을 보였다. 또한, 산화막 내에 존재하는 결함들에 의해 나타나는 산화막 항복의 통계적 현상을 예측하기 위해 정전류 스트레스 인가시에 적용할 수 있는 통계적 모델을 유효 산화막 얇아짐의 개념을 사용하여 제시하였다. 이 모델로부터 동일 면적의 산화막에 임의의 크기의 정전류 스트레스를 인가했을 때의 TDDB 특성을 예측할 수 있음을 측정 결과와의 비교를 통해 확인할 수 있었다. 마지막으로 본 논문에서 제시한 모델에 결함들의 누적 밀도를 적용시킬 경우, 임의의 스트레스 정전류 밀도에 대해서 뿐만 아니라 임의의 면적을 갖는 산화막의 TDDB 특성을 예측할 수 있음을 확인하였다.

참 고 문 헌

- [1] J.C. Lee, I.C. Chen, and C. Hu, "Modeling and Characterization of Gate Oxide Reliability," *IEEE Trans. on Elec. Dev.*, vol. 35, no. 12, pp. 2268-2278, 1988.
- [2] P. Olivo, T.N. Nguyen, and B. Ricc6, "Influence of Localized Latent Defects on Electrical Breakdown of Thin Insulators," *IEEE Trans. on Elec. Dev.*, vol. 38, no. 3, pp. 527-531, 1991.
- [3] E. Harari, "Dielectric Breakdown in Electrically Stressed Thin Films of Thermal SiO₂," *J. Appl. Phys.*, vol. 49, no. 4, pp. 2478-2489, 1978.
- [4] H. Abe, F. Kiyosumi, K. Yoshioka, and M. Ino, "Analysis of Defects in Thin SiO₂ Thermally Grown on Substrate," *IEEE IEDM Tech. Dig.*, pp. 372-375, 1985.
- [5] I.C. Chen, S.E. Holland, and C. Hu, "Electrical Breakdown in Thin Gate and Tunneling Oxides," *IEEE Trans. on Elec. Dev.*, vol. 32, no. 2, pp. 413-422, 1985.
- [6] B. Ricc6, M. Azbel, and M. Brodsky, "Novel Mechanism for Tunneling and Breakdown of Thin SiO₂ Films," *Phys. Rev. Lett.*, vol. 51, no. 19, pp. 1795-1798, 1983.
- [7] T.H. Distefano and M. Shatzkes, "Impact Ionization Model for Dielectric Instability and Breakdown," *Appl. Phys. Lett.*, vol. 25, no. 12, pp. 685-687, 1974.
- [8] N. Klein and P. Solomon, "Current Runaway in Insulators Affected by Impact Ionization and Recombination," *J. Appl. Phys.*, vol. 47, no. 10, pp. 4364-4372, 1976.
- [9] Y. Nissan-Cohen, J. Shappir, and D. Frohman-Bentchkowsky, "High-Field and Current-Induced Positive Charge in Thermal SiO₂ Layers," *J. Appl. Phys.*, vol. 57, no. 8, pp. 2830-2839, 1985.
- [10] J.R. Monkowski and R.T. Zahour, "Failure Mechanism in MOS Gates Resulting from Particulate Contamination," *Proc. Int. Rel. Phys. Symp.*, pp. 244-247, 1982.
- [11] K. Yamabe and K. Taniguchi, "Time-dependent Dielectric Breakdown of Thin Thermally Grown SiO₂ Films," *IEEE Trans on Elec. Dev.*, vol. 32, no. 2, pp. 423-428, 1985.
- [12] K. Honda, A. Ohsawa, and N. Toyokura, "Breakdown in Silicon Oxides-Correlation with Cu Precipitates," *Appl. Phys. Lett.*, vol. 45, no. 3, pp. 270-271, 1984.
- [13] S.M. Sze, *VLSI Technology, 2nd Ed.*, McGraw-Hill, New York, 1988, pp. 617-622.

— 저 자 소 개 —



鄭泰植(正會員)

1970년 11월 5일생. 1993년 11월 연세대학교 전자공학과 졸업. 1995년 8월 동 대학원 석사 학위 취득. 1995년 9월~현재 동 대학원 박사 과정. 주 관심 분야는 MOS device reliability와

Analog circuit design 설계임

崔佑榮(正會員)

1963년 8월 10일생. 1988년 5월 MIT EECS BS 및 MS 취득. 1994년 5월 동 대학원 Ph.D 취득. 1994년 10월~1995년 8월 일본 NTT 광전자 연구소 Post-doctoral fellow. 1995년 9월~현재 연세대학교 전자공학과 교수. 주 관심 분야는 반도체 물성 및 광전자임

李相敦(正會員) 第 30卷 A編 第 12號 參照

1995년 2월 연세대학교 대학원 전자공학과 졸업(공학 박사). 현재 LG반도체 ULSI 연구소 기반기술실 책임연구원

尹載哲(正會員)

1959년 4월 12일생. 1982년 2월 경북대학교 전자공학과 졸업 1985년 2월 연세대학교 대학원 전자공학과 졸업(공학 석사). 1993년 8월~현재 해전 전문대학교 전자과 전임강사. 1994년 3월~현재 동 대학원 박사과정. 주 관심 분야는 device reliability와 화합물 반도체임



金宰永(正會員)

1962년 5월 13일생. 1990년 2월 연세대학교 전자공학과 졸업. 1992년 2월 동 대학원 석사 학위 취득. 1992년 3월~현재 동 대학원 박사 과정. 주 관심 분야는 device reliability와 analog

circuit design임

金鳳烈(正會員) 第 25卷 第 11號 參照

현재 연세대학교 전자공학과 교수