

論文96-33A-7-14

에피 코발트 실리사이드막으로 부터의 붕소 확산을 이용한 극저층 p⁺n 접합 형성

(Ultra Shallow p⁺n Junction Formation Using the Boron Diffusion from Epi-Co Silicide)

卞聖慈*, 權相直*, 金起範**, 白洪九**

(Sung Ja Byun, Sang Jik Kwon, Gi Bum Kim, and Hong Koo Baik)

요 약

Co(120Å)/Ti(50Å) 이중금속막을 alloy(RTA-I) 함으로써 에피층의 코발트 실리사이드막을 형성하였다. 또한 에피 실리사이드를 통해 BF₂⁺ 이온을 주입하고 나서 annealing(RTA-II)에 의한 후속 열처리 공정을 함으로써 바탕농도 10¹⁸atoms/cm³에서 접합깊이가 약 40nm 미만인 극저층 p⁺n의 접합을 얻을 수 있었다. 이 때 RTA-I의 온도를 가능한 낮게 하고 RTA-II의 온도를 적정온도로 하였을 경우, 누설전류가 적고 안정된 에피층의 실리사이드막을 갖는 p⁺n 접합이 형성됨을 알 수 있었다. 즉, RTA-I의 조건을 900°C, 20초로 하고 RTA-II 조건을 900°C, 10초로 했을 때 -5V 역방향 전압에서 누설전류가 11.3μA/cm²로 매우 높게 나타났고 CoSi₂의 표면상태도 비교적 거친 반면, RTA-I의 조건을 800°C/20초와 700°C/20초로 하였을 경우 누설전류는 각각 8.3nA/cm², 9.3nA/cm²으로 낮고, 실리사이드 막도 매우 균일한 것으로 나타났다.

Abstract

The epi-CoSi₂ layer was formed by alloying a Co(120Å)/Ti(50Å) bilayer. In addition, the ultra shallow p⁺n junction of which depth is about not more than 40nm at the background concentration, 10¹⁸atoms/cm³ could be formed by annealing(RTA-II) the ion implanted epi-silicide. When the temperature of RTA-I is as low as possible and that of RTA-II is moderate, the p⁺n junction that has low leakage current and stable epi-silicide layer could be obtained. That is, when the condition of RTA-I was 900°C/20sec and that of RTA-II was 900°C/10sec, the reverse leakage current was as high as 11.3μA/cm² at -5V. The surface of CoSi₂ appeared considerably rough. However, when the condition of RTA-I was 800°C/20sec or 700°C/20sec, the leakage currents were as low as 8.3nA/cm² and 9.3nA/cm², respectively and also the surfaces appeared very uniform.

I. 서 론

ULSI로 감에따라 소자의 축소에 따른 여러가지 문제점을 극복한 안정된 소자가 요구된다. 특히 금속라인

의 면저항 감소, 고농도로 도핑된 단결정 소스-드레인 및 다결정 실리콘 게이트 영역의 접촉저항 감소^[1], 그리고 극히 얇은 접합(<100nm)^[2] 형성은 필수적으로 요구된다. 접촉저항을 낮추기 위하여 보편적으로 사용되고 있는 기술이 실리사이드 공정이다. 기존의 실리사이드막은 단일 금속층을 이용하여 형성된 다결정막이었는데 거친 '실리사이드/실리콘' 계면 형성과 고온 열처리에서의 열적 불안정성 등의 문제를 갖고 있어 초고집적 소자에 적용하기 어렵다. 이에 따라 실리사이드

* 正會員, 暎園大學校 電子工學科

(Dept. of Elec. Eng., Kyungwon Univ.)

** 正會員, 延世大學校 金屬工學科

(Dept. of Metallurgical Eng., Yonsei Univ.)

接受日字:1996年1月9日, 수정완료일:1996年6月24日

와 실리콘 계면이 평탄하고 열적으로 안정된 에피 실리사이드막 형성에 큰 관심을 두게 되었다.

전이금속 실리사이드로 가장 주목된 것이 $TiSi_2$ 와 $CoSi_2$ 이다^[3]. $TiSi_2$ 와 $CoSi_2$ 를 비교해 볼 때, $TiSi_2$ 형성시 diffusion source는 Si이기 때문에 실리사이드가 산화막 위로 수평적 성장을 하게되어 소스(드레인)와 게이트 간에 단락을 유발할 가능성이 있고 이것은 ULSI에 큰 장애가 된다. 반면 $CoSi_2$ 는 diffusion source가 Co이므로 산화막 위로의 성장이 없는 대신 $TiSi_2$ 와는 달리 Si 표면상의 자연 산화막 제거 능력이 없어 균일하지 못한 비저항을 갖게 된다. 이러한 문제들을 보완하기 위해 얇은 Ti막 위에 Co를 연속 증착하는 이중 금속막을 이용한 실리사이드 방법을 사용하게 되었다. 이 방법은 막의 역전효과를 이용한 것으로, 여기서 Ti의 역할은 Si 상의 자연 산화막을 제거하여 Ti 물질을 통해 확산한 Co 원자가 Si과 반응하여 균일한 $CoSi_2$ 에피 실리사이드막을 생성하게 하는 것이다^[4, 5]. 이 때 Ti은 낮은 온도에서 Co가 Si 상으로 확산해 들어 가는 것을 둔화시키는 반응장벽 역할을 함으로써 안정된 단결정의 에피 $CoSi_2$ 막 형성을 가능하게 한다.

실리사이드 형성 후 산화막 위의 미반응 금속물질 제거는 실리사이드에 영향을 주지 않는 선택적 식각 용액을 통해 이뤄진다.

종래의 접합 형성 방법은 실리콘 표면으로 직접 이온을 주입하였으며 기판 손상을 제거하기 위해 고온 열처리가 필요하였다. 이것은 도펀트 확산으로 인해 얇은 접합 조절을 어렵게 한다. 반면 열처리 온도를 낮추면 접합 깊이는 감소되나 높은 표면저항과 함께 잔존 이온주입 손상으로 인해 누설전류가 발생된다^[6]. 따라서 극저층 접합형성을 위해서는 기판 손상을 최소화할 수 있는 새로운 공정 방법이 요구된다.

본 연구에서는 Co/Ti 이중 금속막을 단일 금속열처리하여 에피 코발트 실리사이드막을 얻고자 하였다. 그리고 이렇게 생성된 실리사이드막 속으로 이온주입하여 기판 손상을 최소화 시키고 급속열처리 함으로써 즉, 실리사이드막 자체를 도펀트 diffusion source로 이용함으로써 극저층 접합을 형성하고자 하였다.

II. 실험 내용

본 실험에 사용된 시편들은 P(phosphorus)가 도핑

된 n형으로서 비저항 값이 $10\sim 20\Omega\cdot cm$ 이고 결정방향이 (100)인 4인치 실리콘 웨이퍼 들이다.

실험을 위하여 표면분석용 시편과 다이오우드 제작용 시편들을 동시에 진행 시켰으며, 다이오우드 제작과정은 그림 1과 같다.

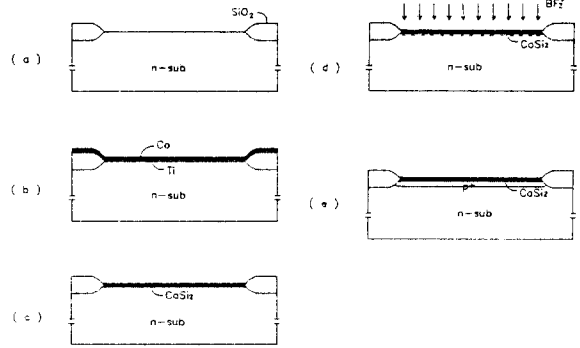


그림 1. 에피 Co-실리사이드막을 갖는 극저층 p+n 접합 다이오우드 제작 공정 순서.

(a) active 영역정의, (b) Co/Ti 증착, (c) alloy(RTA-I), (d) BF_2^+ 이온주입, (e) annealing(RTA-II)

Fig. 1. Process sequence for the fabrication of ultra shallow p+n junction diode with epi- $CoSi_2$.

(a) definition of active area, (b) evaporation of Co/Ti, (c) alloy(RTA-I), (d) BF_2^+ implantation, and (e) annealing(RTA-II).

우선 LOCOS 공정을 통해 field oxide를 5000\AA 성장시킴으로써 액티브 영역을 정의하였다(그림 1.(a)). 그 다음 금속 증착 전에 10 : 1 HF로 10초간 세정하고 multi-source e-beam evaporator로 Ti과 Co를 순차적으로 증착하였다(그림 1.(b)). 우선 Ti 증착 두께에 따라 형성되는 실리사이드막의 특성을 살펴보기 위해 Co만 120Å, Co(120Å)/Ti(50Å), 그리고 Co(120Å)/Ti(100Å)으로 나누었고, 이 때 진공은 2.6×10^{-6} torr 이하로 유지시켰다. 증착 직후 실리사이드 형성을 위한 alloy 공정은 급속열처리(RTA-I)로 4slpm의 질소 분위기에서 하였고 온도는 $900^\circ C$, 시간은 20초간 수행하였다. field oxide 상의 미반응 금속 물질을 제거하기 위하여 선택적 식각용액 $3HCl : 1H_2O_2$ 로 10초간 식각 하였다(그림 1.(c)). 식각 후 실리사이드막 속으로 40keV, $2 \times 10^{15} cm^{-2}$ 의 조건으로 BF_2^+ 이온을 주입하였다(그림 1.(d)). p+n 접합 형성을

위한 annealing 공정 역시 급속열처리(RTA-II)로 4slpm의 질소 분위기에서 하였고, 이 때의 열처리 조건은 900°C, 10초였다(그림1.(e)).

RTA-I 과정의 온도에 따른 에피 코발트 실리사이드막의 표면 거칠기 및 누설 전류 영향을 고찰하기 위하여 Co(120Å)/Ti(50Å)의 이중 금속막에 대해 alloy(RTA-I) 공정을 700°C/20초와 800°C/20초로 변화시키는 실험을 수행하였다.

실험에서 비저항 측정은 sono-gauge로 하였고 금속막 증착 직후부터 접합형성 후의 면저항 측정은 4점 탐침기(4-point probe)를 사용하였다. 접합형성 전후의 실리사이드막의 질과 형태를 알아보기 위해 TEM 분석과 XRD 상분석을 실시하였고, 형성된 실리사이드막의 표면 상태를 보기 위해 SEM 관찰을 하였다. 그리고 실리사이드막 속으로 이온주입된 붕소의 annealing 전후의 깊이에 따른 붕소 농도 분포를 보기 위해 SIMS 분석을 하였다. 제작된 p'n 접합 다이오우드의 역방향 누설전류 특성을 살펴보기 위해 4145B parameter tester를 사용하였다.

III. 결과 및 고찰

1. 'Co/Ti' alloy(RTA-I)의 온도를 900°C로 한 경우 Ti 증착 두께 변화가 에피 코발트 실리사이드막 형성에 주는 영향을 보기위해 금속막 두께를 Co만 120 Å, Co/Ti(120Å/50Å), 그리고 Co/Ti(120Å/100Å)

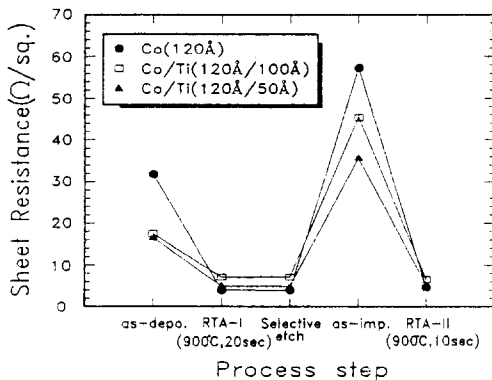


그림 2. 여러가지 'Co/Ti' 조건에 대한 열처리 단계 별 면저항 변화

Fig. 2. The variation of sheet resistance with each step for different 'Co/Ti' conditions.

으로 하여 다이오우드 제작 공정을 수행하였다. Ti와 Co를 순차적으로 증착한 직후부터 접합형성 열처리 후까지의 면저항 변화가 그림 2에 나타나 있다.

실리사이드 형성을 위한 열처리(RTA-I)는 N₂ 분위기에서 900°C, 20초로 하였고 열처리 후 면저항 값이 상당히 감소되었다. 그 값은 각각의 금속막 두께에 대해 4.0, 4.9, 7.1Ω/sq.로 나타났다. 이온주입 직후 급격히 증가된 면저항 값은 접합형성 열처리(RTA-II :

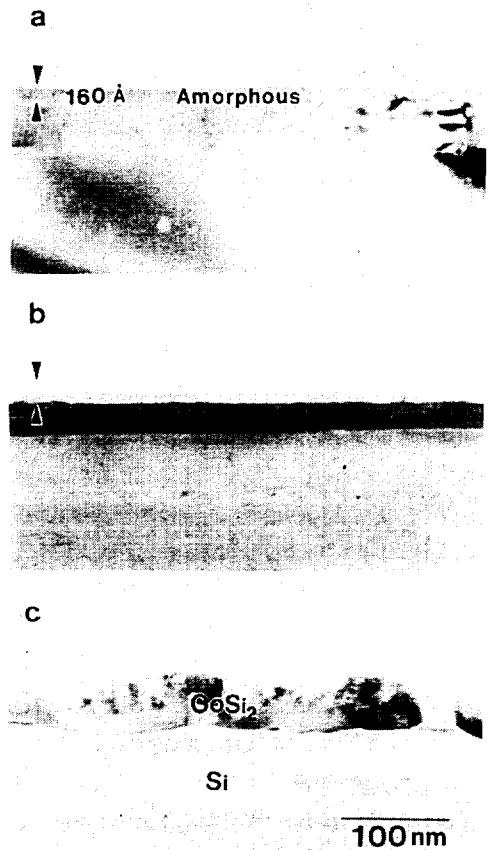


그림 3. 900°C의 alloy(RTA-I) 온도에 의해 형성된 실리사이드막 속으로 BF₂⁺ 이온주입 직후의 시편들에 대한 TEM 단면사진 (a) Co(120Å)/Ti(50Å), (b) Co(120Å)/Ti(100Å), (c) Co(120Å)

Fig. 3. TEM cross section views for the samples as-implanted with BF₂⁺ ions into the silicide layer formed by 900°C alloy(RTA-I) temperature. (a) Co(120Å)/Ti(50Å), (b) Co(120Å)/Ti(100Å), and (c) Co(120Å)

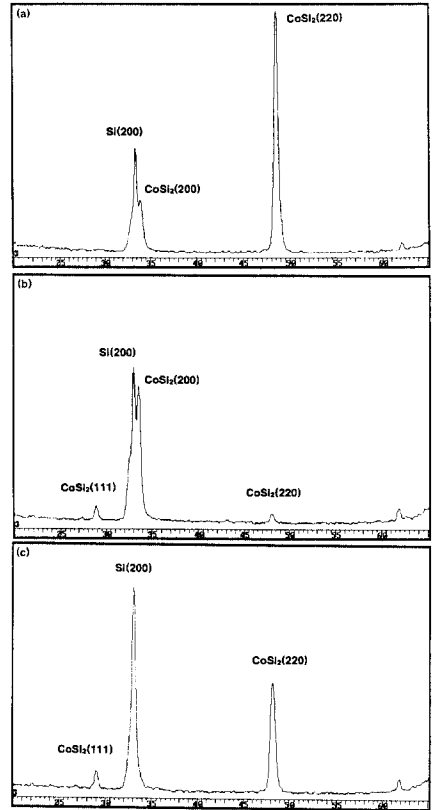
900°C, 10초) 후 RTA-I 후와 비슷한 값으로 다시 떨어졌으며, 이 때의 값은 각각에 대해 4.7, 5.2, 6.6Ω/sq. 였다. 미반응 금속물질을 제거하는 선택적 식각 단계 후 면저항은 식각 전의 값과 거의 같음을 보여 주어 식각이 면저항 값에 주는 영향은 없음을 알 수 있었다 [2].

그림 3은 Co/Ti의 이중 금속막을 900°C에서 20초 간 alloy 하고 나서 BF₂⁺를 이온주입한 직후의 TEM 단면 사진이다. 열처리를 통한 반응으로 CoSi₂막과 그 위에 비정질층이 형성되었음을 볼 수 있다^[6]. Ti(50 Å)의 비교적 거친 '실리사이드/실리콘' 계면을 갖는 불균일한 조성의 에피 실리사이드막을 형성하였으나(그림 3.(a)), Ti(100 Å)의 경우는 깨끗한 계면을 갖는 단결정 에피 CoSi₂막을 형성하였다(그림 3.(b)). Co만 증착한 경우는 큰 그레인을 가진 상당히 거친 계면의 다결정 CoSi₂막을 형성하였음을 볼 수 있다(그림 3.(c)).

이온주입 직 후의 각 시료에 대한 XRD 상분석 결과가 그림 4에 나타나 있다. Co/Ti(120 Å/50 Å) 시료에 대한 상분석 결과는 CoSi₂(220) peak가 가장 높고 Si(200)과 완전 에피를 이루는 CoSi₂(200) peak는 좀 약하게 나타났다. 이로써 에피 코발트막은 얻었으나 완전 단결정 에피 성장은 이루어지지 않았음을 알 수 있다(그림 4.(a)). 반면 Co/Ti(120 Å/100 Å) 시료에 대한 상분석 결과는 CoSi₂(220) peak는 낮고 CoSi₂(200) peak가 높게 나타나 완전 단결정 에피 정합을 이루었음을 알 수 있다(그림 4.(b)). Co만 120 Å 증착한 시료에 대해서는 CoSi₂(200) peak는 보이지 않으며 강한 CoSi₂(220) peak와 약한 CoSi₂(111) peak를 보임으로써 예상대로 다결정 코발트 실리사이드막이 생성되었음을 알 수 있다(그림 4.(c)). 이것은 그림 3에서의 TEM 분석에 나타난 큰 그레인을 갖는 다결정막 성장과 일치한다.

이러한 막 형성은 실리사이드막 형성 열처리 온도(RTA-I)가 고온(900°C)이기 때문에 얇은 Ti(O) 장벽층(50 Å)에 대해서는 Co와 Si간에 상호확산이 심하게 일어나 거친 '실리사이드/실리콘' 계면과 불균일한 조성의 막을 생성한 것이다. 반면, 좀 더 두꺼운 Ti(O) 장벽층(100 Å)에 대해서는 이것이 Co의 확산율을 감소시킴으로써 더 얇은 실리사이드층과 매끄러운 계면을 갖는 균일한 단결정 에피막이 성장된 것이다. 따라서 안정된 에피 실리사이드막을 형성하기 위해 RTA-I의 온도를 낮추는 조정이 필요하다.

Intensity (a.u.)



2 θ

그림 4. 900°C의 alloy(RTA-I) 온도에 의해 형성된 실리사이드막 속으로 BF₂⁺ 이온주입 직후의 시편들에 대한 XRD 분석

(a) Co(120 Å)/Ti(50 Å), (b) Co(120 Å)/Ti(100 Å), and (c) Co(120 Å)

Fig. 4. XRD spectra for the samples as-implanted with BF₂⁺ ions into the silicide layer formed by 900°C alloy(RTA-I) temperature.

(a) Co(120 Å)/Ti(50 Å), (b) Co(120 Å)/Ti(100 Å), and (c) Co(120 Å)

그림 5는 이온주입된 붕소원자를 활성화 시키기 위해 900°C에서 10초간 후속 열처리한 후의 TEM 단면 사진이다. Ti(100 Å)의 경우가 Ti(50 Å)의 경우보다 위층의 비정질층이 더욱 거칠어졌음을 볼 수 있다. 즉, Ti(100 Å)인 경우가 Ti(50 Å)인 경우에 비해 '실리사이드/실리콘' 계면은 더욱 평탄한 반면, 위층의 평탄도는 훨씬 저하된다. 이 거친 비정질층은 면저항과 누설 전류에 큰 영향을 주는 것으로 보여진다.

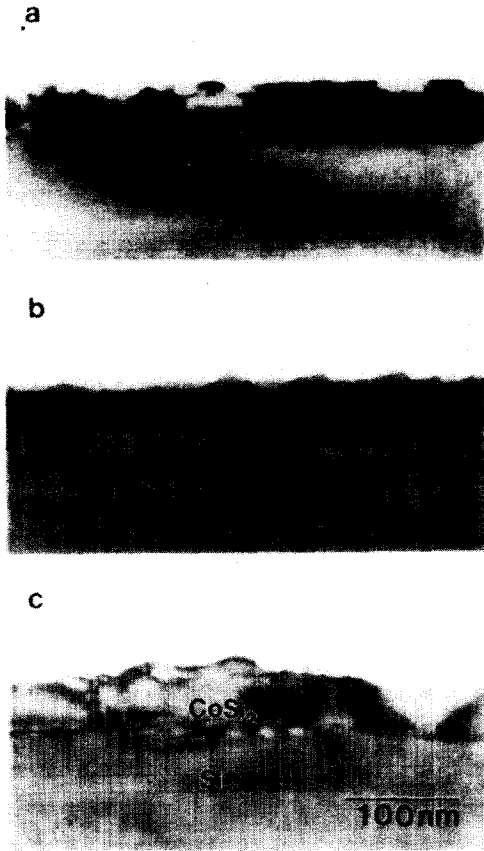


그림 5. 900℃, 10초간 anneal(RTA-II)후의 실리사이드막들에 대한 TEM 단면사진.(RTA-I : 900℃, 20sec).

(a) Co(120Å)/Ti(50Å), (b) Co(120Å)/Ti(100Å), (c) Co(120Å).

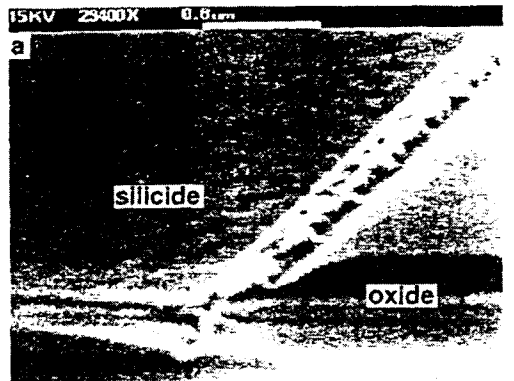
Fig. 5. TEM cross section views for the silicide layers annealed with 900℃, 10sec (RTA-II). (RTA-I : 900℃, 20sec).

(a) Co(120Å)/Ti(50Å), (b) Co(120Å)/Ti(100Å), and (c) Co(120Å).

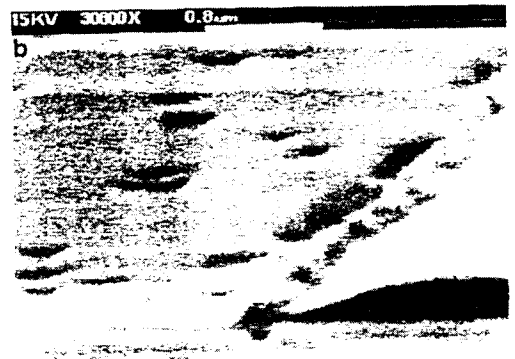
LOCOS를 갖는 다이오우드의 단면 구조에 대한 SEM 사진이 그림 6에 나타나 있다. Co만 사용한 경우는 실리사이드의 상태가 깨끗한 반면, 'Co/Ti'의 이중 금속층을 사용한 경우는 표면이 매우 거칠고 void나 침전층으로 여겨지는 큰 반점을 포함하고 있다. 특히 bird-beak 가장자리에서는 oxide 쪽으로의 실리사이드막 climbing이 발생하였다. 이런 현상은 Ti(100Å)인 경우가 Ti(50Å)인 경우에 비해 심하게 나타났다. 이것은 'Co/Ti'의 alloy 온도(900℃)가 너무 높아

Ti-Si 간의 반응에 의한 응집이 발생하였거나 위층의 비정질층에서의 침전층이 심하게 촉진되었기 때문에 여겨진다. 또한 고온에 의해 bird-beak 상으로의 Si 확산이 촉진되어 Ti-Si 간의 반응이 발생하였을 것으로 보여진다.

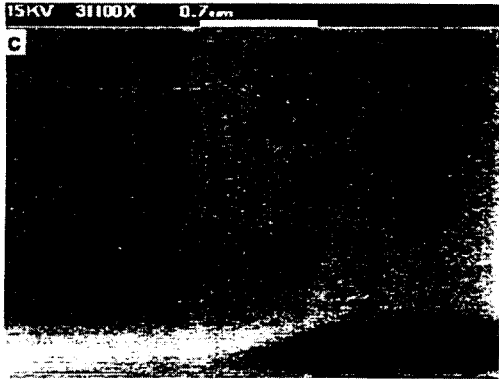
그림 7은 'Co/Ti'의 alloy 과정을 900℃, 20초로 하고 BF₂⁻ 이온주입 후 annealing을 900℃, 10초로 하여 제작된 다이오우드들에 대한 역방향 누설전류를 보여주는 것이다. Co(120Å)만을 사용한 경우가 가장 낮은 누설전류를 나타내었으며 'Co(120Å)/Ti(100Å)'의 경우가 가장 높은 누설전류를 나타내었다. 이것은 그림 6의 SEM 결과에서와 같이 실리사이드 표면 상태와 연관되며 특히 'Co/Ti'의 alloy 후 형성된 '비정질층/에피-CoSi₂' bilayer에 의한 stress에 기인되는 것으로 여겨진다. 누설전류를 높이는 또 다른 요인은 침전물이 도펀트의 활성화를 위한 고온 annealing시 붕소의 sink 역할을 하기 때문이다^[6]. 특히 bird-beak 가



(a)



(b)



(c)

그림 6. 900°C, 10초간 anneal(RTA-II)후의 실리사이드막들에 대한 SEM 사진.(RTA-I : 900°C, 20sec). (a) Co(120Å)/Ti(50Å), (b) Co(120Å)/Ti(100Å), (c) Co(120Å)

Fig. 6. SEM views for the silicide layers annealed with 900°C, 10sec(RTA-II). (RTA-I : 900°C, 20sec). (a) Co(120Å)/Ti(50Å), (b) Co(120Å)/Ti(100Å), and (c) Co(120Å).

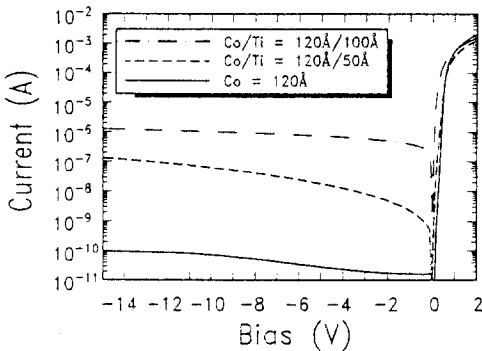


그림 7. 에피 CoSi₂를 이용한 p⁺n 접합 다이오드의 역방향 누설전류 특성 (RTA-I : 900°C, 20초 / RTA-II : 900°C, 10초)

Fig. 7. I-V leakage characteristics of the p⁺n junction diode using epi-CoSi₂. (RTA-I : 900°C, 20sec / RTA-II : 900°C, 10sec).

장자리 부분에서는 그림 8에서와 같이 붕소 sink source들은 많은 대신 Si 속으로 확산될 붕소의 양은 제한된다. 따라서 이 부분에서 'CoSi₂/n-sub'에 의한 schottky 접합의 형성 가능성이 높아진다.

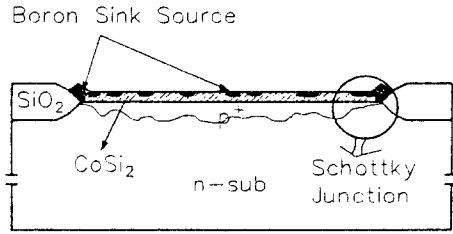


그림 8. 'Boron Sink Source'의 boron gettering에 의한 Schottky 접합 형성원리

Fig. 8. The formation of Schottky junction by the boron gettering of 'boron sink source'.

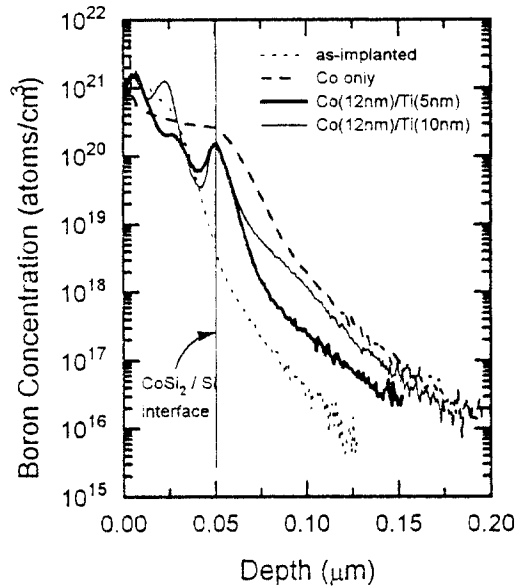


그림 9. 여러 'Co/Ti' 조건으로 형성된 실리사이드 속으로 이온주입된 붕소 원자의 SIMS 분포.(RTA-I : 900°C, 20초 / RTA-II : 900°C, 10초)

Fig. 9. SIMS profiles of the boron atoms implanted into the silicide layers formed with different 'Co/Ti' conditions.(RTA-I : 900°C, 20sec / RTA-II : 900°C, 10sec).

그림 9는 실리사이드로부터 확산된 붕소 원자의 SIMS 분포를 보여주는 것이다. 'Co/Ti'의 경우는 annealing 후 두 가지 종류의 붕소 peak를 형성하는데 하나는 '실리사이드/실리콘' 계면쪽에서의 pile-up에 의한 것이고 또 다른 하나는 표면 가까이 위치하는 것으로서 붕소 sink source에 의한 것이다. Ti(100Å)

의 경우가 표면 peak가 훨씬 심한 것으로 보아 비교적 두껍게 생성된 비정질층 때문으로 여겨진다. 반면, Co만을 이용한 경우는 sink source에 의한 peak가 발생하지 않았음을 볼 수 있다. 결국 sink source의 정도가 심할수록 붕소 원자가 Si로부터 실리사이드 쪽으로의 이동이 심해지고 따라서 $CoSi_2/Si$ 계면에서의 붕소 농도는 줄어든다. 이 현상은 'Shannon contact'¹⁷⁾ 또는 'Schottky contact'을 유발하여 실리사이드로부터 Si-sub 속으로 전자들의 열적 방출(thermionic emission)을 증대시킴으로써 특히 bird-beak 가장자리에서 큰 누설전류를 발생시키게 된다.

2. 'Co/Ti' alloy(RTA-I) 온도를 800°C 이하로 한 경우

'Co/Ti' 이중금속층의 alloy(RTA-I) 온도에 따른 영향을 조사하기 위해 'Co(120Å)/Ti(50Å)'를 연속 증착하고 나서 alloy를 700°C/20초 및 800°C/20초로 각각 진행하였다. 또한 BF_2^+ 를 40keV, $2 \times 10^{15} cm^{-2}$ 로 주입하고 나서 900°C에서 10초간 annealing(RTA-II)을 수행하였다.

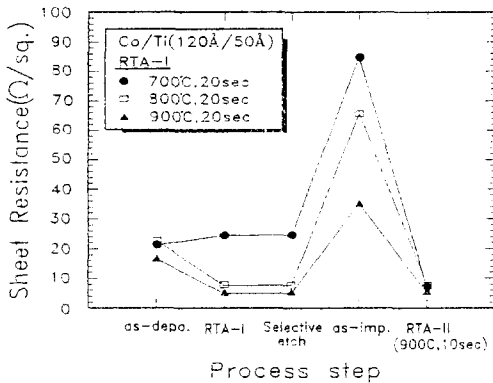


그림 10. 'Co(120Å)/Ti(50Å)'의 alloy(RTA-I) 온도를 800°C와 700°C로 하였을 때 공정 단계별 면저항 값의 변화

Fig. 10. The variation of sheet resistance with each process step when the alloy (RTA-I) temperature of 'Co(120 Å)/Ti(50 Å)' layer was 700°C or 800°C.

그림 10은 각 단계별 면저항 값의 변화를 보여주는 것이다. RTA-I이 800°C인 경우는 900°C의 면저항 변화처럼 RTA-I후의 값이 떨어지고 이 값이 RTA-II(900°C, 10초)후에 비슷하게 얻어진다. 반면,

700°C의 경우는 면저항이 RTA-I후에 낮아지지 않고 오히려 증가한 값을 보이다가 RTA-II로 낮게 떨어지는 새로운 양상을 보인다. 이 경우 면저항 값은 $7.0 \Omega / sq$ 로 800°C의 경우보다 약간 더 낮았다. 즉, 700°C로 열처리 후 형성된 실리사이드막은 $CoSi_2$ 상 보다는 저항이 큰 CoSi상이 더 우세하게 형성된 것이며 후속 열처리를 통해 상이 변화된 것으로 여겨진다.

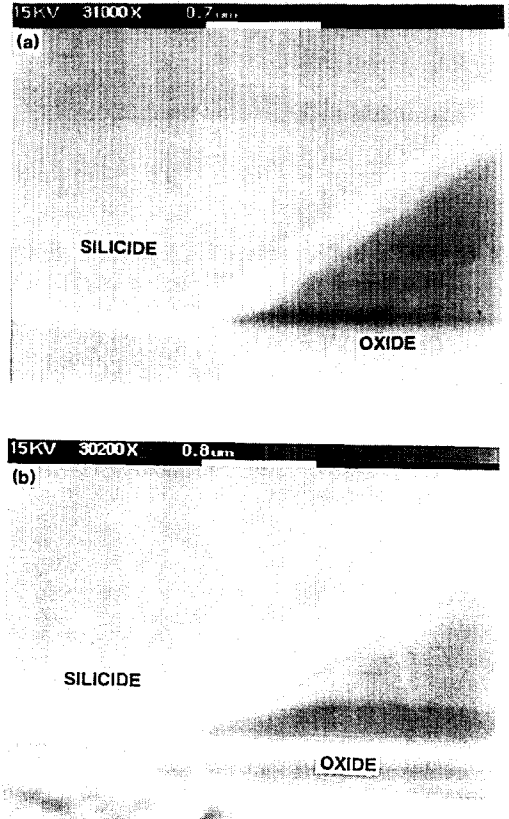


그림 11. 'Co(120Å)/Ti(50Å)'의 alloy 온도를 700°C와 800°C로 하였을 경우 형성된 실리사이드막의 SEM 사진. (a) RTA-I : 700°C, (b) RTA-II : 800°C

Fig. 11. SEM views of the silicide layers formed with the alloy temperature of 700°C or 800°C for 'Co(120 Å)/Ti(50 Å)'. (a) 700°C and (b) 800°C.

그림 11은 RTA-I을 700°C와 800°C로 한 경우 다이오드 단면에 대한 SEM 관측 결과이다. Co만으로 형성한 경우와 같이 깨끗한 표면 상태를 보여준다. 누설전류 특성도 그림 12에서와 같이 매우 낮게 유지됨을 볼 수 있다. RTA-I의 온도가 800°C인 경우 -5V

역방향 전압에서 $8.3\text{nA}/\text{cm}^2$ 의 낮은 누설전류를 나타내었고, 700°C 인 경우는 $9.3\text{nA}/\text{cm}^2$ 로 나타났다. 이로써 안정된 에피택 형성과 낮은 누설전류 특성을 얻기 위해서는 RTA-I의 온도를 700°C 보다는 높고 900°C 보다는 낮은 온도가 적절할 것으로 여겨진다.

IV. 결론

안정된 ULSI 소자를 얻기 위해서는 에피 실리사이드 형성과 극저층 접합형성($<100\text{nm}$)이 요구된다. 이에 따라 본 실험에서는 에피 코발트 실리사이드막으로부터의 붕소 확산을 이용한 극저층 p'n 접합의 다이오드를 제작하였다. 즉, Co/Ti의 이중 금속막을 사용하여 단일 급속열처리로 에피 코발트 실리사이드막을 형성하였고, 실리사이드막 자체를 도펀트 diffusion source로 사용함으로써 급속열처리를 통해 약 40nm 미만의 극저층 p'n 접합을 형성하였다. 특히 이중 금속막 두께 'Co(120Å)/Ti(50Å)'에 대해 alloy(RTA-I) 온도를 900°C 에서 800°C 이하로 낮추는 실험을 수행함으로써 전기적으로 안정된 실리사이드막을 형성하였으며 alloy 온도, 800°C 에 대해 누설전류는 -5V 에서 $8.3\text{nA}/\text{cm}^2$ 로 낮게 얻어졌다.

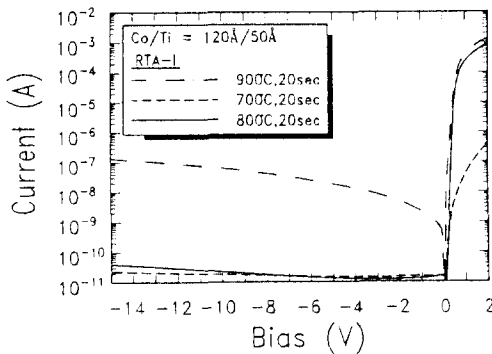


그림 12. 여러가지 'Co/Ti' alloy 온도에 따른 p'n 접합 다이오드의 역방향 누설전류 특성 (RTA-II : 900°C , 10초)

Fig. 12. I-V leakage characteristics of the p'n junction diodes with the different alloy temperatures of 'Co/Ti' layer. (RTA-II : 900°C , 10sec).

참 고 문 헌

- [1] Eliot K. Broadbent, Rustom F. Irani, Alan E. Morgan, and Philippe Maillot, "Application of Self-Aligned CoSi_2 Interconnection in Submicrometer CMOS Transistors," IEEE Trans. Electron Devices, vol. 36, no. 11, pp. 2440-2446, 1989.
- [2] Qingfeng Wang, Carlton M. Osburn, and Christopher A. Canovai, "Ultra-Shallow Junction Formation Using Silicide as a Diffusion Source and Low Thermal Budget," IEEE Trans. Electron Devices, vol. 39, no. 11, pp. 2486-2496, 1992.
- [3] S. L. Hsia, T. Y. Tan, P. Smith, and G. E. McGuire, "Resistance and structural stabilities of epitaxial CoSi_2 films on (001) Si substrates," J. Appl. Phys., vol. 72, no. 5, pp. 1864-1873, 1992.
- [4] Chih-Shih Wei, David B. Fraser, M. Lawrence A. Dass, and Teodoro Brat, "Formation of Self-Aligned TiN/CoSi_2 Bilayer from Co/Ti and its Applications in Salicide, Diffusion Barrier and Contact Fill", VMIC Conference, pp. 233-239, 1990.
- [5] S. L. Hsia, T. Y. Tan, P. Smith, and G. E. McGuire, "Formation of Epitaxial CoSi_2 films on (001) Silicon Using Ti-Co Alloy and Bimetal Source Materials," J. Appl. Phys. vol. 70, no. 12, pp. 7579-7587, 1991.
- [6] Erin C. Jones, Nathan W. Cheung, and David B. Fraser, "Low-Temperature Processing of Shallow Junctions Using Epitaxial and Polycrystalline CoSi_2 ," J. Electronic Materials, vol. 24, no. 7, pp. 863-873, 1995.
- [7] Erin C. Jones and Nathan W. Cheung, "Modeling of Leakage Mechanisms in sub-50nm p+n Junctions," Dept. of Electrical Engineering and Computer Sciences Univ. of California, Berkeley, CA 94720-1772, pp. 8.1-8.8, 1995.

※ 본 연구는 한국전자통신연구소의 지원과 서울대학교 반도체 공동연구소(ISRC 95-E-4012)의 도움으로 수행되었다.

— 저 자 소 개 —



卞 聖 慈(準會員)

1971年 11月 13日生 1994年 2
 月 경원대학교 물리학과 학사.
 1994年 8月 ~ 현재 경원대학교
 대학원 전자공학과 석사과정 재
 학중. 주 관심 분야는 초고집적
 소자 및 ultra shallow jun-

ction 형성 등임.

金 起 範(正會員)

1969年 9月 6日生 1994年 2月 연세대학교 금속공
 학과 학사. 1994年 9月 ~ 현재 연세대학교 대학원
 금속공학과 석사과정 재학중. 주 관심 분야는 차세대
 Si 반도체 소자 적용을 위한 SALICIDE 형성 연구
 등임.

權 相 直(正會員)

第 30 卷 A編 第 11 號 參照

현재 경원대학교 전자공학과 교수

白 洪 九(正會員)

1952年 10月 20日生 1975年 2月 연세대학교 금속공학
 과 졸업. 1977年 2月 한국과학기술원 재료공학과 공학
 석사. 1987年 5月 Univ. of Wisconsin Madison 공
 학박사. 1988年 3월부터 현재 연세대학교 금속공학과
 부교수. 주 관심분야는 차세대 Si 반도체 소자 적용을
 위한 SALICIDE 형성 연구 등임.