

論文96-33A-7-13

부동 게이트를 가진 새로운 구조의 오프셋 다결정 실리콘 박막 트랜지스터

(Novel Offset Gated Poly-Si TFTs with Floating Sub-Gate)

朴 喆 民 *, 閔 炳 赫 *, 韓 民 九 *

(Cheol-Min Park, Byung-Hyuk Min, and Min-Koo Han)

요 약

본 논문에서는 photoresist reflow 공정을 이용하여 자기 정합 방식의 도우평이 가능한 새로운 구조의 다결정 실리콘 박막 트랜지스터를 제안하고 제작하였다. 새로운 소자의 구조는 일반적인 구조의 소자와는 달리 두 부분의 게이트로 이루어져 있고 각각은 전압이 인가되는 전극으로 연결되는 주 게이트와 주 게이트의 양쪽 옆에 일정한 간격을 두고 위치한 부 게이트로 나뉜다. 소자의 제작시 주 게이트와 부 게이트 사이의 절연막은 잔류하게 되어 있고 이 부분을 오프셋 절연막이라 정의 하였다. 오프셋 절연막의 하부에 위치하는 다결정 실리콘 활성층은 소오스와 드레인의 도우평을 위한 이온 주입시 불순물이 주입되지 않게 되고 오프셋 영역으로 작용하게 된다. Photoresist reflow 공정에 의해 제작된 소자의 특성 측정에서 on/off 전류비가 1×10^6 을 초과하는 오프셋 구조의 다결정 실리콘 박막 트랜지스터가 제작되었음이 입증되었다.

Abstract

In this paper, we propose a new fabrication method for poly-Si TFTs with a self-aligned offset gated structure by employing a photoresist reflow process. Compared with the conventional poly-Si TFTs, the device is consist of two gate electrodes, of which one is the entitled main gate where the gate bias is employed and the other is the entitled subgate which is separate from both sides of the main gate. The poly-Si channel layer below the offset oxide is protected from the injected ion impurities for the source/drain implantation and acts as an offset region of the proposed device. The key feature of our new device is the offset region due to the offset oxide. Our experimental results show that the offset region, due to the photoresist reflow process, has been successfully obtained in order to fabricate the offset gated poly-Si TFTs. The maximum ON/OFF ratio occurs at the L_{off} of $1.1 \mu\text{m}$ and exceeds 1×10^6 .

I. 서 론

다결정 실리콘 박막 트랜지스터 (poly-Si TFT)는 비정질 실리콘 박막 트랜지스터 보다 이동도가 크기

때문에 TFT array 및 구동 회로를 하나의 기판 위에 형성시킬 수 있는 장점이 있어 최근에는 이에 대한 관심이 크게 고조되고 있는 실정이다.^{[1][2]} 그러나, 폴리 실리콘 박막 트랜지스터가 위와 같은 장점을 가진 반면에 화소의 스위칭 소자로 사용 시에 누설전류가 비정질 실리콘 박막 트랜지스터에 비하여 크게 되어 화소에 가해진 전압을 일정하게 유지하기 곤란하다. 이로 인하여 디스플레이의 선명도가 감소하고 화면이 미세하게 깜박거리는 현상(flickering)이 발생하여 화질이

* 正會員, 서울大學校 電氣工學科

(Department of Electrical Engineering, Seoul National University)

接受日字: 1995年12月21日, 수정완료일: 1996年5月8日

떨어지는 문제점이 발생한다.^[2] 이러한 문제점을 해결하기 위하여 트랜지스터의 채널 영역과 소오스와 드레인 영역 사이에 일정 간격을 도우평가 되지 않은 부분으로 만들어 누설전류를 감소시키는 일명 오프셋 트랜지스터가 사용되고 있으나 이 소자는 기존의 폴리 실리콘 박막 트랜지스터 제작 공정에 비하여 포토 마스크가 추가되어 공정이 복잡해지는 단점이 있고 소오스 영역과 드레인 영역의 LDD나 오프셋의 길이가 같지 않기 때문에 비대칭적인 전기적인 특성을 보이는 단점이 있다.^[3]

본 논문에서는 기존의 오프셋 트랜지스터와는 달리 추가의 마스크 공정을 사용하지 않고 오프셋 박막 트랜지스터를 구현하는 새로운 구조의 폴리 실리콘 박막 트랜지스터를 제안 하였으며 소자를 제작하여 기존의 박막 트랜지스터와 특성을 비교, 분석하였다.

II. 새로운 오프셋 박막 트랜지스터의 구조

그림 1은 제안된 소자의 개략도를 보여 주고 있다. 기존에 사용되고 있는 박막 트랜지스터와 오프셋 박막 트랜지스터와는 달리 본 논문에서 제안하는 새로운 오프셋 박막 트랜지스터는 주 게이트(Main Gate)와 주 게이트의 양쪽 옆에 위치하고 있는 부 게이트(Sub Gate)의 두 부분으로 이루어져 있다. 새로운 소자는 주 게이트와 부 게이트 사이에 photoresist reflow 방법을 이용하여 게이트 산화막이 식각되지 않게 게이트 패턴을 하기 때문에 자기 정합에 의하여 이온 주입을 하는 것이 가능하다. 이 공정에서 주 게이트와 부 게이트 사이에 식각되지 않은 부분을 확장 절연막(Expanded Oxide)이라 하였다. 부 게이트에 의해 확장된 절연막이 이온 주입시 다결정 실리콘의 활성 영역에 이온이 주입되지 않게 하여 채널 영역에 도우평가 되지 않은 오프셋 영역을 형성하게 하는 오프셋 절연막으로 작용한다. 그리고 부 게이트에는 전극이 연결되지 않기 때문에 게이트 전극과 소자의 활성 영역 사이에 게이트 전압이 직접 인가되지 않는 영역이 존재하여 이 부분이 오프셋 영역의 역할을 하게 된다. 제안된 소자의 핵심 구조는 오프셋 절연막으로 인해 생성되는 오프셋 영역이다. 제안된 소자의 전체 오프셋 영역의 길이는 주 게이트와 부 게이트 사이의 간격의 길이, 부 게이트의 길이 그리고 제작 공정시 부 게이트의 바깥쪽 쪽으로 reflow 되는 photoresist 의 길이

(side-flow)를 합한 것이 된다.

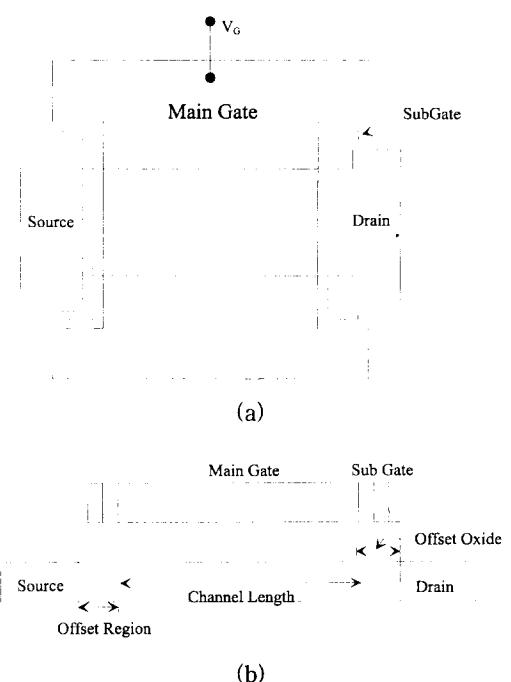


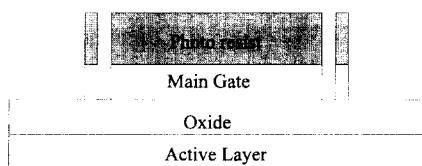
그림 1. 제안된 박막 트랜지스터의 개략도
(a) 평면도 (b) 단면도

Fig. 1. The schematic view of proposed poly-Si TFTs.
(a) Top view (b) Cross-section view

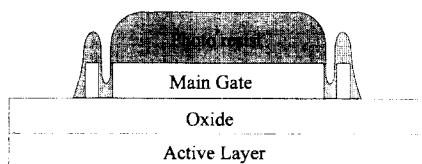
III. 제작 방법

본 연구에서 제작한 새로운 소자의 주요 공정 순서는 그림 2에 설명하고 있다. 실리콘 웨이퍼 위에 습식 산화로 500 nm의 산화막을 형성한 것을 기판으로 사용하였다. 소자의 활성층으로 사용하기 위해 100 nm 두께의 비도핑된 비정질 실리콘 박막을 550°C에서 LPCVD를 사용하여 증착하였다. 활성층의 결정화는 750°C에서 40초 동안 rapid thermal anneal (RTA) 장비를 사용하여 수행하였다. 그 후 100 nm 두께의 게이트 절연막을 APCVD를 사용하여 증착한 후 200nm의 게이트 다결정 실리콘 박막이 LPCVD에 의해 증착되었다. 일반적인 photo lithography 공정에 의해 게이트 패턴을 한 후에 다결정 실리콘 박막을 RIE 식각하였다. 절연막을 식각하기 전에 photoresist를 160°C에서 30분 동안 reflow하였다 (그림 2(c)). 그 후에 게이트 절연막을 식각하고 (그림 2(d)) photoresist를 벗겨 냈다. 다결정 실리콘 게이트를 식각할

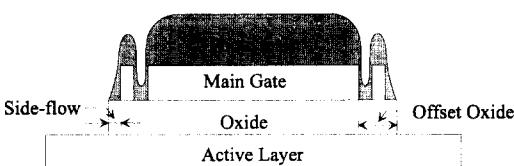
때 주 게이트와 부 게이트 사이에 있던 절연막은 reflow된 photoresist가 마스크로 작용하여 식각되지 않고 남게 된다. 따라서 소오스와 드레인의 자기 정합 이온 주입시 오프셋 절연막의 하부에 있는 다결정 실리콘의 활성층은 도핑 되지 않고 오프셋 영역으로 형성된다. 소오스/드레인과 게이트의 도우팅을 위해 $5 \times 10^{15} \text{ cm}^{-2}$ 의 phosphorous 이온을 30 KeV의 에너지로 자기 정합 방법에 의해 그림 2(e)에 보이는 것처럼 주입하였다. Phosphorous 이온은 750°C에서 40초 동안 RTA로 활성화 되었다.



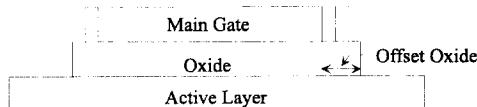
(a) Gate patterning by RIE etch



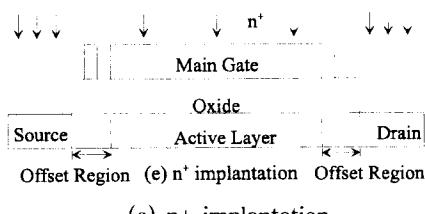
(b) Reflow the Photo Resist at 160°C for 30 minute



(c) 100nm-thick Oxide RIE etched



(d) Photo Resist Strip



(e) n+ implantation

그림 2. 오프셋 절연막 제작을 위한 중요공정 흐름도
Fig. 2. The key processes for fabricating the offset oxide.

IV. 결과 및 고찰

그림 3은 photoresist reflow 방법을 이용해 만들 어진 확장 절연막의 단면을 보여 주고 있다. SEM사진에 보이는 주 게이트와 부 게이트 사이의 간격은 $0.5\mu\text{m}$ 이고 부 게이트의 길이는 $0.8\mu\text{m}$, 그리고 side-flow의 길이는 $0.3\mu\text{m}$ 이다. 우리는 소자를 제작하기 전에 주 게이트와 부 게이트 사이의 간격은 $0.2\mu\text{m}$ 부터 $0.8\mu\text{m}$ 까지 그리고 부 게이트의 길이는 $0.2\mu\text{m}$ 부터 $1.2\mu\text{m}$ 까지의 SEM pattern을 설계하여 제작하였다. 우리의 실험에서 성공적으로 제작된 모든 pattern에서 side-flow의 길이는 부 게이트의 길이에 관계 없이 약 $0.3\mu\text{m}$ 의 길이를 보였다. 게이트 절연막 식각시 등방성 식각을 의도적으로 수행하였기 때문에 side-flow된 photoresist의 실제 길이보다는 side-flow 절연막의 길이가 짧아졌다. 따라서 우리는 $0.7\mu\text{m}$ 부터 $2.3\mu\text{m}$ 까지의 전체 오프셋 길이를 갖는 소자를 이전의 실험을 바탕으로 하여 구현 하였다.

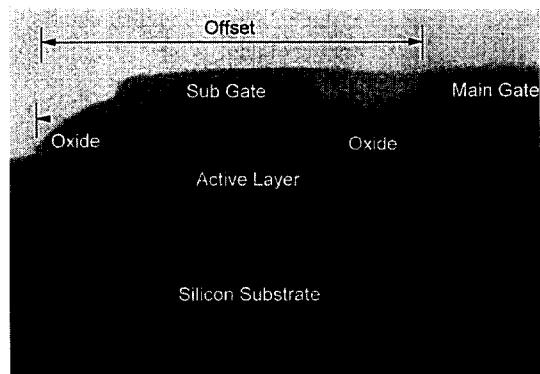


그림 3. 오프셋 절연막의 SEM 사진

(주게이트와 부게이트 사이의 간격은 $0.5\mu\text{m}$
고 부게이트의 길이는 $0.8\mu\text{m}$)

Fig. 3. The SEM image of offset oxide. The space between the main and sub-gate is $0.5\mu\text{m}$, and sub-gate length is $0.8\mu\text{m}$.

그림 4에서는 여러 가지 오프셋 길이를 가진 새로운 소자의 ID-VG 특성을 측정하여 비교한 결과를 도시하고 있다. 소자의 활성층의 길이와 너비는 각각 $10\mu\text{m}$ 과 $10\mu\text{m}$ 이고 오프셋이 아닌 일반적인 구조의 소자부터 오프셋의 길이가 $1.3\mu\text{m}$ 인 소자까지 관찰 하였다. 소자의 on 전류는 소오스와 드레인에 직렬로 연결된 기생 저항 때문에 오프셋의 길이가 증가 할 수록 감소

하는 것을 관찰할 수 있다. 그러나 오프셋의 길이가 증가할 수록 off 전류 역시 상당히 감소한다. 제안된 박막 트랜지스터 게이트에 인가된 전압이 음수일 때의 off 상태의 전류는 일반적인 구조보다 매우 작고 오프셋의 길이가 증가할 수록 on 전류와 off 전류의 비율은 급격히 증가 하다가 최적 값을 지나서는 다시 감소하는 모습을 보이고 있다. 특히, off 전류의 감소 값을 수치로 살펴보면 오프셋 길이가 $0.0\mu\text{m}$ 에서 전류 값은 300 pA 에서 오프셋 길이가 $1.1\mu\text{m}$ 인 경우에는 15 pA 로 감소하였다. 불순물 이온이 오프셋 영역에 주입되지 않았기 때문에 LDD (Lightly Doped Drain) 소자보다는 오프셋 길이에 민감한 반응을 보이지만 화질에 큰 영향을 미치는 on/off 전류 비가 그림 5에서 보듯이 현격하게 좋아지는 현상이 나타나고 있다. 최적 특성을 보이는 오프셋 길이는 $1.1\mu\text{m}$ 이며 그 소자의 on/off 전류 비는 1×10^6 이었다.

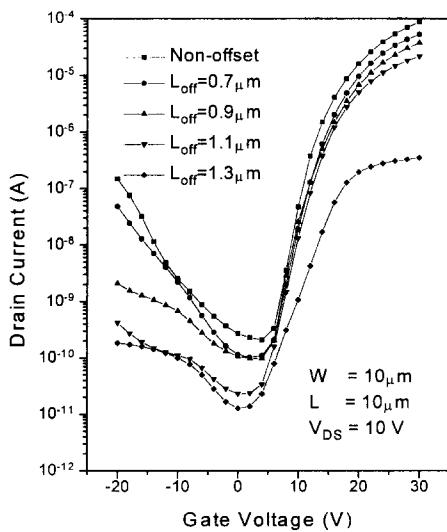


그림 4. 일반적인 구조와 제안된 구조의 박막 트랜지스터의 ID-VG 특성(곡선 오프셋의 길이는 $0.7\mu\text{m}$ 부터 $1.3\mu\text{m}$ $V_d=10\text{V}$)

Fig. 4. Transfer characteristics in a conventional and a proposed structure poly-Si TFT. The offset length varies from $0.7\mu\text{m}$ to $1.3\mu\text{m}$. $V_d=10\text{V}$.

우리는 오프셋 소자의 스위칭 특성을 조사하기 위하여 AMLCD의 화소 하나에 저장된 정보, 즉 화소에 인가된 전압이 어느 정도의 시간 동안 변화하지 않는 가에 대한 수치 해석을 수행하였다.

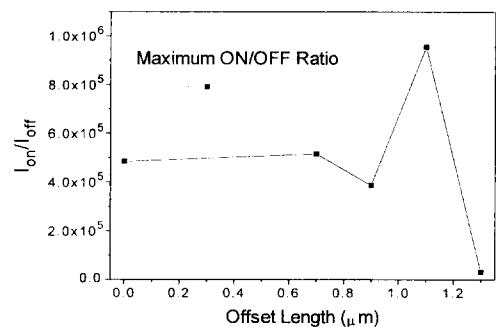


그림 5. 오프셋 길이에 따른 on/off 전류비의 변화

Fig. 5. Variation of maximum ON-OFF current ratio(I_{on}/I_{off}) as a function of offset length(L_{off}).

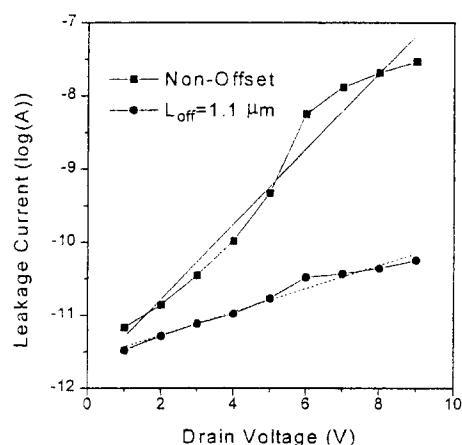


그림 6. 드레인 전압 변화에 따른 누설 전류의 변화. $V_G=10\text{V}$

Fig. 6. The variation of leakage current with drain voltage bias. $V_G=10\text{V}$.

그림 6에 나타나 있듯이 게이트에 인가된 전압이 -10V 볼트 일 때 드레인의 전압에 따른 누설 전류의 logarithm 값은 드레인 전압과 일정한 비례 관계가 있음을 알 수가 있다. 그림 6에 그려진 실선과 점선은 누설전류의 log값과 드레인 전압과의 관계를 일차 선형 방정식으로 재 구성한 것이고 이 관계를 수식으로 나타내면 아래와 같이 된다.

$$\log(I_{DS}) = A + B \cdot V_{DS} \quad (1)$$

위의 식을 이용하여 인가된 드레인 전압에 따른 드레인 전류를 구하고 구해진 전류에 따른 드레인 볼트의 이동을 알아내는 iteration 방식을 이용하는 행렬식을 구성하면 다음과 같다.

$$\begin{bmatrix} I_{n+1} \\ V_{n+1} \end{bmatrix} = \begin{bmatrix} 10^{V_n \times B + A} \\ V_n - \frac{I_n \cdot dt}{C} \end{bmatrix} \quad (2)$$

A 는 $\log(I)$ 축(전류의 \log 값)의 절편이고 B 는 전압과 전류의 비, dt 는 수치 해석을 위해 쓰여진 단위 시간, 그리고 C 는 설계된 화소의 축전 용량이다. 우리의 수치 해석에서는 단위 시간 dt 는 10^{-7} 초 이고 C 는 200pF 을 사용 하여서 $10\mu\text{s}$ 동안의 화소 전압의 변화를 고찰하였다. 그림 6에서 일반적인 소자의 경우 $\log(I)=0.52 \times V_{DS} - 11.82$ 로 선형화 되었고, 그림 5에서 최적화 특성을 보였던 오프셋 길이 $1.1\mu\text{m}$ 의 소자 경우에는 $\log(I)=0.16 \times V_{DS} - 11.59$ 로 선형화 되었으므로 이 결과를 이용하여 수치 해석을 하였다. 그림 7과 그림 8은 각각의 소자 경우의 시간에 따른 누설전류와 그에 따른 화소 전압의 변화를 도시한 것이다. 일반적인 소자의 경우 $10\mu\text{s}$ 가 지났을 때 화소의 전압이 10 볼트에서 8 볼트 까지 감소 하였으나 새로운 구조의 오프셋 소자는 화소의 전압이 거의 감소하지 않는 결과를 보였다.

그림 9 (a) 는 TFT LCD 화면의 구동시 다결정 박막 트랜지스터의 제작할 때 발생하는 수평 방향 확산으로 인한 게이트와 소오스 간의 기생 capacitance 때문에 일어나는 화소 전압의 변동(ΔV_P) 현상을 분석

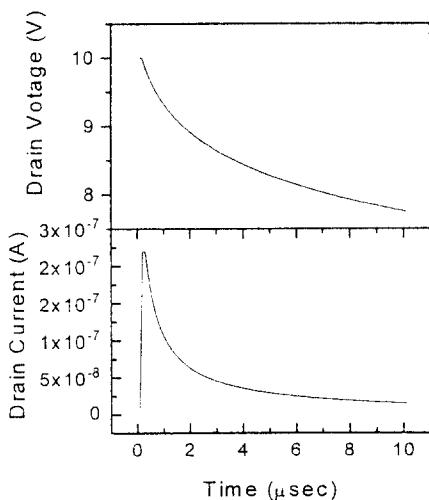


그림 7. 일반적인 소자의 동적인 누설 전류와 그에 따른 화소 전압의 변화
(t=0일 때 $V_D=10\text{V}$, $I_D=0\text{A}$)

Fig. 7. The dynamic leakage current of conventional non-offset device and pixel node voltage drop as a function of time. AT t=0 sec $V_D=10\text{V}$, $I_D=0\text{A}$

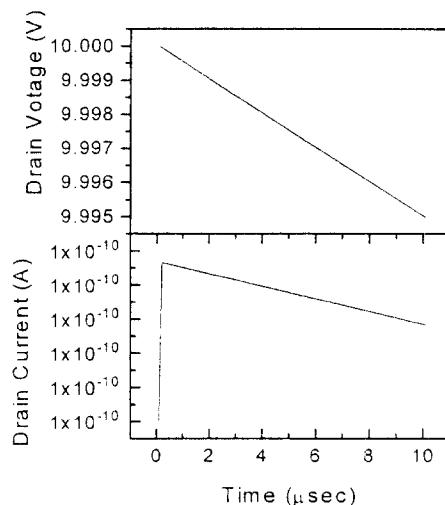


그림 8. 제안된 오프셋 소자의 동적인 누설 전류와 그에 따른 화소 전압의 변화
t=0일 때 $V_D=10\text{V}$, $I_D=0\text{A}$

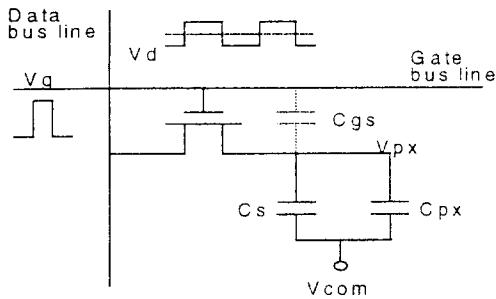
Fig. 8. The dynamic leakage current of proposed non-offset device and pixel node voltage drop function of time. AT t=0 sec $V_D=10\text{V}$, $I_D=0\text{A}$

하기 위한 등가 회로이다. 일반적으로 게이트(V_{gs}) 전압은 AC 신호 전압으로 그림 9 (b)에서처럼 게이트 전극에 인가되고 DC 전압 V_{com} 은 화소에 인가되는 전압(V_{data})의 중간 값을 취하게 된다. 그림 9 (c)에서 보이는 C_{gs} 는 소오스와 게이트간의 중첩 구간에 생기는 기생 Capacitance 을 나타낸 것이다. 구동시 발생하는 화소 전압의 왜곡 현상은 다음 식과 같이 표현된다.

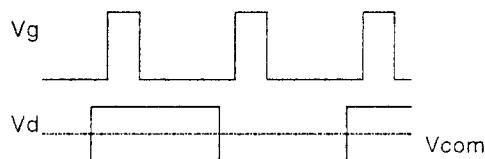
$$\Delta V_p = \frac{C_{gs}}{C_{gs} + C_s + C_{px}} \times V_g \quad (3)$$

위의 식에서 C_{px} 는 액정이 만들어 내는 정전 용량의 등가 회로 값이고, C_s 는 화소의 전압을 오랜 시간 동안 유지하기 위한 storage capacitance의 등가 회로 값이고 V_g 는 게이트 펄스의 진폭이다.

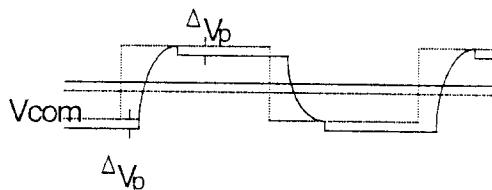
우리의 수치 해석에서는 수평 방향의 확산 값은 SUPREM simulator를 이용하여 계산하였다. 공정 조건은 불순물로는 phosphorous를 사용하였고 750°C 에서 40초 동안 RTA로 활성화 되었던 것을 가정 하였고 확산 값은 $0.2\mu\text{m}$ 로 계산 되었다. 제안된 소자의 주 게이트와 부 게이트 간의 간격은 $0.4\mu\text{m}$ 이고 부게이트의 길이는 $0.4\mu\text{m}$, 그리고 side-flow의 길이는 $0.3\mu\text{m}$ 를 가정하였고 이것은 실험에서 측정치의 값을 보인



(a) The equivalent circuit of pixel element



(b) The input pulse waveform of gate and data line



(c) The waveform of pixel electrode in the element

그림 9. 전형적인 구동 방법일 때 AMLCD 화소의 등가 회로.

Fig. 9. Equivalent circuit for a pixel and typical drive scheme.

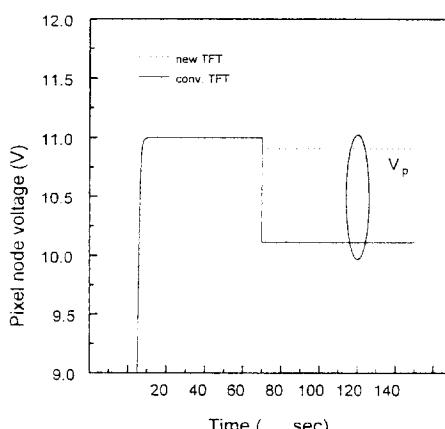


그림 10. 게이트 전압의 변동에 따른 화소 전압의 변화

Fig. 10. Waveforms of the pixel electrode.

소자를 모델로 잡은 것이다. 일반적인 소자의 C_{gs} 값은 $0.78fF$ 으로 계산되었고 새로 제안된 소자의 C_{gs} 값은 $0.08fF$ 으로 계산 되었다. 이로 부터 구해진 변수들을 HSPICE simulator를 이용하여 화소 전극의 왜곡을 분석하였다. 게이트 펄스의 간격은 $70\mu s$ 로 가정 하였고 진폭은 25 볼트를 수치해석에 이용하였다. storage capacitance와 액정의 정전 용량의 합은 $200fF$ 으로 가정 하였다. 그럼 10에서 보듯이 게이트 전압의 변동에 의한 화소 전압의 왜곡 현상은 일반적인 구조의 경우 보다 새로운 구조의 소자 경우가 훨씬 우수한 것을 알 수 있다. 더구나 기존의 오프셋 소자에서 문제가 되었던 부가의 오프셋 마스크 문제와 mis-align 문제는 새로운 소자의 경우는 게이트 패턴을 이용해 자기 정합 방식을 이용해 이온을 주입하므로 해결이 되었다.

V. 결 론

우리의 실험은 오프셋 다결정 실리콘 박막 트랜지스터를 photoresist reflow 방법을 이용해 제작할 수 있음을 성공적으로 보여 주고 있다. 기존의 오프셋 박막 트랜지스터는 게이트와 소오스와 드레인 영역 사이에 오프셋 영역을 형성시키기 위하여 추가의 마스크와 포토 공정이 추가되기 때문에 필연적으로 소오스 영역과 드레인 영역의 오프셋의 길이가 같지 않기 때문에 비대칭적인 전기적인 특성을 보인다는 단점이 있다. 따라서 본 연구에서는 오프셋 마스크를 사용하지 않고 오프셋을 형성하고 비대칭적인 전기적 특성의 원인을 제거한 새로운 구조의 폴리 실리콘 박막 트랜지스터를 제작하여 기존의 소자와 전기적 특성을 비교, 분석하였다. 새로운 소자에서 NMOS의 I_D-V_G 특성을 오프셋 길이에 따라 비교한 결과, 오프셋 길이가 증가할 수록 누설전류가 현격히 감소하는 현상을 보이고 있다. on/off 전류 비도 오프셋 길이에 따라 현저히 달라지는 것을 확인 하였고 특히 최저 값을 보인 소자는 on/off 전류비가 1×10^6 을 초과하는 결과를 보이고 있다. 제안된 소자의 정적인 특성 뿐만 아니라 동적인 특성을 분석하기 위해 수치해석의 기법을 도입하였다. 제안된 소자의 경우 화소의 전압이 $10\mu s$ 동안 10볼트에서 8볼트 까지 감소하는 일반적인 소자에 비해서 월등히 우수한 특성을 보였고 게이트 펄스에 따라 화소의 전압이 왜곡되는 현상도 거의 보이지 않아서 단순히 on/off 전류비 뿐만 아니라 동적 특성에서도 우수함을 보이는 것

을 확인하였다.

참 고 문 헌

- [1] H. Oshima, and S. Morozumi, "FUTURE TRENDS FOR TFT INTEGRATED CIRCUITS ON GLASS SUBSTRATES," *IEDM*, pp.157-160, 1989.

- [2] K. Suzuki, "Pixel Design of TFT-LCDs for High-Quality Images," *SID 92 Digest*, pp.39-42, 1992.
- [3] K. Tanaka, H. Arai, S. Kohda, "Characterization of offset-structure polycrystalline silicon thin-film transistors," *IEEE Electron Device Lett.*, vol. 9, pp. 23-25, 1988.

저 자 소 개



朴 喆 民(正會員)

1971년 1월 21일생. 1994년 서울대 공대 전기공학과 졸업. 1996년 동 대학원 전기공학과 졸업(석사). 현재 동 대학원 전기공학과 박사 과정 재학중

閔 炳 赫(正會員)

1962년 9월 8일생. 1986년 서울대 공대 전기공학과 졸업. 1988년 동 대학원 전기공학과 졸업(석사). 1995년 동 대학원 전기공학과 박사 졸업

韓 民 九(正會員)

1948년 7월 21일생. 1971년 서울대 공대 전기공학과 졸업. 1979년 미국 John's Hopkins Univ. 졸업(공학박사). 1979년 ~ 1984년 미국 뉴욕 주립대 조교수. 현재 서울대 공대 전기공학부 교수