

論文96-33A-7-9

고밀도 본딩와이어간의 혼신감소를 위한 차폐 본딩와이어 및 광대역 해석

(Screening Bonding Wire and the Wideband Characterization to Reduce Crosstalk between High Density Bonding Wires)

李相敦*, 李海英**

(Sang-Don Lee and Hai-Young Lee)

요 약

본 논문에서는 고속, 고밀도 소자 실장의 주요 기생성분인 본딩와이어의 자기 인덕턴스와 상호 혼신을 줄이기 위한 차폐 본딩와이어를 제안하고 그 특성을 모멘트법을 이용하여 해석하였다. 계산된 결과로 부터 차폐 본딩와이어의 차폐 효과로 인하여 평행한 본딩와이어간의 유도성·용량성 혼신레벨이 3 dB 이상, 기생 자기 인덕턴스 성분은 12 % 이상 각각 감소함을 확인하였다. 그러므로, 일반적인 VLSI 실장에서 차폐 본딩와이어를 사용함으로써 실장밀도를 30 % 이상 증가시킬 수 있다. 이러한 차폐 본딩와이어는 고밀도 집적회로의 실장에서 혼신을 줄이고 고밀도의 실장을 가능하게 할 것이다.

Abstract

Parallel bonding wires separated with a screening bonding wire are proposed and characterized in order to reduce mutual coupling and parasitics of high-speed and high-density device packaging. The Method of Moments(MoM) with the incorporation of the ohmic loss has been used in a wide range of frequencies. From the calculated results, we have found that the screening bonding wire effectively reduces inductive and capacitive crosstalk levels more than 3 dB. The parasitic self inductance is also reduced more than 12 % by the screening effect. Therefore, for a general VLSI package, the packaging density can be increased more than 30 % using the screening bonding wire. This screening bonding wire and the analysis can be effectively used to reduce crosstalk and increase packaging density of high density devices.

I. 서 론

최근 정보사용자의 고품질 정보 처리 및 전달의 요구를 충족시키기 위하여 반도체 소자의 경량화, 고속화가 불가피하게 되었으며 고밀도 대용량 고속 신호처리

및 전송을 필수적인 요소로서 요구하고 있다. 이에 따라 반도체 소자의 생산 기술과 함께 소자의 실용화를 위한 실장(packaging) 기술들이 급격하게 발전하고 있다. 그러나, 소자의 실용화 및 다양한 응용을 위하여 대용량 및 고밀도 실장 구조를 전제로 하고 있으나, 이에 관련된 복합 기술은 국내외적으로 초기 개발단계에 있는 실정이다. 대표적 실장 기술의 하나인 반도체 소자와 패키지 리드 프레임의 연결은 현재 국내외적으로 신뢰도나 생산 가격 측면에서 우수한 본딩와이어를 주로 이용하고 있다. 그러나, 고속, 고밀도 소자의 실장 구조에서 가장 기본적인 성능 제한요소 중의 하나는

* 準會員, ** 正會員, 亞洲大學校 電氣電子工學部

(School of Elec. and Elec. Eng., Ajou Univ.)

※ 이 연구는 1995년도 한국과학재단의 연구비지원(과제번호:95-0100-05-01-3)에 의한 연구 결과임.

接受日字: 1996年2月17日, 수정완료일: 1996年6月14日

고밀도 본딩와이어간의 혼신현상이며 고밀도 실장을 위하여 최소화 되어야 한다. 또한, 소자의 고속 동작을 위하여 본딩와이어의 기생 인덕턴스의 최소화 또한 필수적이다^[1].

본 논문에서는 고밀도 본딩와이어간의 혼신현상을 크게 줄일 수 있고 고속 동작시 소자의 성능을 제한하는 기생 인덕턴스를 최소화할 수 있는 차폐 본딩와이어(screening bonding wire)를 제안하고, 차폐 효과 및 기생 특성을 광대역 주파수에서 해석하므로써 고밀도, 고속 동작에 적합한 본딩구조를 구현하고자 한다. 본 논문에서 제안한 차폐 본딩와이어는 근본적 설계 변경이나 추가 공정설비가 필요하지 않기 때문에 기존에 제안되어 사용되어진 구조적 차폐^{[2], [3]}에 비하여 단순성과 생산성 측면에서 매우 유리하다.

고밀도 및 고주파용 실장에 사용되는 본딩와이어의 기생성분이나 상호 간섭효과들은 와이어의 구조와 사용되는 주파수에 따라 크게 변하므로, 주파수 대역이 넓을 수록 기존에 사용되던 직류 근사방법으로는 정확한 해석이 어려우며 응용범위에 한계를 가지게 된다. 따라서, 본딩와이어의 기생 임피던스와 혼신은 정확하고 계산속도가 빠른 모멘트법(Method of Moments)^[4]에 현상학적 도체손실 등가기법(Phenomenological Loss Equivalence Method : PEM)^[5]에 의하여 계산된 도체 손실을 결합하여 광대역 주파수에서 계산하였다. 해석결과로부터, 차폐 본딩와이어를 사용하였을 때 본딩와이어간의 혼신레벨은 광대역 주파수에서 3 dB 이상의 감소 효과가 있음을 관찰하였다. 이 결과로부터, 같은 혼신레벨을 유지하기 위하여 차폐 본딩와이어를 사용하였을 경우, 차폐 본딩와이어를 사용하지 않았을 경우보다 와이어의 본딩 밀도를 30 % 이상 증대시킬 수 있으며, 본딩와이어의 기생 인덕턴스 또한 차폐 본딩와이어를 사용하므로써 12 % 이상 감소함을 확인하였다. 본 논문의 차폐 본딩와이어에 관한 정량적 분석결과는 향후 고속, 고밀도 소자의 실장에 매우 유용하게 이용될 수 있을 것이다.

II. 차폐 본딩와이어의 구조 및 해석 방법

1. 차폐 본딩와이어의 구조

그림 1은 두 신호 본딩와이어들 사이에 차폐 본딩와이어를 삽입한 본딩 구조이다. 두 개의 신호 본딩와이어와 한 개의 차폐 본딩와이어를 실제 구조와의 오차

를 최소화 하면서 3개의 직선 와이어로 선형화 하여 와이어의 굽곡 부분에 좌표를 표시하였다. 본딩 스텝(bonding step)은 400 μm 높이의 실리콘 기판과 기판 부착(die-attachment)으로 구성되었다. 신호 본딩와이어의 구조는 고밀도 집적회로에 일반적으로 사용되는 본딩 구조로 직경이 25 μm 이고 재질이 금인 와이어를 사용하였다. 두 개의 신호 본딩와이어를 200 μm 간격을 두고 있는 본딩 패드(bonding pad)로부터 패키지의 외부로 연결되는 각각의 리드프레임(lead frame)에 길이가 2 mm가 되도록 볼 본딩하였다.

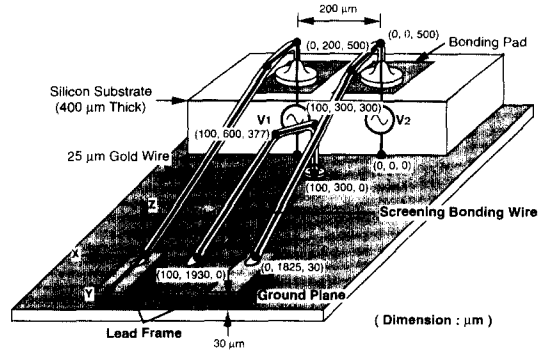


그림 1. 차폐 본딩와이어를 포함하는 평행한 본딩와이어

Fig. 1. Parallel bonding wires with a screening bonding wire.

서로 다른 신호를 전달하는 신호 본딩와이어 간의 혼신을 감소시키기 위하여 차폐 본딩와이어를 신호 본딩와이어 사이의 정중앙에 삽입하였다. 두 신호 와이어 사이에 위치한 차폐 본딩와이어는 각각의 와이어에서 유기되는 자장이나 전장성분이 근접한 다른 와이어에 주는 영향을 감소시켜 줄 수 있는 E-wall(도체 벽)과 H-wall(자기 벽)의 역할을 한다. 여기서, 실리콘 기판이 부착된 패키지 베이스(package base)를 완전한 접지평면으로 가정하였다. 이는 신호선에서 유기되는 유도성 상호 결합 성분을 줄이기 위해서는 차폐 본딩와이어에 역방향의 전류가 유도될 수 있도록 전류 루프(loop)를 형성해야 하기 때문이다. 또한, 용량성 상호결합을 줄이기 위하여 접지된 차폐 본딩와이어의 접지평면의 근접 효과를 주기 위함이다.

2. 차폐 본딩와이어의 해석 방법

1) 본딩와이어의 광대역 해석 방법

본딩와이어에 흐르는 교류 전류는 와이어 주위에 자

장을 형성하며, 이에 의한 자기 선속에 의한 인덕턴스가 와이어상에 존재하게 된다. 본딩와이어의 인덕턴스는 주파수 증가에 따른 방사효과의 증가로 커지게 된다. 그러나 기존에는 무한 직선 와이어를 가정하는 정적 방법에 의하여 인덕턴스를 계산하였으므로 이 주파수에 따른 인덕턴스 변화를 고려할 수가 없었다^{16), 17)}. 따라서 이러한 정적 계산방법은 특히 높은 주파수에서 전체 외부 소자특성의 예측을 매우 부정확하게 하므로, 광대역 주파수에서 정확하게 계산할 수 있는 방법이 필요하다. 모멘트법에 의한 본딩와이어의 광대역 임피던스 계산은 FEM(Finite Element Method)에 비하여 계산시간이 매우 짧고, 임의의 본딩 구조에 적용이 가능하며 계산결과가 정확하다¹⁸⁾. 또한, 모멘트법을 통한 계산시 PEM에 의하여 계산된 도체손실 임피던스를 집중소자화 하여 균일하게 분할된 와이어에 입력하여, 방사효과 뿐만 아니라 와이어에 흐르는 전류의 와이어 침투효과를 고려할 수 있도록 하였다.

2) 본딩와이어의 기생 성분 계산

그림 2는 평행한 두 개의 신호 본딩와이어의 기생 성분을 구하기 위하여 물리적 의미를 갖는 소자들로 구성된 등가회로이다. 각각의 신호 본딩와이어는 서로 대칭이며 와이어 자체의 기생 인덕턴스(L)와 와이어와 접지평면간의 커패시턴스(C_s)로 등가될 수 있으며, 와이어간 자기 및 전기적 상호 결합은 상호 인덕턴스(M) 및 커패시턴스(C_m)로 표현된다.

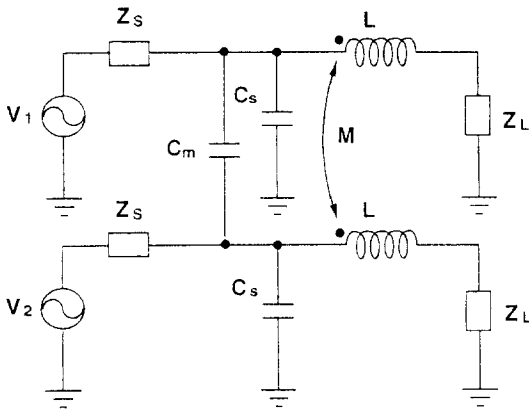


그림 2. 평행한 본딩와이어의 등가 회로 모델
Fig. 2. Equivalent circuit model of parallel bonding wires.

본딩와이어만의 기생 특성에 의한 영향을 살펴 보기 위하여 리드프레임의 기생 임피던스는 고려하지 않았

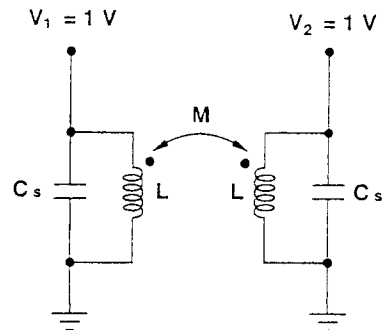
다. 리드프레임에 연결되는 외부 임피던스를 Z_L로 표시하였다. 본딩와이어의 저항은 리액턴스에 비하여 매우 작으므로 등가회로에서 무시하였다¹⁸⁾. 이 회로는 부하 저항 Z_L이 단락(short)일때 LC 병렬 공진 회로이며 공진 주파수 이하에서는 자기 인덕턴스(L)만의 회로로 볼 수 있다. 한편, 부하저항 Z_L이 개방(open)일 때에는 자기 커패시턴스(C_s)가 주요한 성분이 된다. 차폐 본딩 와이어를 포함하는 경우의 등가회로는 그림 2와 동일하며, 차폐효과에 의하여 상호 결합성분(C_s, M)이 효과적으로 감소하게 된다.

L과 C는 양쪽 신호선의 Z_L을 동시에 단락, 개방하면서 Even 및 Odd Excitation 방법에 의하여 계산되었다. Even Excitation은 동위상의 전압원(V₁ = 1 [V], V₂ = 1 [V])을 각각 신호 본딩와이어에 인가했을 때를 의미하며, 이 때의 계산된 입력 임피던스를 Z_e라고 정의하였다. Odd Excitation은 180°의 위상차를 가진 전압원(V₁ = 1 [V], V₂ = -1 [V])을 각각 신호 본딩와이어에 인가했을 때이며, 이 때의 입력 임피던스를 Z_o라고 정의하였다. 부하저항 Z_L의 단락, 개방 여부에 따라 그림 2를 그림 3, 4와 같이 간략화 할 수 있다. Even 및 Odd mode 해석방법에 의하여 Z_L이 단락인 경우에 계산된 입력 임피던스로부터 등가회로 모델의 자기 인덕턴스(L)와 상호 인덕턴스(M)는 다음의 식 (1)로 표현된다¹⁹⁾.

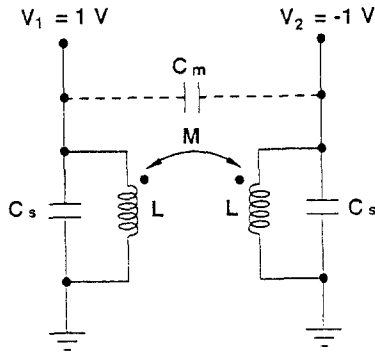
$$L = \frac{Im(Z_e + Z_o)}{2\omega}, \quad M = \frac{Im(Z_e - Z_o)}{2\omega} \quad (1)$$

같은 방법으로 Z_L이 개방일 때 계산된 입력 임피던스로부터 등가회로 모델의 자기 커패시턴스(C_s)와 상호 커패시턴스(C_m)는 다음 식에 의하여 계산된다.

$$C_s = \frac{1}{\omega \cdot Im(Z_o)}, \quad C_m = \frac{1}{2\omega} \left\{ \frac{1}{Im(Z_o)} - \frac{1}{Im(Z_e)} \right\} \quad (2)$$



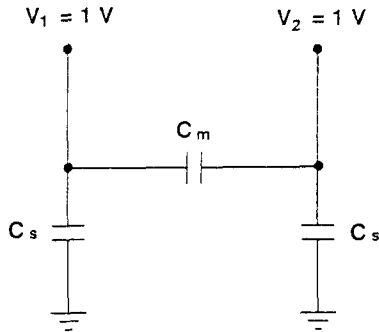
(a)



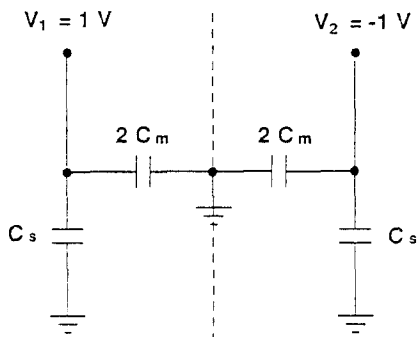
(b)

그림 3. 자기 및 상호 인덕턴스를 구하기 위한 등가 회로 (a) 동위상 전압원 조건 (b) 역위상 전압원 조건

Fig. 3. Equivalent circuit to calculate self and mutual inductance at (a) Even and (b) Odd excitation condition ($Z_L=0$).



(a)



(b)

그림 4. 자기 및 상호 커패시턴스를 구하기 위한 등가 회로 (a) 동위상 전압원 조건 (b) 역위상 전압원 조건

Fig. 4. Equivalent circuit to calculate self and mutual capacitance at (a) Even and (b) Odd excitation condition ($Z_L=\infty$).

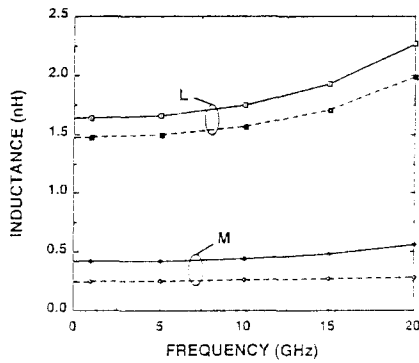
III. 해석결과 및 고찰

1. 본딩와이어의 기생 인덕턴스 및 커패시턴스 결과
 본딩와이어의 전체 열적저항(도체저항+방사저항)은 도체 손실에 의하여 증대되는 방사효과로 인하여 주파수 증가에 따라 급격하게 증가하나, 리액턴스에 비하여 매우 작으므로 무시하였다. 그림 5(a), (b)에 각각 자기 및 상호 인덕턴스(L, M)와 자기 및 상호 커패시턴스(C_s , C_m)를 식(1), (2)를 이용하여 계산한 후 나타내었다. 그림 5(a)에서 자기 인덕턴스(L)는 근접한 신호 와이어간의 혼신감소를 주목적으로 하는 차폐 본딩와이어에 의하여 전체 주파수 범위에서 약 12%의 감소 효과가 있음을 관찰하였다. 이는 차폐 본딩와이어가 신호 와이어의 자장형성을 방해하는 역방향의 자장을 형성하기 때문이다. 그러므로 차폐 본딩와이어가 신호 와이어의 기생 인덕턴스를 감소시킬 수 있음을 확인하였다. 더욱이 상호 인덕턴스는 차폐 본딩와이어에 의하여 광대역 주파수에서 약 0.15 nH 이상 크게 감소함을 알 수 있다. 이는 근접한 신호 본딩와이어의 자장성분에 의하여 차폐 본딩와이어에 유기되는 역방향 전류로 인하여 발생하는 자장이 신호 본딩와이어간의 자장 성분을 상쇄시키기 때문이다. 높은 주파수에서는 신호 와이어의 전류보다 신호 와이어에 의해 차폐 본딩와이어에 유도되는 전류가 상대적으로 커지므로 상호 인덕턴스 성분이 더욱 감소한다.

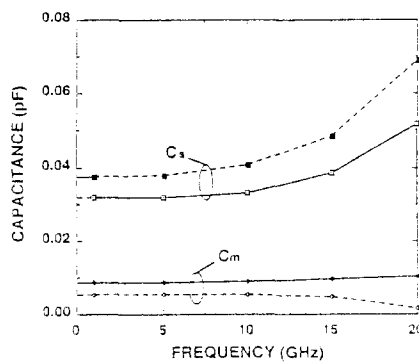
그림 5(b)에서 커패시턴스 성분은 차폐 본딩와이어로 인하여 그 값이 약 18% 이상 증가하였다. 이는 접지평면과 연결된 차폐 본딩와이어가 접지평면의 역할을 하게 되며 이로 인한 신호 와이어와 접지평면과의 면적이 상대적으로 넓어지는 효과로 인한 것이다. 접지평면 위에 위치한 신호 본딩와이어는 microstrip구조와 유사한 형태를 가지므로 접지평면과의 커패시턴스 성분 증가에 반하여 기생 인덕턴스 성분은 효과적으로 줄어들게 된다. 한편, 상호 커패시턴스(C_m)는 차폐 본딩와이어의 차폐효과로 인하여 그 값이 크게 감소하고 주파수에 증가에 따라 더욱 감소함을 알 수 있다. 이는 신호 와이어에 의한 전장이 차폐 와이어의 상대쪽에 반대 방향의 영상 전장을 유도하므로 전장을 상쇄시키게 되기 때문이다.

모멘트법에 의하여 계산된 값들은 낮은 주파수에서는 다음의 식 (3) ~ 식 (6)의 정적계산식^[10]에 의한 결과와 잘 일치한다. 정적계산 식들은 자유공간상의 본

딩와이어에 적용 가능하며, 식에서 h, r, d 는 각각 본딩와이어의 접지 평면으로부터의 평균높이, 와이어의 반지름, 와이어간의 거리이다. 본 논문에서 고려한 구조의 h, r, d의 값들은 각각 280 μm, 12.5 μm, 200 μm에 해당한다. 이 값들을 이용하여 계산한 총길이가 2 mm인 와이어에 해당하는 L, M, C_s, C_m의 정적계산값들은 각각 1.52 nH, 0.43 nH, 0.03 pF, 0.0084 pF이며 모멘트법으로 계산한 값들과 낮은 주파수에서는 매우 잘 일치함을 알 수 있다.



(a)



(b)

— without a Screening Wire
 - - - with a Screening Wire

그림 5. (a) 자기 및 상호 인덕턴스 (b) 자기 및 상호 커패시턴스

Fig. 5. (a) Self and mutual inductance (b) Self and mutual capacitance.

$$Static L \approx 0.2 \ln\left(\frac{2h}{r}\right) \quad [\mu H/m] \quad (3)$$

$$Static M \approx 0.1 \ln\left[1 + \left(\frac{2h}{d}\right)^2\right] \quad [\mu H/m] \quad (4)$$

$$Static C_s \approx \frac{55.6}{\ln\left(\frac{2h}{r}\right)} \quad [pF/m] \quad (5)$$

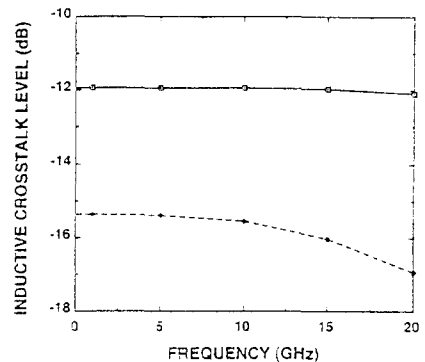
$$Static C_m \approx \frac{27.8 \ln\left(1 + \left(\frac{2h}{d}\right)^2\right)}{\left[\ln\left(\frac{2h}{r}\right)\right]^2} \quad [pF/m] \quad (6)$$

2. 혼신 해석 결과

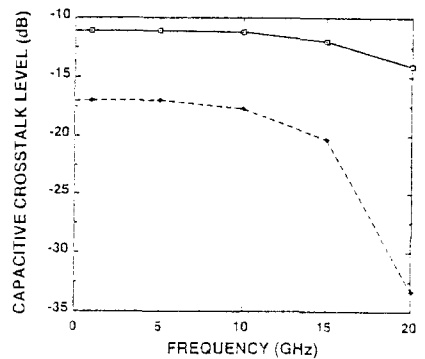
그림 6에는 자체 기생성분과 상호 결합성분으로부터 다음의 식(7)과 식(8)을 이용하여 각각 계산된 유도성 혼신 레벨(Inductive Crosstalk level)과 용량성 혼신 레벨(Capacitive Crosstalk level)을 보였다^[11].

$$Inductive Crosstalk level = 20 \text{Log}_{10}\left(\frac{M}{L}\right) \quad (dB) \quad (7)$$

$$Capacitive Crosstalk level = 20 \text{Log}_{10}\left(\frac{C_m}{C_s}\right) \quad (dB) \quad (8)$$



(a)



(b)

— without a Screening Wire
 - - - with a Screening Wire

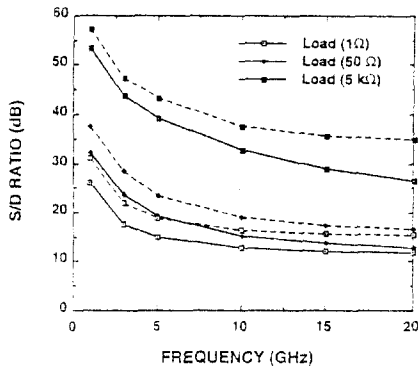
그림 6. (a) 유도성 혼신레벨 (b) 용량성 혼신레벨
 Fig. 6. (a) Inductive crosstalk level (b) Capacitive crosstalk level.

차폐 본딩와이어를 포함하지 않는 평행한 신호 본딩 와이어는 주파수의 증가에 따라 자체 기생성분의 증가 뿐만 아니라 상호 결합성분도 증가하게되어 -10 dB에서 -12 dB의 거의 일정한 혼신레벨을 갖는다. 반면에 차폐 본딩와이어를 포함한 평행한 신호 본딩와이어는 자체 기생성분의 작은 증가율과 상호 결합성분의 감소로 인하여 혼신레벨이 상대적으로 광대역 주파수 범위에서 최소 3 dB이상 감소함을 알 수 있다. 본딩와이어는 일종의 전류 전달선으로서 일반적으로 낮은 임피던스의 회로의 경우 전압에 의한 전장의 용량성 혼신보다는 전류의 흐름에 의한 자장의 유도성 혼신의 영향이 크게 작용한다.

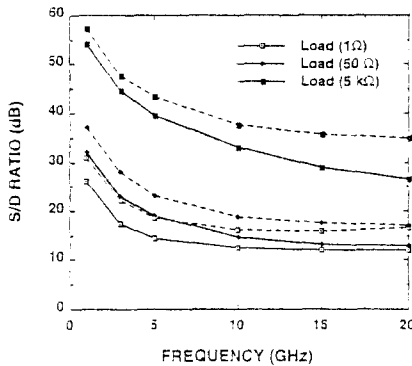
그림 7에서는 일정 신호 와이어를 통과한 신호와 근접한 다른 신호선으로부터 방해받는 신호들간의 비 (Signal-to-Disturbance Ratio) [11]를 동일 신호에 대하여 다양한 부하저항의 조건에서 모멘트법 결과와 등가회로로부터 구한 결과를 비교하였다. 여기서 1 Ω의 매우 낮은 부하저항에 대한 S/D 비는 두개의 접지된 Pad간의 혼신에 해당되며 50 Ω은 고주파소자의 특성 임피던스이고, 5 kΩ은 대부분의 TTL 혹은 CMOS의 입력 임피던스에 근사한 경우이다. 본 해석 결과는 차폐 와이어의 실제 패키지 응용시 상대적 신호 대 간섭 비의 6 dB이상의 개선효과를 나타내는 것으로 펄스신호의 상승·하강 시간에서 발생하는 특히 높은 주파수 잡음 성분에 의한 게이트간 간섭 및 오동작 등을 크게 줄일 수 있음을 나타낸다. 그리고 등가회로에 의한 결과와 모멘트법에 의한 결과가 매우 잘 일치하므로 본 등가회로를 SPICE등에 입력하여 패키지 설계나 CAE등에 직접 이용할 수 있다.

IV. 결 론

본 논문에서는 대용량 고밀도 실장에서 발생하는 본딩와이어간 혼신을 크게 감소시킬 수 있는 차폐 본딩와이어를 제안하고, 도체손실을 고려한 모멘트법을 이용하여 광대역 해석을 하였다. 해석결과로부터 근접한 신호 본딩와이어간에 차폐 본딩와이어를 삽입함으로써 혼신의 주요 원인인 상호 유도성 결합성분과 용량성 결합성분을 광대역 주파수에서 3 dB 이상 감소시킬 수 있음을 확인하였다. 또한, 용량성 결합성분도 차폐 본딩와이어의 접지 효과로 인하여 크게 감소하였으며, 신호선의 자기 기생 인덕턴스도 12 %이상 감소하였다. 일정한 혼신레벨에서 차폐 본딩와이어를 사용하였을 경우, 차폐 본딩와이어를 사용하지 않았을 경우보다 와이어의 본딩 밀도를 30 % 이상 증가시킬 수 있으며, 기존의 본딩 공정을 그대로 사용할 수 있으므로 생산 비용과 실용화 측면에서 매우 유리하다. 또한, 본 차폐 본딩와이어에 대한 정량적인 해석 결과는 고밀도 집적소자의 신호선 배치 설계 및 실장 구조 설계에 효과적으로 이용될 수 있으며, 적용되는 실장 구조에 따라 차폐 본딩와이어의 최적구조를 계산하여 적용함으로써 혼신감소를 통한 집적소자 실장의 고밀도화를 기대할 수 있다.



(a)



(b)

— without a Screenign Wire
 - - - with a Screening Wire

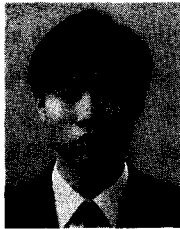
그림 7. 여러 부하 임피던스에 따른 신호 대 간섭 비 (a) 모멘트법 계산 (b) 등가회로 모델 계산

Fig. 7. S/D ratio (Signal-to-Disturbance ratio) of (a) MoM calculation and (b) Circuit model calculation with various load impedance.

참 고 문 헌

- [1] *Proc. IEEE MTT-S Int. Microwave Symp., Joint Workshop on New Packaging Techniques for MMICs and Discrete Devices and Loss, Crosstalk, and Package Effects in Microwave and Millimeter-Wave Integrated Circuits*, 1991, Boston, MA.
- [2] S. Seki and H. Hasegawa, "Analysis of crosstalk in very high-speed LSI/VLSI's using a coupled multiconductor MIS microstrip line model," *IEEE Trans. Microwave Theory and Tech.*, vol. MTT-32, pp. 1715-1720, Dec. 1984.
- [3] Hong You and Mani Soma, "Crosstalk Analysis of Interconnection Lines and Packages in High-Speed Integrated Circuits," *IEEE Trans. Circuits and Systems.*, vol. 37, no. 8, pp. 1919-1926, Aug. 1990.
- [4] W. L. Stutzman and G. A. Thiel, *Antenna Theory and design*, John Wiley and Sons, Inc., 1981.
- [5] H.-Y. Lee, T. Itoh, "Phenomenological loss equivalence method for planar Quasi-TEM transmission lines with a thin normal conductor or superconductor," *IEEE Trans. Microwave Theory and Tech.*, vol. 37, no. 12, pp. 1904-1909, Dec. 1989.
- [6] M. Nakamura, N. Suzuki, and T. Ozeki, "The superiority of optoelectronic integration for high-speed laser diode modulation," *IEEE J. Quantum Electron.*, vol. QE-22, pp. 822-826, June 1986.
- [7] R. H. Caverly, "Characteristic impedance of integrated circuit bond wire," *IEEE Trans. Microwave Theory and Tech.* vol. MTT-34, pp. 982-984, September 1986.
- [8] H.-Y. Lee, "Wideband characterization of a typical bonding wire for microwave and millimeter-wave integrated circuits," *IEEE Trans. Microwave Theory and Tech.* vol. 43, no. 1, pp. 63-68, January 1995.
- [9] H.-Y. Lee, "Wideband characterization of mutual coupling between high density bonding wires," *IEEE Microwave and Guided Wave Letters*, vol. 4, no. 8, pp. 265-267, August 1994.
- [10] C. S. Walker, *Capacitance, Inductance and Crosstalk Analysis*. Artech House, 1990, pp 31-124.
- [11] Jasper J. Goedbloed, *Electromagnetic Compatibility*. Prentice Hall, 1990, pp 79-116.

— 저 자 소 개 —



李相敦(準會員)

1972年 2月 1日生 1995年 2月
이주대학교 전자공학과 졸업(공학사). 1995년 3월 ~ 현재 동
대학원 전자공학과 석사과정 재
학중. 주관심 분야는 고속, 고밀
도 반도체 패키지의 설계 및 측

정 등임.

李海英(正會員) 第 33 卷 A編 第 2 號 參照

현재 아주대학교 전기전자공학부 교
수