

論文96-33A-6-27

파이프라인 구조를 가진 고해상도 CMOS A/D 변환기를 위한 디지털 교정 및 보정 회로

(Digital Correction and Calibration Circuits for a High-Resolution CMOS Pipelined A/D Converter)

曹坡豪*, 崔熙哲*, 李承勳*

(Jun-Ho Cho, Hee-Cheol Choi, and Seung-Hoon Lee)

요 약

본 논문에서는 파이프라인 구조를 가진 고해상도 CMOS A/D 변환기 (analog-to-digital converter)를 위한 디지털 교정 (correction) 및 보정 (calibration) 회로를 제안하였다. 제안된 회로는 0.8 μ m p-well CMOS 공정 변수를 사용하여 제작된 12 비트 4 단 파이프라인 A/D 변환기에 실제 응용되었다. 제안된 디지털 교정 회로는 최적화된 멀티플렉서 (multiplexer) 및 중첩되지 않는 클럭 (nonoverlapping clock)을 사용하여 면적을 줄이고 파이프라인 구조에 따른 모듈 (module)식 설계를 가능하게 하였다. 또한, 제안된 디지털 보정 회로는 보정 제어 회로, 오차 평균 회로 및 메모리 (memory) 등 세 개의 블록으로 구성되어 있으며, 기존의 파이프라인 A/D 변환기의 아날로그 회로 부분을 크게 변경시키지 않고도 효과적으로 자체 보정 (self-calibration)을 수행할 수 있는 장점을 가지고 있다.

Abstract

In this paper, digital correction and calibration circuits for a high-resolution CMOS pipelined A/D converter are proposed. The circuits were actually applied to a 12-bit 4-stage pipelined A/D converter which was implemented in a 0.8 μ m p-well CMOS process. The proposed digital correction logic is based on optimum multiplexer and two nonoverlapping clock phases resulting in a small die area and a modular pipelined architecture. The proposed digital calibration logic which consists of calibration control logic, error averaging logic, and memory can effectively perform self-calibration with little modifying analog functional blocks of a conventional pipelined A/D converter.

I. 서론

영상 신호 처리를 위한 A/D 변환기의 해상도와 샘플링 속도는 디지털 영상 기술의 발전과 더불어 꾸준히 향상되어 왔으며 특히, 휴대용 캠코더, 의료 기기 및 고화질 텔레비전의 경우, 10 비트 이상의 해상도와 수십 Msamples/s 이상의 샘플링 속도를 요구하고 있다^{[1]-[4]}. 그러나, 집적 회로 제작시 나타나는 소자

간의 부정합 (mismatch)으로 인하여 오차 평균, 레이저 트리밍 (laser trimming), 자체 보정과 같은 특수한 방법이 사용되지 않는 한, A/D 변환기의 해상도는 10 비트를 넘기가 어렵다^{[5]-[8]}. 10 비트 이상의 해상도를 얻기 위해 응용되는 기법 중, 최근에 발표된 디지털 영역에서의 자체 보정 기법은 소자간의 부정합에 의한 오차를 디지털 코드로 측정하여 디지털 영역에서 보정하기 때문에 기존의 전형적인 아날로그 영역에서의 자체 보정 기법과는 달리 보정을 위한 추가적인 아날로그 회로가 필요하지 않으며, 정상적인 A/D 변환 동작 과정에서 코드 오차를 별도로 계산할 필요가 없다^{[9], [10]}.

* 正會員, 西江大學校 電子工學科

(Dept. of Electronic Engineering, Sogang Univ.)

接受日字: 1995年11月17日, 수정완료일: 1996年4月25日

본 논문에서는 전형적인 파이프라인 A/D 변환기를 디지털 영역에서 자체 보정할 경우에 필요한 디지털 교정 및 보정 회로를 제안한다. 그림 1은 제안된 디지털 교정 및 보정 기법이 응용될 수 있는 파이프라인 A/D 변환기의 블록 다이어그램을 예를 들어 나타내고 있다. 각 단은 그림 1 (b)에 나타나 있는 바와 같이 sample-and-hold amplifier (SHA), A/D subconverter (ADSC), D/A subconverter (DASC), 펄스 발생기 및 증폭기로 구성되어 있으며, 각 단의 ADSC에서 출력되는 디지털 코드 오차는 디지털 교정 회로 (digital correction logic : DCL)를 통하여 교정되어진다.

한 오차는 실제로 10 비트 이상의 정확도를 만족시킬 수 없으므로 보정되어야 한다. 제안된 보정 기법은 stage 1에서 발생하는 부정합에 의한 오차를 나머지 단의 10 비트 A/D 변환기 및 디지털 보정 회로 (digital calibration logic : DCAL)를 사용하여 디지털 영역에서 자체 보정한다. 본 논문의 II 장에서는 제안된 디지털 교정 기법 및 회로 구조를 제시하였고, III 장에서는 제안된 디지털 보정 기법 및 회로 구조를 제시하였다. IV 장에서는 제안된 디지털 교정 및 보정 기법이 실제 12 비트 4 단 파이프라인 A/D 변환기에 사용된 예를 보였다.

II. 제안된 디지털 교정 기법 및 회로 구조

1. 디지털 교정의 필요성

파이프라인 A/D 변환기의 각 단에서 출력되는 디지털 코드는 SHA 및 각 단의 증폭기에서 발생하는 오프셋 (offset) 오차, 이득 (gain) 오차 및 ADSC의 비선형성에 의한 오차 등으로 인하여 전체 A/D 변환기의 성능을 저하시킬 수 있다. 특히, 전형적인 파이프라인 A/D 변환기의 ADSC로 많이 사용되는 FLASH A/D 변환기는 저항 열 (resistor string)과 비교기 (comparator)로 구성되어 있어서 저항 열과 비교기의 비선형성 오차 및 오프셋 오차가 전체 A/D 변환기의 성능을 결정하는 중요한 오차 요인으로 작용한다 [11][13].

따라서, 특별한 교정 기법을 사용하지 않을 경우, 각 단 ADSC는 전체 A/D 변환기의 해상도에 해당하는 정확도를 만족시켜야 하며, 이와 같은 조건은 ADSC 설계시 많은 노력과 시간이 필요하기 때문에 바람직한 설계 방향이라 할 수 없다. 그러나, DCL을 사용한 디지털 교정 기법은 SHA 및 각 단 증폭기의 오차를 디지털 영역에서 교정할 뿐 아니라, 각 단 ADSC의 정확도를 전체 A/D 변환기의 해상도가 아닌, ADSC 자체 해상도로 국한시킴으로써 설계상의 많은 이점을 제공한다. 제안된 디지털 교정 기법은 첫 번째 단 ADSC 외의 모든 ADSC를 over-ranging ADSC 형태로 설계하고 DCL을 통하여 각 단 ADSC의 출력 코드를 1 비트 씩 중첩시킴으로써 교정을 수행한다.

2. 제안된 DCL

제안된 DCL은 아날로그 전체 입력 신호 범위의 중간 지점에서 디지털 코드가 바뀌는 mid-rise 코딩 기

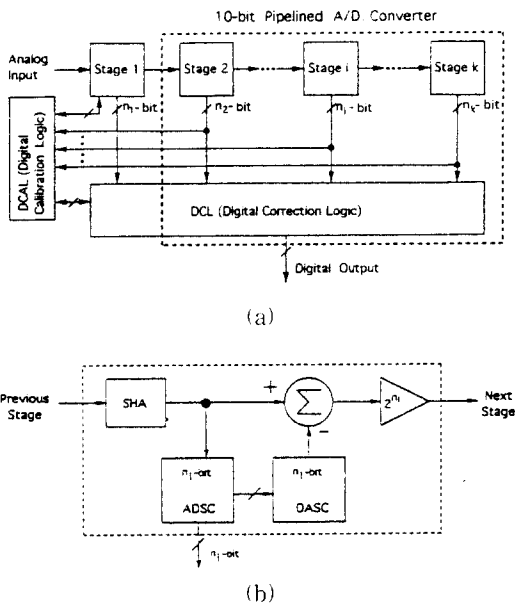


그림 1. 제안된 디지털 교정 및 보정 기법이 응용될 수 있는 파이프라인 A/D 변환기: (a) 전체 블록 및 (b) i 번째 단 블록

Fig. 1. Pipelined A/D converter based on the proposed digital correction and calibration technique: (a) top schematic and (b) ith block.

그림 1 (a)의 점선으로 표시된 DCL을 포함한 stage 2부터 stage k까지의 블록은 10 비트의 해상도를 갖는 전형적인 파이프라인 A/D 변환기를 나타내며 보정 기법을 사용하지 않아도 10 비트 정도의 해상도는 만족시킬 수 있다. 10 비트 이상의 해상도는 stage 2 전단에 하나의 단을 추가시킴으로써 얻을 수 있으나, 추가된 단 (stage 1)을 구성하는 소자들의 부정합에 의

법을 사용하여 전체 A/D 변환기의 각 단계에서의 아날로그 회로를 같은 구조를 갖도록 설계하였으며, 효과적인 파이프라인 동작을 위해 래치 (latch)와 중첩되지 않는 두 개의 클럭 위상을 사용하였다.

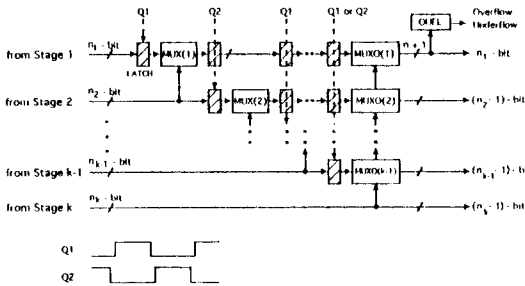


그림 2. 제안된 DCL의 블럭도
Fig. 2. Proposed DCL.

그림 2는 이러한 클럭을 사용하여 제안된 DCL의 블럭도를 나타내고 있다. 상위 단과 하위 단 사이의 1 비트 중첩에 의한 오차 교정을 위해 덧셈기 혹은 뺄셈기를 사용하지 않고 최적화된 멀티플렉서를 DCL 입력단 및 출력단에 사용하여 면적을 최소화하였다. DCL 입력단에 있는 멀티플렉서 MUX(1), MUX(2), . . . 에서 출력되는 코드는 1 비트 중첩을 통하여 교정된 코드이며, DCL 출력단에 있는 멀티플렉서 MUXO(1), MUXO(2), . . . MUXO(k-1)을 통하여 캐리 (carry) 및 보로우 (borrow) 비트 정렬이 최종적으로 수행된다. 입력단 멀티플렉서의 비트 중첩에 의한 교정과 출력단 멀티플렉서의 캐리 및 보로우 비트 정렬이 끝난 최종 출력 코드는 첫 번째 단을 제외한 모든 단에서 중첩을 위해 사용된 MSB (most significant bit)가 제외된 결과가 나타난다. 또한, 제안된 DCL은 MUXO(1)의 출력 코드 외에 캐리 및 보로우를 나타내는 비트를 하나 더 추가시켜서 전체 A/D 변환기에 입력되는 아날로그 신호가 시스템에서 수용할 수 있는 입력 수준을 만족시키는지 효과적으로 판정할 수 있다. 출력단에 있는 over- and underflow logic (OUFL)은 MUXO(1)의 출력 코드를 입력으로 사용하여 입력 아날로그 수준의 유효성을 판정한다.

그림 3은 제안된 DCL에 사용된 멀티플렉서의 블럭도를 나타내고 있다. 그림 3 (a)는 입력단에 사용된 멀티플렉서로서 세 개의 입력 제어 신호 (AIN, BIN, CIN)와 세 개의 연산 회로 (PLUS, ZERO, MINUS)

를 사용하여 입력된 코드에 각각 디지털 1을 더하거나, 입력 코드를 그대로 통과시키거나, 디지털 1을 감하여 교정 기능을 수행한다. 그림 3 (b)는 출력단에 사용된 멀티플렉서로서 입력단에 사용된 멀티플렉서와 같은 구조를 가지고 있으며 단지, 캐리 및 보로우 비트 정렬을 위한 회로인 carry-and-borrow arranging logic (CBAL)이 추가되어, 다음 단 멀티플렉서의 입력 제어 신호에 해당하는 출력 신호 (AOUT, BOUT, COUT)를 발생시킨다. CBAL은 출력단의 모든 멀티플렉서에 같은 형태가 사용될 수 있으므로 모듈화 설계에 큰 이점이 있다. 제안된 멀티플렉서는 모든 입력 신호에 대하여 그 기능이 최적화 되어 있으므로 전체 면적이 감소한다.

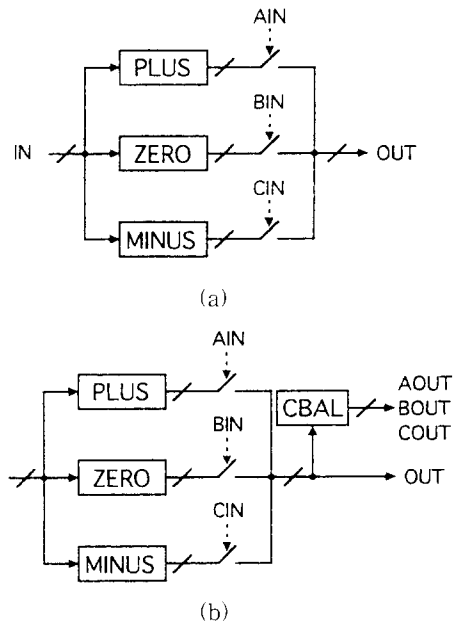


그림 3. 제안된 DCL에 사용된 멀티플렉서의 블럭도:
(a) 입력단 멀티플렉서 및 (b) 출력단 멀티플렉서

Fig. 3. Proposed DCL multiplexer:
(a) input multiplexer and (b) output multiplexer.

제안된 DCL은 파이프라인 A/D 변환기의 전체 단 수 및 각 단의 출력 비트 수 변화에 대하여 멀티플렉서와 래치만을 간단히 추가 및 제거함으로써 유연성 있게 모듈화 설계를 할 수 있을 뿐 만 아니라, 이와 같은 모듈화 설계 방식은 회로 레이아웃 (layout)에 소요되는 시간을 줄일 수 있는 장점이 있다.

III. 제안된 디지털 보정 기법 및 회로 구조

본 장에서는 기존의 10 비트 파이프라인 A/D 변환기 상단에 하나의 단을 추가시켜 10 비트 이상의 해상도를 얻고자 할 경우, 추가된 첫 번째 단의 부정합 오차를 디지털 영역에서 자체 보정하는 알고리즘과 회로 설계에 대하여 [9], [10] 및 [14]의 논문을 중심으로 살펴본다.

1. 제안된 디지털 보정 알고리즘

파이프라인 A/D 변환기 각 단의 회로 블럭 중 소자들의 부정합 오차가 가장 문제시되는 부분은 첫 번째 단의 DASC이며 특히, 캐패시터 어레이 (capacitor array)를 사용한 DASC는 10 비트 이상의 정확도를 갖기가 쉽지 않다. 따라서, 제안된 보정 기법에서는 10 비트 파이프라인 A/D 변환기 상단에 하나의 단을 추가하여 10 비트 이상의 해상도를 얻고자 할 경우, 추가된 첫 번째 단 DASC에 대하여 자체 보정을 수행한다. 제안된 보정 기법은 정상적인 A/D 변환 동작을 수행하기 전에 보정 모드를 설정하여, 첫 번째 단 DASC의 모든 입력 코드에 대한 부정합 코드 오차를 나머지 단으로 구성된 10 비트 A/D 변환기 및 DCAL을 사용하여 디지털 값으로 측정하고 메모리에 저장한다. 보정 모드가 완료되면 바로 정상적인 A/D 변환을 수행할 수 있으며, 임의의 아날로그 신호에 대하여 얻어지는 DCL의 교정된 출력 코드로부터 메모리에 저장된 첫 번째 단 DASC의 부정합 코드 오차를 제거함으로써 디지털 영역의 자체 보정이 수행된다.

첫 번째 단 DASC의 입력 코드에 대한 부정합 코드 오차는 인접하는 두 코드들의 전환 오차로부터 식 (1)로 나타낸다 [9].

$$\varepsilon_{code} [D_j] = \sum_{k=1}^j \varepsilon_{tran} [D_k] \quad (1)$$

$\varepsilon_{tran} [D_k]$ 는 코드 입력 D_{k-1} 에서 D_k 로의 코드 전환 오차이며, $\varepsilon_{code} [D_j]$ 는 코드 입력 D_j 에 대한 부정합 코드 오차이다.

또한, 식 (1)은 다음의 식 (2)와 같은 점화식으로 표현될 수 있어서 순차적으로 코드 전환 오차를 측정하고 축적하면 부정합 코드 오차를 쉽게 얻을 수 있다. 실제 제안된 디지털 보정 회로에서도 이와 같은 순차적인 오차 측정 방법을 사용하고 있다.

$$\varepsilon_{code} [D_j] = \varepsilon_{code} [D_{j-1}] + \varepsilon_{tran} [D_j] \quad (2)$$

단, $j = 1, 2, 3, \dots$ 이며, $\varepsilon_{code} [D_0] = 0$ 이다.

한편, 부정합 코드 오차를 측정하는 동안 디지털 회로로부터의 전환 잡음 (transition noise), KT/C 잡음, 랜덤 잡음 (random noise) 등 원하지 않는 잡음 신호에 의해 정확한 오차를 측정하기 어려울 수 있다. 따라서, 실제로 제안된 보정 기법에서는 한 코드에 대한 코드 전환 오차를 32번 반복 측정하여 평균을 구하는데, 그 이유는 통계학적으로 볼 때, 측정을 여러 번 수행하여 평균을 구하게 되면 전체 분산이 측정 횟수의 제곱근만큼 줄어들어 신뢰도가 향상되기 때문이다.

2. 제안된 디지털 보정 회로 블럭

그림 4는 첫 번째 단 DASC의 오차를 보정해주기 위해 제안된 디지털 보정 기법을 위한 블럭도이다. DCAL은 첫 번째 단 DASC의 부정합 코드 오차를 디지털 값으로 측정하고 저장하기 위하여 사용되며, 보정 제어 회로 (calibration control logic : CCL), 오차 평균 회로 (error averaging logic : EAL), 그리고 메모리 (memory : MEM)로 구성되어 있다. 첫 번째 단 DASC는 보정 모드에서 DCAL의 CCL로부터 모든 입력 코드를 순차적으로 받아 가며 코드 전환 오차를 아날로그 값으로 출력한다. 증폭기를 통하여 증폭된 코드 전환 오차는 나머지 단으로 구성된 10 비트 파이프라인 A/D 변환기로 입력되어 교정된 디지털 코드로 얻어진다. 디지털 코드로 전환된 첫 번째 단 DASC의 코드 전환 오차는 DCAL의 EAL로 입력되어 평균 및 축적 과정을 거치면서 메모리에 저장될 최종 부정합 코드 오차로 계산된다.

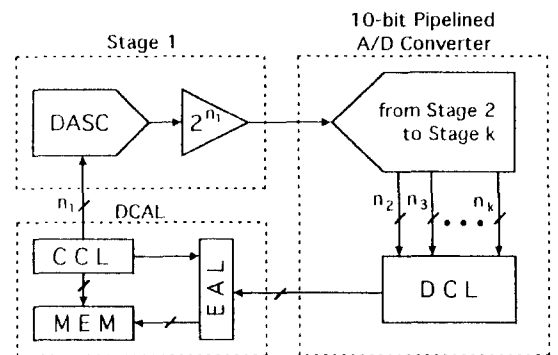


그림 4. 제안된 디지털 보정 기법을 위한 블럭도
Fig. 4. Block diagram for the proposed digital calibration.

CCL은 보정 모드에서 부정합 코드 오차 측정을 위한 모든 제어 신호들을 만들어 내며, 중요한 제어 신호로는 첫 번째 단 DASC의 입력 전환 코드와 디지털 값으로 구현된 코드 전환 오차를 평균 및 축적하기 위한 EAL 제어 신호, 그리고 메모리의 어드레스 (address) 및 메모리 쓰기 인에이블 (enable) 신호 등이다. EAL은 래치 및 덧셈기를 사용하여 코드 전환 오차를 평균하고 축적할 수 있으며, MEM은 저장용량 온-칩 (on-chip) SRAM (static random access memory)으로서 EAL에서 출력되는 최종 부정합 코드 오차를 저장하여 두었다가 정상적인 A/D 변환시 자체 보정을 위해 사용하게 된다.

IV. 12 비트 4 단 파이프라인 A/D 변환기에의 응용 예

1. 전체 구조 및 동작 원리

제안된 디지털 교정 및 보정 기법은 그림 5에 나타난 12 비트 4 단 파이프라인 A/D 변환기에 응용되었으며, 응용된 12 비트 4 단 파이프라인 A/D 변환기는 각 단에서 4 비트의 디지털 코드를 출력하는 4 4 4 4의 구조를 사용하고 있다^[14]. 각 단의 DASC는 캐패시터 어레이를 사용한 4 비트 multiplying digital to-analog converter (MDAC)의 구조를 가지고 있어서 D/A 변환은 물론, 증폭 및 샘플/홀드 (sample/hold) 작용을 동시에 수행할 수 있고^[9] 각 단의 ADSC로 4 비트 FLASH A/D 변환기를 사용하였다. 또한, 제안된 DCL을 사용하여 각 단의 FLASH A/D 변환기에서 출력되는 디지털 코드를 한 비트씩 중첩시킴으로써 디지털 교정을 수행하였고 MDAC1의 부정합 코드 오차를 자체 보정하기 위하여 제안된 DCAL이 사용되었다.

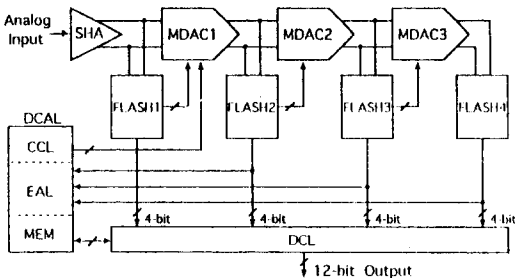


그림 5. 제안된 회로가 사용된 12 비트 4 단 파이프라인 A/D 변환기

Fig. 5. 12-bit 4-stage pipelined A/D converter employing the proposed circuits.

A/D 변환기의 디지털 자체 보정을 위한 보정 모드는 정상 동작을 수행하기에 앞서 한번 설정되며 MDAC1의 디지털 입력 0000을 제외한 15개의 모든 입력 (0001~1111)에 대하여 부정합 코드 오차를 측정한다. MDAC1의 부정합 코드 오차는 III 장에서 언급된 바와 같이 MDAC1의 코드 전환 오차를 0001부터 1111까지 순차적으로 축적하여 구하되 신뢰도를 높이기 위하여 각 코드 전환 오차를 32번씩 측정하여 평균한 값을 사용한다. 그러나, MDAC1의 코드 전환 오차를 측정하는 과정에서 발생하는 MOS 스위치 피드스루 오차는 MDAC1 소자들의 부정합으로 인하여 12 비트의 해상도를 넘어갈 수 있으며 특히, 이러한 피드스루 오차는 부정합 코드 오차를 구하기 위한 코드 전환 오차 측정 과정에서 코드 전환 오차와 함께 축적되어지기 때문에 정확한 부정합 오차 보정을 수행할 수 없게 된다^{[9], [12]}. 따라서, 코드 전환 오차 측정시 나타나는 피드스루 오차는 반드시 제거되어야 하며, 설계된 12 비트 A/D 변환기에서는 MDAC1의 코드 전환 오차를 측정하기 전에 피드스루 오차를 따로 측정하여 보정하는 방법을 사용한다.

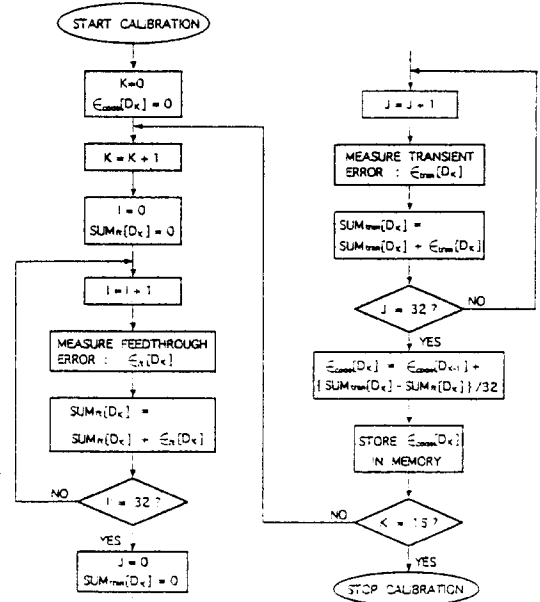


그림 6. 12 비트 A/D 변환기의 보정 모드에서의 동작도

Fig. 6. Calibration flow chart for the 12-bit A/D converter.

그림 6은 응용된 A/D 변환기의 보정 모드에서의 동

작 순서도이다. MDAC1의 각 코드 전환 오차 $\epsilon_{tran}[D_k]$ 를 측정하기 전에 각 코드에 대한 스위치 피드스루 오차 $\epsilon_{fs}[D_k]$ 를 측정하고 최종 부정합 코드 오차 $\epsilon_{code}[D_k]$ 를 구하는 과정에서 스위치 피드스루 오차를 제거한다. 신뢰도를 높이기 위하여 코드 전환 오차와 스위치 피드스루 오차를 모두 32번씩 측정하며 최종 부정합 코드 오차 계산시 평균값을 구한다. 순차적으로 구해지는 부정합 코드 오차는 차례로 메모리에 저장되며 MDAC1의 모든 입력 코드에 대한 부정합 코드 오차 측정 및 저장이 끝나면 정상적인 변환 모드에서의 동작을 수행하게 된다.

2. 설계된 디지털 교정 및 보정 회로

그림 7은 실제 사용된 DCL의 블럭 다이어그램이다. 파이프라인 동작을 위해 래치와 중첩되지 않는 두 개의 클럭 Q1 및 Q2를 사용하였고, 출력단에 있는 뿔셈기는 DCL에 의해 교정된 디지털 코드로부터 메모리에 저장된 부정합 코드 오차를 제거하여 보정된 값을 얻기 위해 사용되며, OUF1은 입력 아날로그 신호의 유효성을 판단한다. 최종 디지털 출력 코드는 뿔셈기의 14 비트 출력에서 입력 아날로그 신호의 유효성 판정을 위해 사용된 MSB 1 비트와 디지털 절삭 오차(digital truncation error)에 해당하는 LSB (least significant bit) 1 비트를 제거한 12 비트로 결정된다. 보정 모드에서는 FLASH1의 디지털 출력이 없으므로 총 9 비트의 출력 코드를 얻게 되며 뿔셈기를 거치지 않고 바로 EAL로 출력된다.

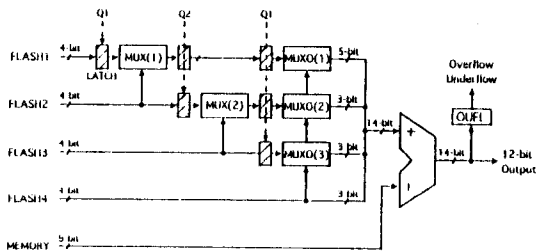


그림 7. 사용된 DCL의 실제 회로도
Fig. 7. DCL for the 12-bit A/D converter.

그림 8은 실제 사용된 CCL의 제어 신호를 나타내고 있다. 사용된 CCL은 외부 입력 CAL에 의하여 보정 모드로 들어가 보정에 필요한 제어 신호를 발생시킨다. MDAC_CODE 및 MEM_ADDR는 각각 MDAC1의 순차적인 코드 전환을 위한 제어 신호와 메모리 어드

레스를 나타내며, MWE는 메모리 쓰기 인에이블 신호로, EDE는 EAL의 데이터 인에이블 신호로 사용된다. VOS 및 VFT는 MDAC1의 코드 전환 오차 측정시 발생하는 MDAC1의 연산 증폭기 (operational amplifier) 오프셋 오차와 스위치 피드스루 오차를 제거하기 위한 제어 신호로 사용된다. VOS는 MDAC1 스위치 제어 신호로 사용되며, VFT는 EAL로 입력되는 데이터의 부호를 결정하는 제어 신호로 사용된다. MDAC1의 마지막 입력 코드 1111에 대한 부정합 오차 측정이 끝나면 외부 입력 CAL에 의해 정상 모드로 전환된다.

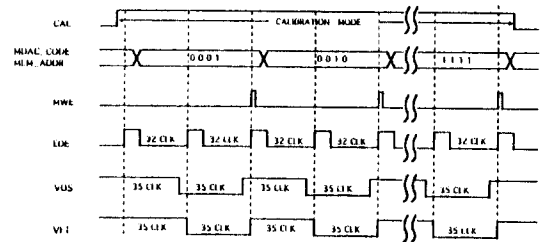


그림 8. 사용된 CCL의 제어 신호
Fig. 8. CCL control signals.

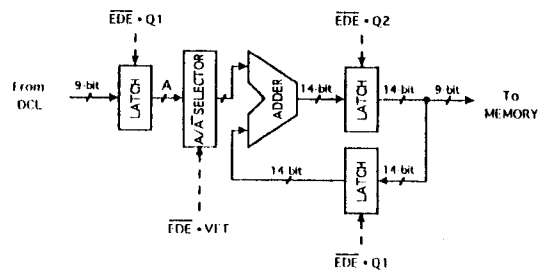


그림 9. 응용된 EAL의 블럭도
Fig. 9. EAL block diagram.

그림 9는 실제 응용된 EAL로서 파이프라인 동작 동기를 위하여 DCL과 마찬가지로 래치와 중첩되지 않는 클럭 Q1 및 Q2를 사용하였으며, 입력되는 모든 데이터는 EDE 신호에 의해 제어된다. 덧셈기 전단에 있는 부호 선택기는 VFT 신호를 사용하여 MDAC1의 스위치 피드스루 오차를 보정한다. 즉, VFT가 로직 'high'인 상태에서는 MDAC1의 스위치 피드스루 오차가 32번 반복 측정되어 그 합이 반대 부호로 출력단 래치에 저장되며, 로직 'low'인 상태에서는 MDAC1의 코드 전환 오차가 32번 반복 측정되어 부호 변함없이 합해지는데, 합해지는 과정에서 반대 부호로 저장되

어 있던 스위치 피드스루 오차의 합이 자동적으로 제거된다. 이와 같은 방법으로 MDAC1의 0001 입력부터 1111 입력까지 코드 전환 오차가 순차적으로 측정되면 출력단 래치에는 32번 반복 측정된 부정합 코드 오차의 합이 스위치 피드스루 오차가 제거된 값으로 얻어지게 된다. 메모리로 출력되는 최종 부정합 코드 오차는 32번 반복 측정된 부정합 코드 오차의 평균값으로서 출력단 래치의 상위 9 비트로 결정된다.

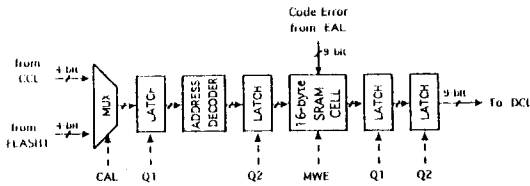


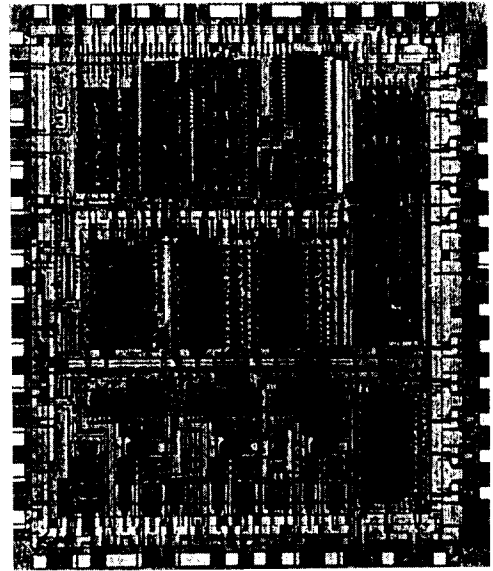
그림 10. 응용된 메모리의 블럭도
Fig. 10. 16-byte memory block diagram.

그림 10의 응용된 메모리는 16-byte SRAM으로서 전체 칩내에 온-칩화 함으로써 속도 및 잡음의 영향을 개선하였고 소모 전력 및 면적을 최적화 하였다. 입력 어드레스는 외부 입력 CAL 신호에 의해 보정 모드에서는 CCL로부터, 정상 모드에서는 FLASH1로부터 결정되며, EAL로부터 측정된 부정합 코드 오차를 데이터로 받아들인다. 파이프라인 동작 동기를 위하여 래치와 중첩되지 않는 클럭 Q1 및 Q2를 마찬가지로 사용하였으며 메모리 쓰기 인에이블 신호로 MWE를 사용하였다. 또한, 추가적인 제어 신호 없이 안전한 어드레싱 동작을 수행하기 위하여, 어드레스 디코더 입 출력단에 래치를 분산하여 배치시키고 특히, 어드레스 디코더 출력단에 있는 래치의 경우는 어드레스 신호가 바뀔 때 어드레스 신호들이 중첩되지 않도록 트랜지스터의 크기를 최적화 하였다.

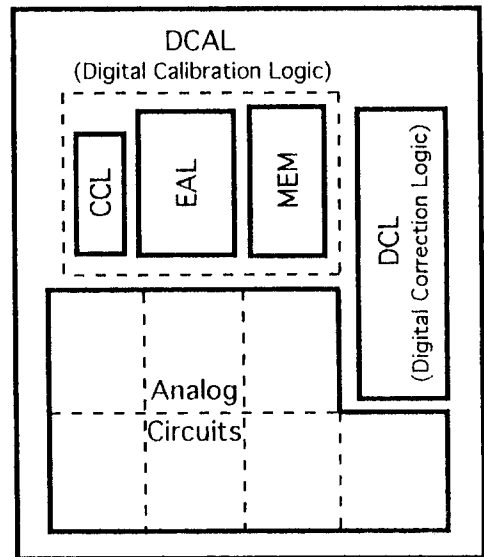
3. 측정 결과

그림 11은 0.8 μ m p-well CMOS 공정을 사용하여 제작한 12 비트 4 단 파이프라인 A/D 변환기의 칩 사진 및 회로 기능도이다. 아날로그 회로 블럭은 3개의 MDAC과 4개의 FLASH A/D 변환기로 구성되어 있으며 디지털 회로 블럭은 디지털 교정 및 보정을 위한 DCL 및 DCAL로 구성되어 있다. 출력 패드를 포함한 전체 칩의 크기는 15 mm² (4.2 mm × 3.6 mm)이며 디지털 교정 및 보정 회로는 각각 전체 회로의 약 6% 및 12%를 차지하고 있다. 그림 12는 제안된 디지

탈 보정 기법이 사용되기 전 후의 INL (integral nonlinearity) 측정 결과를 나타내고 있다. 제안된 디지털 보정 기법이 응용된 경우 INL 특성이 크게 향상됨을 볼 수 있다¹⁴⁾



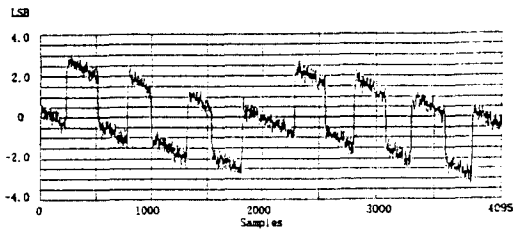
(a)



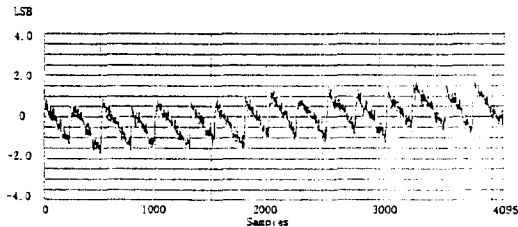
(b)

그림 11. 12 비트 4 단 파이프라인 A/D 변환기 칩:
(a) 칩 사진 및 (b) 회로 기능도

Fig. 11. Chip of the 12-bit 4-stage pipelined A/D converter:
(a) chip photo and (b) circuit block diagram.



(a)



(b)

그림 12. INL 측정 결과: (a) 보정 전 및 (b) 보정 후
Fig. 12. Measured INL:

(a) before calibration and (b) after calibration.

V. 결론

본 논문에서는 고해상도 파이프라인 A/D 변환기를 위한 디지털 교정 및 보정 회로를 제안하였으며 실제 12 비트 4 단 파이프라인 A/D 변환기에 응용하였다. 제안된 디지털 교정 및 보정 회로는 파이프라인 구조에 유연성 있는 모듈화 설계가 가능하며, 10 비트 이상의 해상도를 얻기 위해 전체 A/D 변환기의 아날로그 블록을 거의 변경시키지 않고도 약간의 회로만 추가적으로 사용하면서 디지털 영역에서 자체 보정을 수행할 수 있다. 따라서, 설계 및 레이아웃에 소비되는 시간을 상당히 감소시킬 수 있을 뿐 만 아니라 기존의 10 비트 수준의 전형적인 A/D 변환기에 직접 응용될 수 있는 장점을 가지고 있다. 또한, 제안된 회로에서는 첫 번째 단 DASC에 대해서만 보정을 수행하였으나, 차후 더 높은 해상도를 얻기 위한 2 단 이상의 DASC 보정에 대해서도 제안된 디지털 교정 및 보정 알고리즘이 응용될 수 있다.

참고 문헌

[1] Y. Ninomiya, "VLSIs for HDTV systems," in *1991 Symp. VLSI Circuits, Dig. Tech*

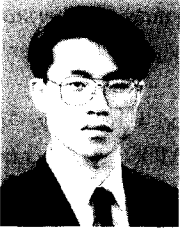
Papers, pp. 1-4, May 1991.

- [2] M. Yotsuyanagi, T. Etoh, and K. Hirata, "A 10-b 50-MHz pipelined CMOS A/D converter with S/H," *IEEE J. Solid-State Circuits*, vol. 28, no. 3, pp. 292-300, Mar. 1993.
- [3] F. Goodenough, "ADCs move to cut power dissipation," *Electronic Design*, pp. 69-74, Jan. 9 1995.
- [4] B. Razavi, *Principles of data conversion system design*. New Jersey: IEEE Press, 1995, pp. 1-6.
- [5] H.S. Lee, D.A. Hodges, and P.R. Gray, "A self-calibrating 15-bit CMOS A/D converter," *IEEE J. Solid-State Circuits*, vol. sc-19, pp. 813-819, Dec. 1984.
- [6] S. Sutarja and P.R. Gray, "A pipelined 13-bit, 250-ks/s, 5-V analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 23, no. 6, pp. 1316-1323, Dec. 1988.
- [7] B.S. Song, M.F. Tompsett, and K.R. Lakshmi Kumar, "A 12-bit 1-Msample/s capacitor error averaging pipelined A/D converter," *IEEE J. Solid-State Circuits*, vol. 23, no. 6, pp. 1324-1333, Dec. 1988.
- [8] Y.M. Lin, B. Kim, and P.R. Gray, "A 13 bit 2.5 MHz self-calibrated pipelined A/D converter in 3- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 26, no. 4, pp. 628-636, Apr. 1991.
- [9] S.H. Lee and B.S. Song, "Digital-domain calibration of multistep analog-to-digital converters," *IEEE J. Solid-State Circuits*, vol. 27, no. 12, pp. 1679-1688, Dec. 1992.
- [10] S.I. Lim and S.H. Lee, "A pipelined A/D converter architecture for high linearity and high yield," *Proceedings of JTC-CSCC*, pp. 1102-1107, Jul. 1994.
- [11] S.H. Lewis and P.R. Gray, "A pipelined 5-Msample/s 9-bit analog-to-digital converter," *IEEE J. Solid State Circuits*, vol. sc-22, no. 6, pp. 954-961, Dec. 1987.
- [12] S.H. Lee, "Code-error calibration techniques for two-step flash analog-to-digital converters," *Ph. D. Thesis*, Univ. of Illinois at Urbana-Champaign, 1991.

[13] S.H. Lewis, H.S. Fetterman, G.F. Gross, Jr., R. Ramachandran, and T.R. Viswanathan, "A 10-b 20-Msample/s analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 27, no. 3, pp. 351-358, Mar. 1992.

[14] S.I. Lim, S.H. Lee, and S.Y. Hwang, "A 12-bit 10MHz 250mW CMOS A/D converter," *IEEE ISSCC Dig. Tech. Papers*, pp. 316-317, Feb. 1996.

저 자 소 개



曹坡豪(正會員)

1971년 1월 25일생. 서강대학교 전자공학과 학사(1994), 서강대학교 전자공학과 석사(1996), 현재 한국국제협력요원(korea international cooperation agency)으로 몽골 울란바토르 기술 대학

에서 복무중. 주요 관심 분야는 반도체 집적 회로 설계, 혼성 모드 회로 설계, 데이터 변환기 설계 등임

崔熙哲(正會員) 第33卷 A編 第4號 參照
現在 三星電子 研究員

李承勳(正會員) 第32卷 A編 第12號 參照
現在 西江大學校 電子工學科
助教授