

論文96-33A-6-26

CDMA 이동국 모뎀 ASIC의 시스템 시뮬레이션

(System-Level Simulation of CDMA Mobile Station Modem ASIC)

南亨鎮***, 張慶熙**, 朴炅龍*, 金在錫****

(HyoungGin Nam, KyungHi Chang, GyeongLyong Park, and JaeSeok Kim)

요 약

본 논문에서는 CDMA 모뎀 ASIC의 설계 검증을 목적으로 개발된 CDMA 디지털 셀룰러 (cellular) 이동국의 시스템 차원 시뮬레이션(simulation) 기법 및 환경 구축 내용에 관하여 논한다. 시스템 차원 시뮬레이션을 실현 가능하도록 하기 위하여, 먼저 마이크로 컨트롤러의 VHDL 기능 모델을 개발하였으며, 또한 실제 상황을 그대로 묘사한 상위 수준 모델로부터 얻어진 data 들 ASIC의 입력으로 사용하였다. 그리고 CDMA 모뎀 ASIC의 netlist를 VHDL 시뮬레이터와 연결된 하드웨어 가속기 (hardware accelerator)에 로드한 후, 실제의 CDMA 호처리 프로그램으로 시뮬레이션을 수행할 수 있도록 하였다. 이렇게 수행한 시뮬레이션 결과는 최종적으로 Hardware Modeler 상에서 구성한 실제 시스템의 에뮬레이션 (emulation) 결과와 비교, 확인되었다. 이러한 방법은 개발 중인 ASIC의 시스템 실장 후 주로 발생하는 시스템 차원에서의 오동작이나 설계상의 오류를 미리 용이하게 발견할 수 있게 할 뿐만 아니라, 게이트 (gate) 차원에서의 ASIC 시뮬레이션 시간도 20 배 정도 감소시키는 장점을 갖고 있다.

Abstract

We present system-level simulation methodology as well as its environment setup established for CDMA digital cellular mobile station in an effort to verify CDMA modem ASIC design. To make the system level simulation feasible, behavioral modeling of a microcontroller was first carried out with VHDL. In addition, models written in C language were also developed to provide ASIC with realistic input data. Finally, the netlist of CDMA modem ASIC was loaded on to a hardware accelerator, which was interfaced with VHDL simulator, and simulation was performed by executing the actual CDMA call processing software. Simulation results thus obtained were confirmed by comparing them with the emulation results from the actual system constructed on Hardware Modeler. These methods were proved to be effective in both discovering in advance malfunctions when embedded in the system or design errors of ASIC and reducing simulation time by a factor of as much as 20 in case of simulation at gate-level.

* 正會員, 韓國電子通信研究所 VLSI構造研究室
(VLSI Architecture Section, Electronics and Telecommunications Research Institute)

** 正會員, 韓國電子通信研究所 移動멀티미디어研究室
(Mobile Multimedia Section, Electronics and Telecommunications Research Institute)

*** 正會員, 鮮文大學教 電子工學科
(SunMoon University, Dept. of Elec. Eng.)

**** 正會員, 延世大學教 電子工學科
(Yonsei University, Dept. of Elec. Eng.)

接受日字: 1995年2月4日, 수정완료일: 1996年4月26日

1. 서론

ASIC을 개발함에 있어서 전형적인 방법의 경우, 상위 수준의 알고리즘 시뮬레이션을 C 언어등의 고급 프로그래밍 언어를 사용하여 수행한 후, 논리 회로 설계 단계에서 논리회로 시뮬레이터를 사용한 시뮬레이션 및 회로 수정의 과정을 여러번 반복함으로써 설계 내용을 검증하게 된다. 이 때 ASIC 검증을 위한 시뮬레이션은 제한된 양의 test 벡터를 작성하여 개별적으로 수행하게 되며, 이런 방법에 의한 ASIC 설계의 문제점으로는 크게 두가지가 있다. 즉, 상위 수준의 설계와 회로 설계가 각기 독립된 작업으로 존재한다는 점과, 시뮬레이션상에서 정상동작을하던 칩이 시스템에 실장될 경우 오동작을 하는 경우가 많다는 점이다. 이러한 오동작의 주요 원인은 시스템 내의 각 부품들이 연계되었을 때 발생할 수 있는 오류 (timing등) 를 미리 검증하기가 어려운데 있다.

이러한 문제점은 VHDL을 사용한 시스템 차원의 시뮬레이션 수행에 의해 해결될 수 있으며, 이같은 경우 여러가지 이득을 얻을 수 있다^[1]. 즉, 설계 초기 단계에서 VHDL behavioral 모델을 작성하여 알고리즘을 검증하고 이 후 이들 모델을 Register Transfer Level (RTL) 의 모델로 구체화한 후, 논리합성을 수행함으로써 알고리즘을 회로로 구성하는 과정에서의 오류를 방지할 수 있다. 아울러 VHDL을 사용하는 경우 VHDL 모델과 gate-level 회로의 mixed-level 시뮬레이션이 용이하기 때문에, 각 ASIC이 시스템에 실장된 상황을 소프트웨어 또는 하드웨어로 구성하여 시스템 차원에서의 시뮬레이션을 수월하게 수행할 수 있다^[2]. 즉, 개발하고자 하는 ASIC의 VHDL 또는 gate-level netlist, 그리고 이들 ASIC과 연계되는 주변 블록들의 VHDL behavioral 모델을 작성하여 함께 시뮬레이션을 수행함으로써, 각 부품간의 timing등 적절한 연계 여부를 검증할 수 있다. 또한, 실제 시스템을 구동시키기 위한 응용프로그램을 시뮬레이션에 직접 사용함으로써 방대한 양의 test 벡터를 작성해야 하는 어려움을 감소시키는 한편, 보다 정확한 시뮬레이션을 실행할 수 있게 된다. 아울러 필요 시에는 Hardware Modeler^[3] 를 사용하여 VHDL 모델 자체의 정확성을 검증할 수 있을 뿐만 아니라, Hardware Modeler 상에서 시스템을 직접 구성하여 수행한 에뮬레이션 결과와의 비교에 의해 시뮬레이션

의 신빙성을 높일 수 있다.

이러한 시스템 차원의 시뮬레이션을 수행함에 있어서 가장 큰 장애요인으로서는 시뮬레이션에 소요되는 시간을 들수 있다. 일례로, 본 연구소에서 개발 중인 CDMA 모뎀 ASIC의 경우, 실시간 80 ms을 소프트웨어 환경에서 시뮬레이션하는데 SPARC 20에서 약 150 시간이나 소요되었으나, 이러한 문제는 하드웨어 가속기^[4] 를 사용함으로써 극복 할 수 있었다. 본 논문에서는 본 연구소에서 개발 중인 CDMA 단말기용^[5] ASIC 의 설계 검증을 위하여 하드웨어 가속기 및 Hardware Modeler 를 사용하여 수행한 VHDL 환경 하에서의 시스템 차원 시뮬레이션 기법에 관하여 서술하고자 한다.

II. CDMA 이동국 시스템 시뮬레이션을 위한 환경 구축

요즈음 디지털 통신은 증가된 채널용량, 잡음에 대한 면역성, 또한 각종 디지털 신호처리 기술의 사용에 따른 생산가격의 감소에 힘입어 점차적으로 아날로그 통신을 대체하고 있으며, CDMA 시스템은 이러한 디지털 통신 시스템중의 하나이다. 단말기는 CDMA 시스템의 한 구성요소로서, RF 시스템, IF 시스템 및 디지털 baseband로 이루어졌다. 디지털 baseband의 주요 구성요소로는 모뎀 ASIC, 가변율 음성 처리 알고리즘을 수행하는 디지털 신호처리기 (DSP), 그리고 16 비트 마이크로컨트롤러등이 있다.

1. CDMA 단말기 개요

그림 1 은 CDMA 단말기 시스템의 개요를 나타낸 것이다.

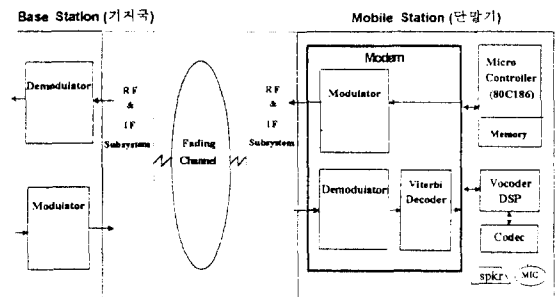


그림 1. CDMA 단말기 시스템의 개략도
Fig. 1. Epitome of CDMA mobile station system.

CDMA 확산대역 신호의 변복조 기능을 담당하는 모뎀 ASIC은 변조기(modulator), 복조기(demodulator) 및 Viterbi 복호기(decoder)로 구성되어 있다. 변조기는 $r = 1/3$, $K = 9$ 길쌈부호(convolutional encoding) 기능, 20 ms 프레임 단위의 block interleaving과 deinterleaving 기능, 64-ary orthogonal 변조 기능, OQPSK 변조기능, 그리고 FIR 필터링 기능등을 수행한다. Searcher 및 finger, 그리고 symbol combiner 블럭으로 구성된 복조기는 CDMA 확산대역 신호의 복조 기능을 담당한다. 즉, searcher는 pilot 채널(channel)을 감지하고 신호 path들을 찾아내는 기능을 수행하며, finger는 PN despreading, orthogonal 복조 기능, pilot 에너지와 신호세기 측정 및 timing tracking등의 기능들을 수행하며, 동시에 주파수 tracking을 위한 주파수 에러를 계산한다. Symbol combiner는 프레임 기준신호를 생성하고 finger에서 출력되는 신호들을 합성하며, traffic 채널에서는 long PN despreading과 power

control 기능을 수행한다. 수신된 symbol들은 deinterleaver를 거쳐 Viterbi 복호기로 보내어지는데, Viterbi 복호기는 deinterleaver로 부터 동기화되고 4-bit 양자화되어서 보내지는 심볼들을 최적의 조건으로 복호하는데 사용된다. 그림 2에는 본 연구소에서 설계한 모뎀 ASIC의 기능 블럭을 나타낸다.

2. 단말기 시스템 시뮬레이션 모델

시스템 시뮬레이션을 수행할 때 가장 어려운 점은 실제 상황과 유사한 시뮬레이션 벡터를 생성하는 것이다. 이동통신 단말기의 ASIC 동작을 확인하기 위한 시뮬레이션 입력파형을 각 모듈별로 일일이 작성한다는 것은 매우 힘들뿐 아니라, 이런 방식으로는 설계된 ASIC이 실제 시스템내에서 아무런 문제없이 동작할 것인가를 확인하기 위한 충분한 입력파형을 생성시키는 것이 거의 불가능하다. 따라서 이러한 문제점을 해결하기 위하여 단말기 CPU 구동 프로그램을 직접 시뮬레이션 입력 벡터로 사용함으로써, 실제 시스템환경과 동일한 시뮬레이션을 수행하고자 하였다.

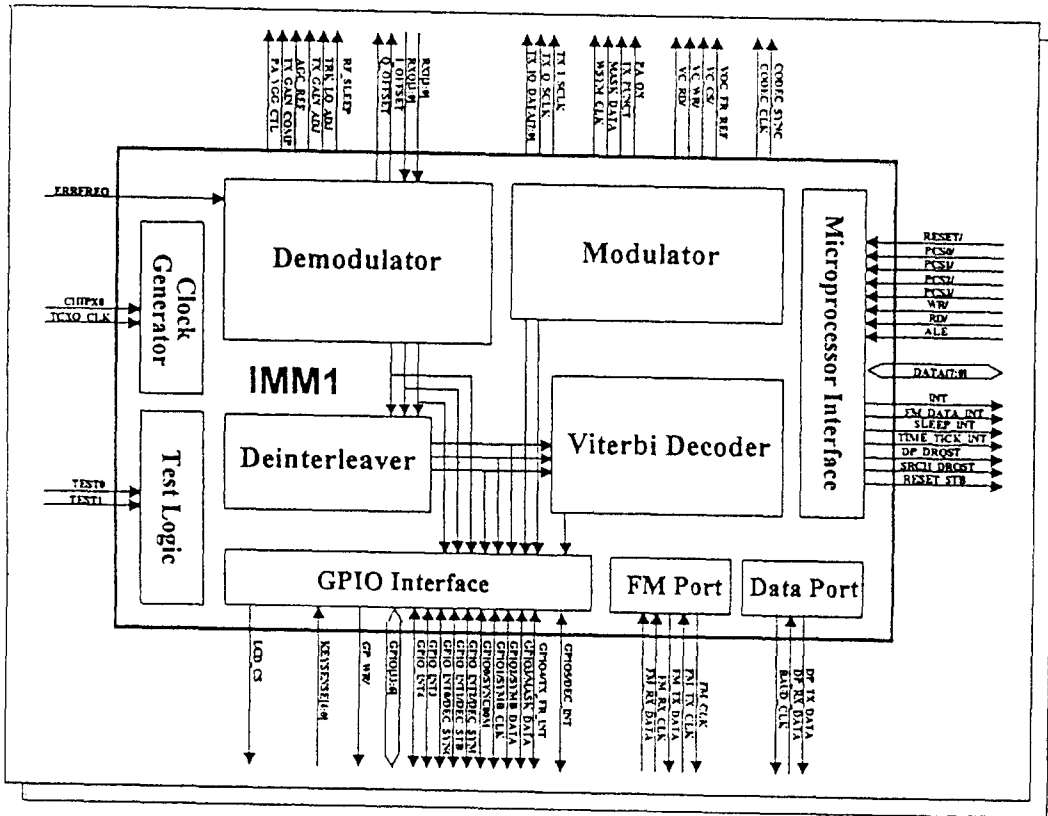


그림 2. CDMA 단말기 모뎀 ASIC의 기능 블럭
Fig. 2. Functional block diagram of CDMA mobile station modem ASIC.

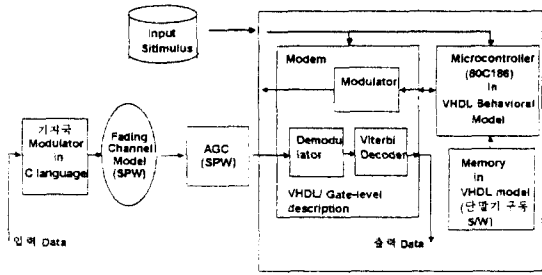


그림 3. CDMA 단말기 시스템 시뮬레이션 모델
Fig. 3. Simulation model of CDMA mobile station system.

그림 3 은 CDMA 단말기를 시스템 차원에서 시뮬레이션하기 위한 환경을 나타낸 것이다. 우선 단말기내의 복조기 입력신호를 생성하기 위하여, SPW (Signal Processing Worksystem) tool상에서 기지국의 부호기와 변조기, 그리고 fading 효과를 고려한 채널¹⁶⁾과 이동국내의 AGC (Automatic Gain Control) 루프를 모델링하였다. 그리고 개발 대상 ASIC은 gate-level 또는 VHDL netlist 의 상태로 연결하고, 단말기 구동을 제어하는 마이크로컨트롤러는 VHDL behavioral-level로 구현하였다. 아울러 메모리를 VHDL behavioral level로 구현하여 CPU 구동 프로그램을 downloading 하였다. 각 모듈 자체의 기능은

로직시뮬레이션을 통하여 검증된 상태이므로, 시스템 시뮬레이션을 수행하는 동안의 초점은 각 모듈과 콘트롤러간의 적절한 연계 여부를 검증하는데 두었다.

다음에는 그림 3에서 보인 시뮬레이션 환경을 구축하기 위하여 본 연구소에서 개발한 CPU VHDL behavioral model, C 언어를 사용한 기지국 모델, 그리고 SPW를 사용한 채널 및 AGC 루프 모델 작성에 관하여 서술하고자 한다.

3. 마이크로컨트롤러의 behavioral 모델 작성

VHDL 모델을 작성하는데는 기능만을 묘사하는 방법, 클럭 개념이 내포되어 있는 RTL 차원에서 설계를 묘사하는 방법, 게이트 차원에서 회로를 묘사하는 방법 등이 있다. 본 마이크로컨트롤러는 CDMA 단말기용 ASIC의 기능 검증을 위한 것이기 때문에 시뮬레이션 속도가 빠른 behavioral 모델로 작성하였다. 본 마이크로컨트롤러는 Intel 의 80C186과 호환성이 있는 것으로서, 몇개의 기능블럭으로 구분하여 각 기능 모듈의 behavioral 모델을 작성하고, 이들을 적절히 연계함으로써 마이크로컨트롤러의 모델 작성을 완료하였다. CPU의 기능 분류는 data book¹⁷⁾에 있는 기능 블럭 diagram을 참고하였다. 또한 각 entity에 대한 architecture를 작성함에 있어서는, 시뮬레이션만을 고

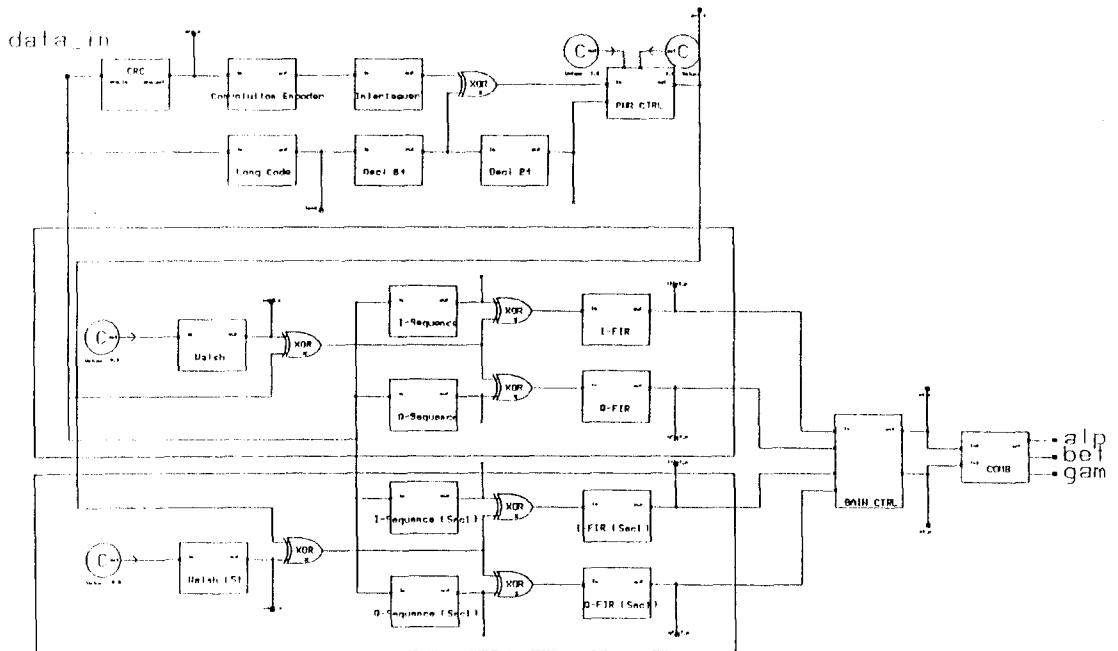


그림 4. CDMA 기지국용 변조기의 구조
Fig. 4. Structure of Modulator in CDMA Base Station.

려할 경우 process 구문의 수와 시뮬레이션 time간의 상호 관계는 자세히 알려져 있지 않은 반면 하드웨어를 엄두에 둔 경우 이들 process 구성의 주안점은 concurrent execution에 따른 maximum parallelism 확보에 있다는 점을 감안하여, 몇개의 process 구문으로 구성하였다. 아울러 기존의 80C186EA에는 없는 것으로 watchdog timer를 포함시켜 시스템의 정상동작 여부를 감지하는 기능을 수행하도록 하였다.

4. CDMA 기지국 모델링

CDMA 모뎀 ASIC의 입력 벡터를 생성하기 위하여 SPW 상에서 구현한 CDMA 기지국용 변조기의 구조는 그림 4와 같으며, IS-95에 기술된 기능을 수행한다. 각 채널 (pilot, sync, paging, traffic) 별 입력 정보가 준비되면 채널 코딩을 수행하는데, 프레임 데이터에 CRC를 생성, 추가한 후 길쌈 부호화 (convolutional encoding)를 행하고, 얻어진 심볼들에 대하여 interleaving을 수행하여 실제 변조되기 전까지의 심볼을 준비한다. 이 심볼들은 long-code scrambling (traffic channel에만 해당), power control bit 삽입 (traffic channel에만 해당), Walsh 변조, I- & Q-channel PN spreading을 거쳐 각 채널에 해당되는 신호를 생성한다.

그림 4에 나타나 있는 각 심볼들은 SPW에서 제공하는 C언어 접속 utility인 Custom Coded Block을 사용하여 C 프로그램들과 링크되어 있어, SPW 상에서 곧바로 시뮬레이션이 가능하도록 되어 있다.

5. 채널 및 AWGN 루프 모델 작성

셀룰러 시스템에서 채널 모델링은 하나의 cell 내에서, 또는 cell 간의 순방향 또는 역방향 링크에 있어, 전송되는 신호에 영향을 미치는 여러 매개 변수의 변화율을 나타냄을 의미한다. 이러한 변화율은 attenuation, shadowing, time dispersion, frequency dispersion 등의 현상을 야기하는 매개 변수의 (min, max) 값으로 나타내어진다. 여기서, attenuation은 기지국과 이동국 사이의 거리, 안테나의 높이 그리고 지리학적인 특징등에 의존하는 평균 감쇄를 말하며, Log-Normal 분포를 갖는 shadowing은 장애물에 의해 발생하는 평균 수신신호 레벨의 공간적 변화를 나타낸다. Coherence bandwidth에 의해 특징지워지는 time dispersion은 인접 물체에 의해

신호가 산란과 반사를 겪게 하며, 이동국의 이동에 의한 correlation time 과 관련된 frequency dispersion은 doppler shift bandwidth를 나타낸다. 제안된 시스템의 성능 평가는 채널 모델을 구성하는 매개 변수로부터, 최악의 상황을 유도하여 행하여진다.

본 논문에서는 TR 45.5.3.1 Subcommittee^[6]에서 결정된 CDMA 용 채널과 이동국내의 AGC 루프의 모델링 방법에 대하여 논하고, 이러한 채널 모델을 사용한 CDMA 순방향 링크의 신호 모델링에 관하여 기술한다. 기지국의 변조기로부터 시작되는 순방향 링크의 신호 모델링은 이동국 복조기 ASIC의 성능 평가를 주된 목적으로 이루어진다.

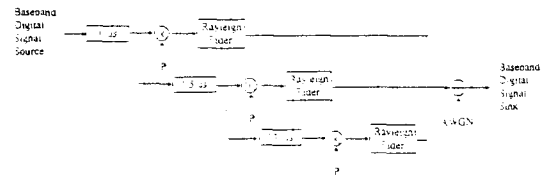


그림 5. TR 45.5.3.1의 다경로 페이딩 채널 모델
Fig. 5. Multipath fading channel model of TR 45.5.3.1.

디지털 샘플러 시스템들은 각기 채택하고 있는 다경로 페이딩 채널 모델이 있는데, TR45.5.3.1 다경로 페이딩 채널은 Rayleigh 페이더로 구성된 광대역 페이딩 시뮬레이터로서 다음의 특성을 가지고 있으며, 그림 5는 그 구성 예를 보여주고 있다.

3 ray 모델

· 경로별 독립적 페이딩

3 경로에 대한 동일 평균 전력

- 첫번째 경로로부터 1.5 us, 14.5 us 지연되어 도착하는 2, 3 번째 경로

- 8, 50, 100 km/h 저, 중, 고의 차량 이동 속도

여기서, Baseband 디지털 Signal Source는 4-bit로 구성된 4.9152 MHz TXI와 TXQ 데이터를 나타내며, P 값이 변화하는 경우엔 shadowing 등을 위한 Log-Normal slow 페이딩이 되나 본 모델에서는 고려치 않는다. Fast 페이딩을 위한 Rayleigh 페이더는 Arredondo *et al.*^[8]의 모델링 방법을 따랐으며, 차량 이동 속도에 의한 doppler shift의 영향은 3차 Butterworth shaping 필터에 의해 모사되었다. AWGN은 채널 잡음을, Baseband 디지털 Signal Sink는 4-bit로 구성된 9.8304 MHz RXI와 RXQ

data 를 나타낸다.

이러한 다경로 페이딩 채널의 출력은 채널에 의해 열화된 신호를 보상하기 위한 이동국내의 AGC 루프에 입력된다. AGC 루프는 일정한 수신 전력을 유지시킬 뿐만 아니라, 송신 전력 또한 조정한다. 기저대역에서 동작하도록 모델링된 AGC 루프는 AGC, Uniform 양자화기, multiplexer, mapping 블럭, accumulator, integrator, 그리고 compander 의 역할을 하는 received signal strength indicator (RSSI) 루프로 구성되어 있으며, multiplexing 주기는 입력 data 의 coherence 를 제거하기 위해 최소화 되어 있다. 또한, 적어도 80 dB 이상의 dynamic range 를 보장하기 위하여, AGC 는 10,000 배 까지의 이득 제어를 지원하여야 하며, 따라서 AGC 루프는 RSSI 와 REF 간의 오차를 zero 로 유지하려 한다.

언급한 다경로 페이딩 채널과 AGC 루프내의 각 매개변수는 MATLAB 을 사용하여 설정되었으며, 이러한 매개변수는 SPW 상에서의 CDMA 기저국용 변조기와의 접속을 위한 모델링에 직접 활용되었다.

III. CDMA 이동국의 시스템 차원 시뮬레이션

일반적으로 시스템 차원의 시뮬레이션을 수행하기 위하여는 마이크로 콘트롤러를 포함한 시스템 내의 각 부품의 VHDL 모델을 작성하여 적절히 연계하고, 여기에 필요한 입력 신호를 제공하여 주는 testbench를 작성하여야 한다. 아울러, 콘트롤러가 수행할 응용프로그램을 VHDL 메모리 모델에 downloading하여야 한다.

하지만 이러한 시스템 차원에서의 시뮬레이션에 소요되는 시간은 매우 길어서, 소프트웨어 환경에서 시뮬레이션을 수행하는 것은 비 현실적이다. 이 문제는 하드웨어 가속기를 VHDL 시뮬레이터와 병행하여 사용함으로써 해결할 수 있다. 시스템 차원의 시뮬레이션을 수행하는데 있어서의 다른 문제점으로는 각 기능블럭들의 behavioral 모델을 작성함에 있어 그 정확도를 보장하기 어렵다는 것이다. 특히, 최근 많은 디지털 시스템이 마이크로콘트롤러를 내장하고 있기 때문에, 시스템 시뮬레이션을 위하여는 정확한 마이크로콘트롤러의 모델 확보가 불가피 하다. 기존의 마이크로콘트롤러를 모델링할 경우 알려진 정보량이 불충분하여 정확도

를 보장하기란 극히 어렵다. 이러한 문제는 Hardware Modeler를 사용하여 극복할 수 있다. 즉, behavioral 모델 검증에 사용한 입력을 Hardware Modeler에 실장된 실제의 마이크로콘트롤러에 제공하여 그 결과를 비교할 수 있다. 또한, 개발하고자 하는 chip 을 제외한 실제의 시스템을 Hardware Modeler 상에 구현하여 시스템 차원의 시뮬레이션을 직접 수행할 수도 있다.

따라서, 본 연구소에서는 이들 Hardware Modeler, 하드웨어 가속기 및 VHDL 시뮬레이터를 적절히 연계하여, 효율적이며 신빙성이 높은 시스템 차원의 시뮬레이션 환경을 구축하였다. 즉, ASIC의 netlist는 하드웨어 가속기 내의 primitive cell을 사용하여 구성하는 한편, behavioral 모델은 VHDL simulator 상에서 동작하게 하며, 이들 소프트웨어 모델과 primitive cell로 구성된 하드웨어간의 data transfer는 하드웨어 가속기에 의하여 적절히 제어되도록 하였다. 이러한 환경 구축의 장점으로는 크게 단축된 시뮬레이션 소요 시간 외에도, 우선 시뮬레이션을 위한 테스트 벡터를 testbench에서 손 쉽게 제공할 수 있다는 것이다. 또한 회로 설계 검증에 필요한 각종 신호들의 관찰이 용이하게 된다.

다음에는 testbench 작성 및 프로그램 downloading 방법과 하드웨어 가속기 및 Hardware Modeler의 사용 내용에 대하여 서술하고, 실제 수행한 시스템 차원 시뮬레이션 결과에 대하여 논한다.

1. Testbench 작성

시뮬레이션을 수행하기에 앞서 확보된 각 기능모델별 VHDL 모델 또는 netlist를 적절히 연계하여 시뮬레이션하고자 하는 시스템의 VHDL 모델을 작성하고, 아울러 본 시스템의 구동에 필요한 각종 입력신호를 생성하는 testbench를 작성하여야 한다. 시스템의 모델은 각 기능블럭을 component로 사용하여 적절히 연계하는 structural 모델 형태가 되어 손 쉽게 작성할 수 있다.

반면에, testbench는 앞에서 작성된 시스템의 모델 자체를 component로 선언하여 port mapping을 위한 신호들을 생성하는 역할을 수행한다. 따라서 testbench의 entity 부분에는 port 선언이 일반적으로 부재하게 되며, testbench의 일례로서 사용한 프로그램의 개요를 나타내면 그림 6과 같다.

```

entity testbench is
end entity;

architecture testbench_for_CDMA_SU of testbench
is
  componet CDMA_SU
    port declaration region
  end component;
  signals declaration region
begin
DUT : CDMA_SU
  component instantiation region
process blocks for generation of necessary signals
  for all the test modes
process blocks for reading necessary data from
  text files including test_mode
select_test_mode : process(test_mode)
begin
  case test_mode is
    when mode0 => region where required
                  signals for this mode
                  is mapped to
                  CDMA_SU port
    ...
    ...
  end case;
end process;
end testbench_for_CDMA_SU;

configuration config of testbench is
  for testbench_for_CDMA_SU
    for DUT : CDMA_SU
    end for;
  end for;
end config;

```

그림 6. 테스트벤치의 구성
Fig. 6. Structure of a Testbench.

2. 응용프로그램 Downloading

시뮬레이션에 사용된 CPU 프로그램은 CDMA 모델 ASIC의 주요 동작을 검증하기 위한 것으로, CPU와 CDMA 모델 ASIC을 초기화시키고 CDMA call processing 가운데 pilot 채널에 초기 동기화하는 과정 (Pilot Acquisition), 기지국으로부터 보내어진 sync 채널 message를 수신하고 sync 채널 정보 (system time, 42-bit long-code state)를 사용하여 시스템 time을 변환하는 과정, paging 채널과 forward traffic 채널을 통한 data 수신, 그리고 access 채널을 통한 access attempt 과정과 reverse traffic 채널을 통한 preamble data 및 null traffic data를 송신하는 과정을 수행한다.

본 응용프로그램의 대부분은 assembly 언어와 C 언어를 복합하여 구성되어 있다. 이러한 프로그램에서 assembler와 compiler를 사용하여 object 파일을 생성하고, 이들로 부터 Genesis사의 GLINK를 사용하여 Intel format의 hex file을 만들게 된다. 이 hex file을 작성한 C program을 이용하여 code 블록 별로 그 시작 주소 (20 bit)와 byte길이의 machine code들로 구성된 file로 전환한 다음, 각 주소에 해당하는 machine code를 EPROM VHDL 모델에서 읽어들이는 다. 즉, memory 모델내에서 text file로 부터 한 줄을 읽어들이어 그 길이가 20 비트이면 새로운 코드블록의 시작임을 알고, 20 비트에 해당하는 주소로 점프한다. 이 주소를 기점으로 하여서 text file의 다음 줄을 읽어서, 그 machine code를 저장하고 주소를 증가시키게 된다. 이러한 과정을 20 비트 주소가 다시 읽히게 되는 시점까지 반복하므로써, 각 코드블록을 메모리에 저장하게 된다.

3. Hardware Modeler의 활용

하드웨어 모델링은 physical device 를 직접 사용하여 그 device 의 기능을 시뮬레이션 할 수 있는 기술이며, Hardware Modeler는 시뮬레이터로 부터의 입력을 format 하여, 장착된 device 의 기능을 검증하고 timing 정보를 포함시킨 결과 출력을 시뮬레이터로 돌려보내준다. 대표적인 응용분야 로는 시스템 차원 시뮬레이션과 원형 ASIC 의 시스템 차원 검증을 들 수 있다.

하드웨어 모델링 작업은 device adaptor 상에 physical device 를 mount 하는 모델 하드웨어 과정, device 에 대한 정보를 제공하는 shell S/W 의 작성 과정, 그리고 logic 모델 의 기능을 검증하는 test 벡터 play 과정으로 나누어 진다.

본 연구에서 수행한 시뮬레이션의 경우를 보면 testbench 프로그램을 실시간으로 수 초까지 수행하여야 할 필요가 있어, 속도면 이나 fast memory 소비의 측면에서 효과적인 private mode 로 Hardware Modeler 를 가동하였으며, 이 때 약 55 Hz 의 시뮬레이션 속도를 나타내었다. 하드웨어 모델링 중 가장 주의할 부분은 initialization sequence 의 작성이며, 하드웨어 모델은 testbench 파일에도 상당히 민감한 것으로 나타났다. 즉, 하드웨어 모델에서의 initialization sequence와 testbench에서 실행하는

일련의 초기화 작업이 적절한 연계성을 갖을 수 있도록 하여야 한다.

4. 하드웨어 가속기의 활용

하드웨어 가속기에서는 회로들이 가속기에 내장된 primitive cell들에 의하여 재 구성되어지게 되는데, 시뮬레이션 시간이란 관점에서 볼 경우 실제 하드웨어가 동작하는 것과 버금가는 효과를 얻을 수 있게 된다.

이 들 가속기의 사용 또한 매우 용이하여 VHDL로 설계된 시스템의 일부가 회로로 조성된 경우, 이러한 불력에 해당하는 VHDL 모델의 architecture 부분 중 실제로 설계를 묘사한 부분은 삭제하고 대신 특정한 attribute를 사용하여 이 하드웨어 가속기에서 구성되어질 것임을 나타내면 된다. 반면에 하드웨어 가속기를 사용한 VHDL 시뮬레이션의 한가지 제약으로는 설계된 시스템 중 가속기에 구성된 부분의 내부 신호들은 관찰할 수 없다는 것이다. 따라서 이 부분에 설계 오류가 존재하는 경우 그 오류가 발생한 특정 위치를 찾기가 쉽지않은 않다.

5. 시스템 차원 시뮬레이션 결과 및 검증

앞에서 서술한 바와 같은 방식으로 시뮬레이션을 수행한 결과 로직 시뮬레이션에서는 간과된 몇가지 오류를 발견할 수 있었다. 이들 오류들 가운데 가장 대표적인 오류로는 컨트롤러와 각 모듈간의 신호 타이밍이 서로 맞지 않아 발생하는 초기화의 실패를 들 수 있다.

초기화의 실패는 주로 초기화 과정의 일부가 누락되었거나 순서가 잘못되어 발생하였으며, 초기화에 필수적인 입력이 적절한 시간에 다른 모듈에 의하여 생성되지 않아 발생한 경우도 있었다. 이와 같이 시스템 시뮬레이션을 수행하여 발견된 오류를 수정한 후, 시스템이 CPU의 명령에 따라 정상적으로 기능을 수행함을 확인할 수 있었다.

그림 7은 CDMA 단말기 시스템 시뮬레이션 결과의 일례를 보인 것으로, 복조기 내의 searcher가 pilot acquisition 과정에서 수신된 신호의 에너지를 Direct Memory Access (DMA)를 통하여 CPU에 전달하기 위하여 DMA 사용 신청 신호 (srch_drqst) 를 주기적으로 발생시키는 과정을 나타낸다. 또한 변조기에서 deinterleaving을 수행하기 위하여 복조기에서 변조기로 심볼 (symb_data) 이 클럭 (symb_clk) 에 동기되어 전송되는 과정도 관찰할 수 있다. 아울러 전력제어를 위한 입력신호를 추출하는 과정도 나타나 있다.

CDMA 모델 ASIC 과 behavioral 모델들로 구성된 시스템 시뮬레이션의 결과는 최종적으로 기존의 CDMA 이동국 모델 ASIC 의 하드웨어 모델과 Intel 의 16 비트 마이크로 콘트롤러 하드웨어 모델 (I80C186EAA) 을 주축으로한 시스템 에뮬레이션 결과와 비교함으로써, 간접적인 설계 검증을 수행할 수 있었다.

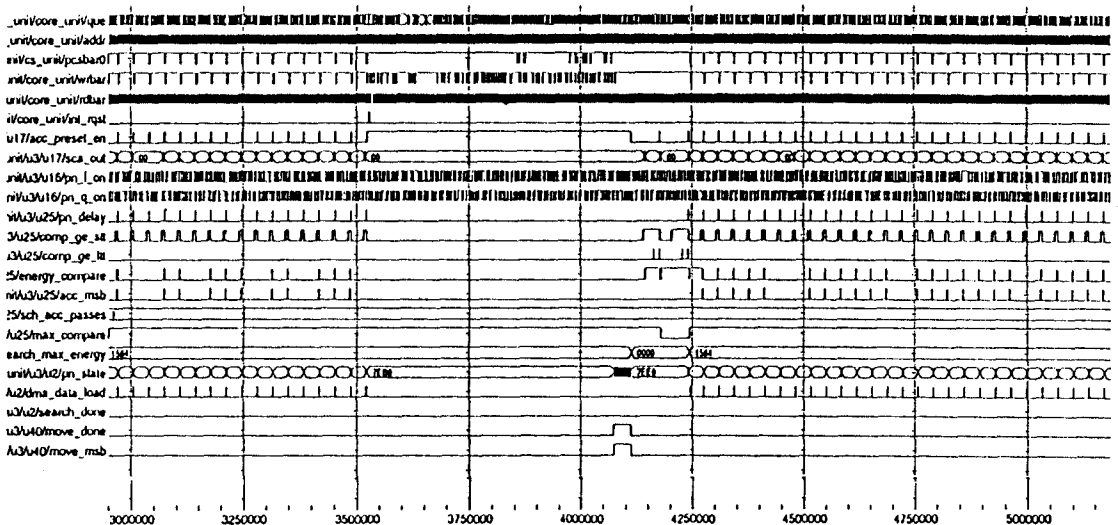


그림 7. CDMA 단말기 시스템 시뮬레이션 결과의 일례
 Fig. 7. An Example of System Simulation of CDMA Mobile Station.

IV. 결 론

본 논문에서는 80C186과 호환성이 있는 마이크로콘트롤러의 VHDL 모델과 본 연구소에서 개발 중인 모델 ASIC 을 연계하여 수행한 시스템 차원의 시뮬레이션 환경 및 그 결과에 대하여 기술하였다. 이렇게 구성된 시스템 차원 시뮬레이션 환경에서는 마이크로콘트롤러 모델로 하여금 CDMA 이동국을 구동시키는데 사용되는 실제의 응용 프로그램을 수행토록 하므로써, 방대한 양의 stimulus 벡터를 만들어야 하는 어려움 없이 각 ASIC의 여러 기능을 검증할 수 있었다. 특히 통상적으로 ASIC 시뮬레이션이 stand-alone 상태에서 수행되는 것과는 달리, 본 연구에서는 시스템 차원에서의 시뮬레이션을 수행하므로써, 각 기능 블록별로 조각 시뮬레이션을 수행하였을 때 간과된 설계상 오류를 발견할 수 있었으며, ASIC이 시스템에 실장되었을 때의 정상동작 여부를 미리 검증할 수 있었다.

감사의 글

※ 본 연구를 위해 모델 ASIC에 관한 정보 및 실제 simulation 작업에 많은 도움을 준 한국전자통신연구소 VLSI 구조연구실의 손仁山, 魚益洙, 林寅基, 延光一 선임연구원께 감사를 드립니다.

참 고 문 헌

- [1] S. Mazor and P. Langstraat, *A Guide to VHDL*, Kluwer Academic Publishers, Norwell, MA, 1992.
- [2] H. G. Nam, K. H. Chang, G. L. Park, J. B. Kim, and J. S. Kim, Communication system simulation methodologies - CDMA system in VHDL environment, in *Proc. Int. Conf. on Signal Proc. Appl. & Tech.*, Oct. 1994, pp. 276 - 280.
- [3] Synopsys, *LM-Family Modeler Manual*, Milpitas, CA, 1992.
- [4] IKOS Systems, Inc., *Voyager Series Users Guide*, Cupertino, CA, 1994.
- [5] TIA/EIA, *IS 95 : Mobile Station Base Station Compatibility Standard for Dual-Mode Wideband Spread Spectrum Cellular System*, Washington, D.C., U.S.A., Jul. 1993.
- [6] TIA/EIA, *TR45.5.3.1 : Channel Model for Wideband Spread Spectrum Systems*, Washington, D.C., U.S.A., Jul. 1992.
- [7] Intel, *Embedded Microcontrollers and Processors Vol.II*, Mt. Prospect, IL., 1993.
- [8] G.A. Arredondo *et al.*, A multipath fading simulator for mobile radio, *IEEE Trans. Veh. Technol.*, vol. 22, pp. 241-244, Nov. 1973.

저 자 소 개

南 亨 鎮(正會員)

1984년 8월, 1986년 8월, 1991년 12월 University of Texas-Austin 전기공학과 학사, 석사, 박사. 1992년 5월 ~ 1995년 2월 한국전자통신연구소 선임 연구원. 1995년 3월 ~ 현재 선문대학교 전자공학과 교수. 주관심분야는 반도체소자 및 재료 등임



張 慶 熙(正會員)

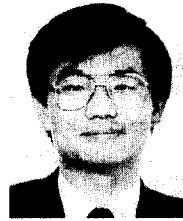
1985년 2월 연세대학교 전자공학과 학사. 1987년 2월 연세대학교 전자공학과 석사. 1992년 8월 Texas A&M University 전기공학과 박사. 1989년 10월 ~ 1990년 3월 삼성종합기술원 주임 연구원. 1992년 9월 ~ 현재 한국전자통신연구소 선임 연구원. 주관심분야는 고속디지털필터 설계와 성능분석, VLSI 신호처리, 통신시스템 모델링 및 구현, PCS/FPLMTS 구조 연구 등임



朴 甝 龍(正會員)

1984년 2월 서울대학교 물리학과 학사. 1986년 2월 한국과학기술원 물리학과 석사. 1989년 8월 한국과학기술원 물리학과 박사. 1989년 10월 ~ 현재 한국전자통신연구소 선임연구원. 주관심분야는

CDMA 무선통신 단말기 ASIC 설계 등임



金 在 錫(正會員)

1977년 2월 연세대학교전자공학과 학사. 1979년 2월 한국과학기술원전기및전자공학과 석사. 1988년 8월 Rensselaer Polytechnic Institute 박사. 1979년 2월 ~ 1984년 4월 전자기술연구소 선임연구원. 1988년 8월 ~ 1993년 5월 AT&T Bell Lab. MTS (Member of Technical Staff). 1993년 5월 ~ 1996년 2월 한국전자통신연구소 VLSI구조연구실장. 1996년 3월 ~ 현재 연세대학교 전자공학과 부교수. 주관심분야는 VLSI 설계와 CAD, 디지털 통신 및 영상압축용 ASIC 설계, DSP 설계 등임