

論文96-33A-6-19

GaAs MESFET의 통합 커패시턴스 모델

(A Unified Capacitance Model of GaAs MESFET)

李相興*, 宋昊俊*, 李起煥*

(Sang Heung Lee, Ho Jun Song, and Ki Jun Lee)

요 약

GaAs MESFET는 동작점에 따라서 선형영역, 포화영역 및 천이영역으로 구분된 커패시턴스 모델을 사용함으로써, GaAs MESFET 회로 해석을 위한 컴퓨터 시뮬레이션 과정 시 영역의 경계점에서 1차, 2차 미분 불연속으로 인한 해의 발산 문제가 발생하곤 하였다. 본 논문에서는 선형영역, 포화영역 및 천이영역을 모두 포함한 통합된 채널길이변화식을 제안하고 이를 이용하여 모든 영역에서 공통으로 쓰이는 통합된 커패시턴스 특성을 모델링하였다. 본 논문의 결과는 디바이스 시뮬레이션의 결과와 비교해볼 때 잘 일치됨을 알 수 있었고 추후 회로 시뮬레이터에 유용하게 사용될 수 있으리라 기대된다.

Abstract

In the conventional GaAs MESFET circuit simulation, the DC and transient simulation results are often failed due to the discontinuities of the first and second order derivatives arising from the use of separate C-V models in linear, saturation, and transition regions. In this paper, we propose a unified capacitance model for linear, transition, and saturation regions by using a unified channel length modulation effect that is derived by extending the channel length modulation effect in the saturation region to the linear region. Calculated results from the proposed capacitance model agree well with 2-D device simulation results. Thus, the proposed model is expected to be useful in circuit simulations.

I. 서 론

III-V족 화합물 반도체 중의 소자 하나인 GaAs MESFET은 빠른 전이동도를 갖는 관계로 최근 고속 디지털 집적회로와 초고주파 영역에서 동작하는 MMIC 소자에 널리 사용되고 있으며 점차 대규모의 고속 집적회로에도 상용화 될 전망이다.^{[1], [2]} 이러한 추세에 따라 GaAs MESFET 특성의 해석적 모델이 절실히 요구되고 있는 실정이다.

현재 GaAs MESFET로 구성된 회로를 시뮬레이션 하기 위하여 주로 사용되고 있는 전류-전압 모델은 Curtice 모델,^{[3], [4]} Statz 모델^[5]이 사용되고 있

며, 커패시턴스-전압 모델로는 쇼트키(Schottky) 다이오드 모델, Takada 모델^[6] 및 Statz 모델이 있으며 회로를 시뮬레이션 할 때는 상기 모델들을 변형^{[7], [8]}하여 사용하고 있다.

회로의 과도특성 및 주파수특성의 예측을 위해서는 내부 커패시턴스를 정확히 모델하는 것이 중요하다. SPICE에서는 GaAs MESFET의 커패시턴스 모델로 JFET의 커패시턴스 모델을 사용하는데, 이는 게이트와 소오스, 게이트와 드레인 사이를 연결하는 쇼트키 다이오드의 공핍커패시턴스 모델이다. 그런데, GaAs MESFET의 게이트-소오스 및 게이트-드레인 커패시턴스를 쇼트키 다이오드의 커패시턴스 모델로 시뮬레이션 하는 경우 edge fringing 커패시턴스를 고려하지 않고 외부전압에 의한 공핍커패시턴스만을 고려하여 계산하므로 오차가 발생한다. 한편, Takada 커패시턴스 모델의 경우 핀치오프(pinch-off) 전의 상태와

* 正會員, 忠南大學校 電子工學科

(Dept. of Elec. Eng., Chungnam Nat'l Univ.)

接受日字: 1996年2月2日, 수정완료일: 1996年5月2日

핀치오프 후의 상태의 중간에 있는 천이상태 (transition region)에서는 2차원 소자 시뮬레이션 결과를 이용하여 선형적으로 모델하고 있지만, 이 경우 미분 불연속이 근본적으로 제거될 수 없을 뿐만 아니라 속도포화가 일어났을 때 공핍층의 전하량을 정확히 계산하지 못하고 있다. Statz 모델은 전자속도 포화현상까지 포함한 앞서 소개한 모델들에 비하여 정확한 모델이나, 게이트 charge가 소오스 및 드레인 charge로 분리되어 있지 않아 SPICE와 같은 회로시뮬레이터 상에서 사용하기에는 어려움이 따르는 모델이다.

본 논문에서는 선형영역과 포화영역에서의 전하량을 하나의 식으로 모델하여 커패시턴스를 구하는 방법을 제안한다. 이 경우 회로시뮬레이션 시 나타나는 해의 불연속성이 제거되어 해의 수렴성을 용이하게 할 수가 있다. II장에서는 전자속도포화에 의해 드레인에서 소오스 쪽으로 확장된 공핍영역의 길이가 변화되는 현상을 모델한 기존의 식^{[11], [12]}을 선형영역까지 확장시키는 과정을 기술하고, III장에서는 II장에서 제안한 식을 이용하여 전하량을 구하고 이것으로부터 커패시턴스 모델을 유도하고 디바이스 시뮬레이션 결과와 비교하며, IV장에서는 결론을 맺는다.

II. GaAs MESFET의 채널길이 변화 현상과 모델링

GaAs MESFET 소자의 드레인에 전압을 인가하지 않은 상태에서 게이트에 역 바이어스 전압을 가하면 그림 1(a)와 같이 캐리어가 금속 반도체 접촉으로부터 기판쪽으로 밀려나서 공핍층이 형성되고 이에 따라 전류가 흐를 수 있는 채널의 깊이가 결정된다. 이 상태에서 드레인 전압을 0V에서부터 증가시키면 그림 1(b)와 같이 채널의 드레인 부분쪽에서 공핍영역이 확대되고 더욱 드레인 전압을 증가시키면 소오스 쪽으로 드레인 전압의 영향에 따라 공핍영역이 확장된다. 이 확장되는 정도는 인가된 게이트 전압에 따라 결정되며, 이렇게 공핍영역이 확장되면 드레인-소오스 간의 채널의 두께가 좁아진다. 드레인 전압이 계속 증가되면 더 이상 공핍영역이 기판쪽으로 확장되지 않고 채널이 pinch-off 되기 전에 전자의 속도가 먼저 포화되어 소오스 쪽을 향하여 공핍층이 확장되기 시작하여 전류가 포화되기 시작한다(그림 1(c)). 이 상태에서 드레인 전압을 더 증가시키면 소오스 쪽으로 확장되는 공핍영역

의 길이(L_s)가 증가하여 유효채널길이 L_{eff} 는 감소하여 포화영역에서도 전류가 조금씩 증가하게 된다.

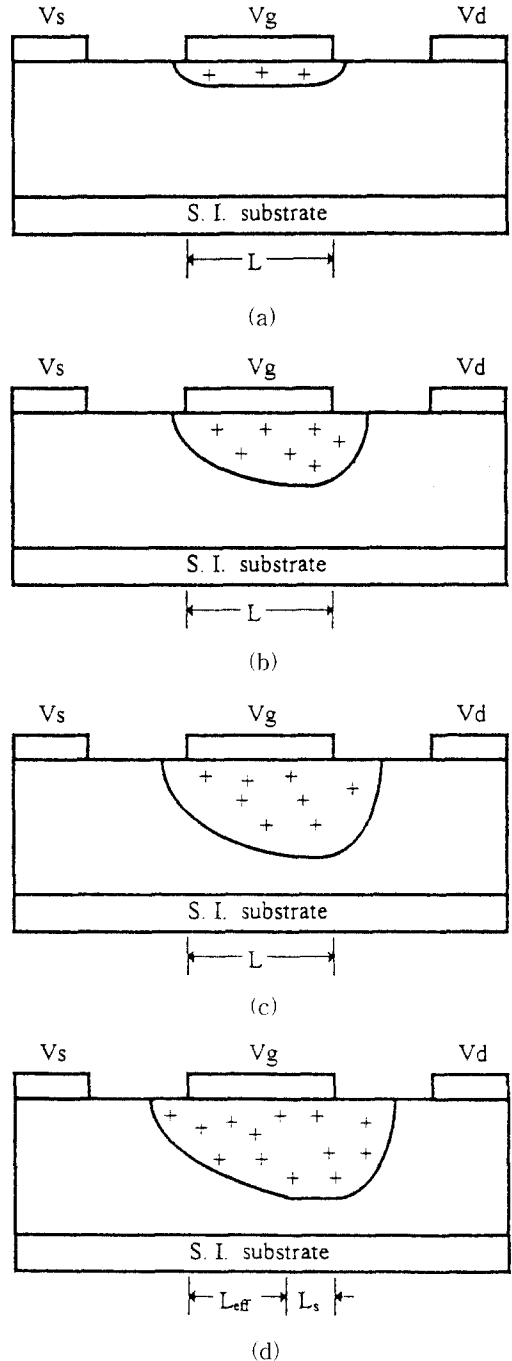


그림 1. 드레인 전압에 따라 선형영역, 과도영역, 포화영역에서의 공핍전하 및 채널의 변화를 보여주는 단면도

Fig. 1. Cross sectional view of the GaAs MESFET for illustrating depletion charges and channel modulation.

그림 2는 선형영역에서의 공핍전하의 분포(게이트 아래의 공핍층의 edge가 소오스쪽 edge로 부터 드레인쪽 edge 까지 채널길이를 따라 거의 선형적으로 변한다고 가정)와 포화영역에서 속도포화(velocity saturation)에 의해 드레인 쪽에서 소오스 쪽으로 공핍영역이 확장되었을 때 공핍전하의 분포를 각각 보여주고 있다.

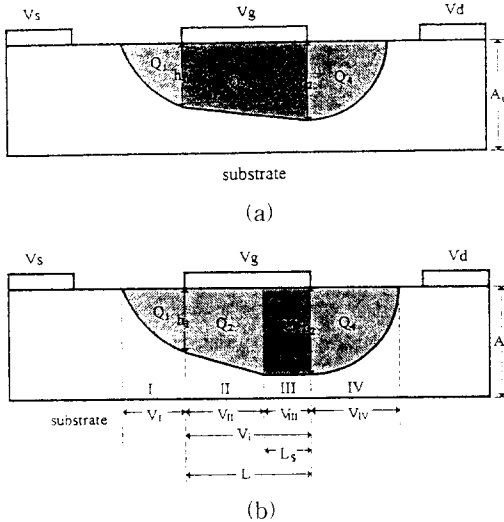


그림 2. 선형영역 및 포화영역에서의 공핍전하의 분포
(a) 선형영역 (b) 포화영역
Fig. 2. Depletion charge distribution of GaAs MESFET. (a) linear region (b) saturation region.

그림 2에서 드레인 전압이 증가하면 L_s 의 길이도 증가하고 영역III에서의 전압강하 V_{III} 는 L_s 를 이용하여 다음과 같이 표현된다.^{[11], [12]}

$$V_{III} = \frac{2A_t}{\pi} E_s \sinh\left(\frac{\pi L_s}{2A_t}\right) \quad (1)$$

여기에서, $E_s = v_s / \mu$ (v_s : 전자포화속도, μ : low field 이동도), A_t 는 활성층(active layer)의 두께이고 L_s 는 전자 속도포화에 의해 드레인에서 소오스 쪽으로 확장된 공핍영역의 길이이다. 상기 V_{III} 는 다시 다음과 같이 근사화된다.^[12]

$$V_{III} = K_d \cdot (V_i - V_{II}) \quad (2)$$

여기서, K_d 는 대략 0.1 정도의 값을 가지며, V_{II} 는 다음과 같이 표현된다.^[12]

$$V_{II} = \frac{V_p \cdot \alpha (1 - U_g)}{(\alpha + 1 - U_g)} \quad (3)$$

여기서, $\alpha = E_s \cdot L / V_p$, $U_g = (V_{bi} - V_g) / V_p$, V_p 는 pinch-off 전압이고 V_{bi} 는 metal과 GaAs substrate 사이의 built-in 전압을 나타낸다.

식 (1)로 부터 속도포화에 의해 드레인에서 소오스 쪽으로 확장된 공핍영역의 길이 L_s 를 구하면 다음과 같이 표현된다.

$$L_s = \frac{2A_t}{\pi} \ln \left[\left(\frac{\pi V_{III}}{2E_s A_t} \right) + \left(\left(\frac{\pi V_{III}}{2E_s A_t} \right)^2 + 1 \right)^{1/2} \right] \quad (4)$$

식 (4)는 속도포화 이후, 포화영역에서의 드레인에서 소오스 쪽으로 확장된 공핍영역의 길이를 계산하는 식으로서, 전자속도가 포화되기 이전의 선형영역($L_s=0$)에서는 적용되지 않으므로 기존의 커패시턴스 모델에서는 두 구간(선형 및 포화영역)으로 나누어 다루어 왔고 시뮬레이션 시 해가 잘 수렴하지 못하는 경우가 자주 있었다. 따라서, 선형영역과 포화영역에서의 전하 분포를 하나의 식으로 표현되어야 되어 L_s 가 선형영역과 포화영역에서 동시에 쓰일 수 있어야만 하나 식 (4)를 선형영역($V_{DS} \leq V_{DS,sat}$)으로 연장 했을 때 L_s 가 음수가 되어(실제로는 zero에 가까운 매우 작은 값을 가져야 한다) 적용할 수 없으므로 본 논문에서는 상기 식 (4)의 L_s 에 다음과 같이 limiting 함수를 곱하여 선형영역과 포화영역에서 동시에 이용될 수 있는 L_s 를 제안하였으며 제안된 식은 다음과 같이 표현된다.

$$L_s = \frac{2A_t}{\pi} \ln \left[\left(\frac{\pi V_{III}}{2E_s A_t} \right) + \left(\left(\frac{\pi V_{III}}{2E_s A_t} \right)^2 + 1 \right)^{1/2} \right] \cdot F(V_{ds}) \quad (5)$$

여기서,

$$F(V_{ds}) = \frac{1}{[1 + e^{-\eta(V_{ds,sat} - V_{ds})}]^2}$$

$$V_{d,sat} = K_s \cdot (V_{gs} - V_{th})$$

$F(V_{ds})$ 의 수학적적인 의미는 다음과 같다. V_{ds} 가 $V_{d,sat}$ 보다 작으면 작용수목 지수항은 큰 값을 갖게 되므로 $F(V_{ds})$ 는 0에 가까워지고, V_{ds} 가 $V_{d,sat}$ 보다 큰 경우에는 지수항은 0에 가까워지므로 $F(V_{ds})$ 는 1에 가까운 값을 갖게 된다. 이 limiting 함수 $F(V_{ds})$ 를 식 (4)에 곱하면 V_{ds} 가 $V_{d,sat}$ 보다 작은 영역에서는 $F(V_{ds})$ 가 거의 1에 가까우므로 물리적인 현상을 반영한 식 (4)의 모양을 따르게 되며, limiting 함수가 이 처럼 식 (4)에 적용될 때 물리적인 의미를 갖게 된다. η 는 선형영역에서는 L_s 가 0에 가깝고 포화영역에서는 식 (4)에

근접하도록 하기 위해 도입된 파라미터이며 3 이상이면 잘 일치됨을 알 수 있었다. 그리고 GaAs MESFET에서는 채널이 pinch-off 이전에 전자속도 포화에 의해 포화가 일어나므로 $V_{d,sat} = V_{gs} - V_{th}$ 의 관계식에 의해 드레인 포화전압을 구하면 오차가 발생한다. 따라서, $V_{d,sat} = K_s(V_{gs} - V_{th})$ 로 표현할 수 있으며, 그림 3의 GaAs MESFET 구조($V_{th} \approx -2.3$)로 디바이스 시뮬레이션한 결과로부터 K_s 는 $V_{gs} = 0.0$ 일때 L_s 가 0에서 변하는 드레인 전압을 $V_{d,sat} (\approx 0.5)$ 으로 놓고 계산하여 얻은 값으로 약 0.22 정도의 값을 가지며 이 값을 이용하여 게이트 전압이 다른 점에서의 드레인 포화전압을 구하였다.

그림 3은 디바이스 시뮬레이션에 사용된 GaAs MESFET 구조를 나타내며 시뮬레이션 결과와 제안된 선형영역과 포화영역을 모두 포함하는 L_s 의 계산치를 그림 4에 보였다. 사용된 디바이스 시뮬레이터는 TMA社의 MEDICI로서 상기 식 (5)가 디바이스 시뮬레이션 결과와 잘 일치함을 알 수 있었다.

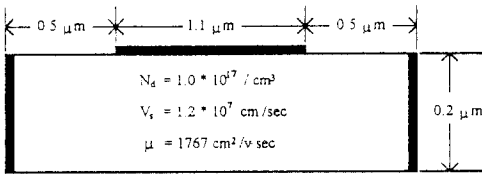


그림 3. 소자 시뮬레이션에 사용된 GaAs MESFET 구조
 Fig. 3. GaAs MESFET geometry used for device simulation.

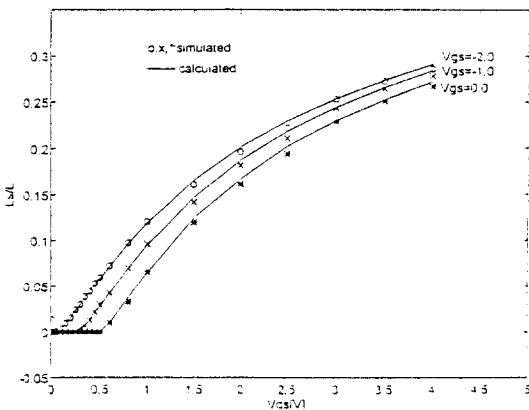


그림 4. 드레인 전압에 따른 채널길이이변화 ($\eta = 3.1$, $K_d = 0.1$, $K_s = 0.22$)
 Fig. 4. Channel length modulation with increasing the drain voltage for $\eta = 3.1$, $K_d = 0.1$, $K_s = 0.22$.

Ⅲ. 채널길이 변화를 이용한 전하량 및 커패시턴스 모델

본 절에서는 II절에서 제안한 선형영역과 포화영역에서 모두 적용되는 채널길이 변화량 L_s 를 이용하여 구한 공핍영역의 전하량 분포 및 커패시턴스 모델을 소개한다.

채널의 캐리어 농도는 공핍층의 경계에서 abrupt 하다고 가정할때 포화영역에서의 게이트 아래에 공핍된 단위 channel width당 전하량 Q_1, Q_2, Q_3, Q_4 은 그림 2(b)에 표시된 것과 같이 다음과 같이 주어진다.

$$\begin{aligned} Q_1 &= \frac{\pi}{4} qN_d h_1^2 \\ Q_2 &= qN_d h_1(L - L_s) + \frac{1}{2} qN_d (h_2 - h_1)(L - L_s) \\ Q_3 &= qN_d h_2 L_s \\ Q_4 &= \frac{\pi}{4} qN_d h_2^2 \end{aligned} \quad (6)$$

여기서,

$$\begin{aligned} h_1 &= \sqrt{\frac{2\epsilon}{qN_d} (V_{bi} - V_g + V_s)} \\ h_2 &= \sqrt{\frac{2\epsilon}{qN_d} (V_{bi} - V_g + V_d)} \end{aligned}$$

따라서, 총 전하량 Q_t 는 다음과 같이 주어진다.

$$\begin{aligned} Q_t &= Q_1 + Q_2 + Q_3 + Q_4 \\ &= \frac{1}{2} \sqrt{2\epsilon q N_d} [(L - L_s)(V_{bi} - V_g + V_s)^{1/2} \\ &\quad + (L + L_s)(V_{bi} - V_g + V_d)^{1/2}] \\ &\quad + \frac{\pi}{2} \epsilon [(V_{bi} - V_g + V_s) + (V_{bi} - V_g + V_d)] \end{aligned} \quad (7)$$

식 (6)의 Q 값 계산에서 근사값으로 계산하였는 데 이의 영향은 그리 크지 않은 것으로 보이며 참고문헌 [6]에서도 이와 같이 근사화하여 사용하고 있다. 식 (7)에서 L_s 를 0으로 가정하면 그림 2(a)의 선형영역에서 계산한 총 공핍전하량이 된다. 따라서, 식 (7)은 선형영역과 포화영역을 동시에 고려한 공핍전하량식이 되므로 하나의 연속적인 식이 된다. 따라서, 게이트 소오스 내부 커패시턴스 C_{gs} 는 게이트 총 공핍전하량 Q_t 를 게이트 드레인 전압이 일정한 상태에서 소오스 전압에 대하여 편미분하면 식 (8)과 같이 표현된다.

$$C_{gs} = \left. \frac{\partial Q_t}{\partial V_g} \right|_{V_d, V_s \text{ constant}}$$

$$= \frac{1}{2} \sqrt{\frac{qN_d \epsilon}{2V_{bi}}} \left[2V_{bi} \left(\sqrt{1 - \frac{V_{gd}}{V_{bi}}} - \sqrt{1 - \frac{V_{gs}}{V_{bi}}} \right) \frac{\partial L_s}{\partial V_s} \right. \\ \left. + (L - L_s) \frac{1}{\sqrt{1 - \frac{V_{gs}}{V_{bi}}}} \right] + \frac{\pi}{2} \epsilon \quad (8)$$

여기에서, $\frac{\partial L_s}{\partial V_s} = 0$ 이므로 식 (8)은 (9)와 같이 간단히 표현된다.

$$C_{gs} = \frac{1}{2} \sqrt{\frac{qN_d \epsilon}{2V_{bi}}} (L - L_s) \frac{1}{\sqrt{1 - \frac{V_{gs}}{V_{bi}}}} + \frac{\pi}{2} \epsilon \quad (9)$$

실제, C_{gs} 는 드레인-게이트 전압에 크게 영향을 받지 않는 것으로 알려져 있지만, 식 (9)에서는 드레인 게이트 전압의 영향이 매개변수 L_s 를 통하여 고려되어져 있다. 한편, 게이트 드레인 내부 커패시턴스, C_{gd} 는 게이트-소오스 전압이 일정한 상태에서 게이트 총 공핍 전하량 Q_t 를 드레인 전압에 대하여 편미분하면 식 (10)으로 얻어진다.

$$C_{gd} = \left. \frac{\partial Q_t}{\partial V_d} \right|_{V_g, V_s = \text{constant}} \\ = \frac{1}{2} \sqrt{\frac{qN_d \epsilon}{2V_{bi}}} \left[2V_{bi} \left(\sqrt{1 - \frac{V_{gd}}{V_{bi}}} - \sqrt{1 - \frac{V_{gs}}{V_{bi}}} \right) \frac{\partial L_s}{\partial V_d} \right. \\ \left. + (L + L_s) \frac{1}{\sqrt{1 - \frac{V_{gd}}{V_{bi}}}} \right] + \frac{\pi}{2} \epsilon \quad (10)$$

여기에서,

$$\frac{\partial L_s}{\partial V_d} = \frac{1}{[1 + e^{-(V_{gs} - V_{bi})/V_t}]^2} \left[\frac{K_d}{E_s} \sqrt{\left(\frac{\pi V_{gs}}{2E_s A_t} \right)^2 + 1} + \frac{\pi V_{gs}}{2E_s A_t} \right. \\ \left. + \left(\frac{2A_t}{\pi} \right) \eta \left(\frac{1}{[1 + e^{-(V_{gs} - V_{bi})/V_t}]^2} - \frac{1}{[1 + e^{-(V_{gs} - V_{bi})/V_t}]^4} \right) \right. \\ \left. \ln \left\{ \frac{\pi V_{gs}}{2E_s A_t} + \sqrt{\left(\frac{\pi V_{gs}}{2E_s A_t} \right)^2 + 1} \right\} \right]$$

본 논문에서는 II절의 속도포화에 의해 드레인에서 소오스 쪽으로 확장된 공핍영역의 길이 L_s 를 계산하는데 사용된 GaAs MESFET 구조와 동일한 파라미터를 이용하여 게이트-소오스 커패시턴스 및 드레인-소오스 커패시턴스를 계산하였으며, 그 결과를 2차원 디바이스 시뮬레이터인 MEDICI의 시뮬레이션 결과와 비교하였다.

그림 5 및 그림 6은 그림 3의 GaAs MESFET의 게이트 길이가 $1.1 \mu\text{m}$ 일 때 디바이스 시뮬레이션과 본 논문의 모델에 의한 결과이며, 두 결과의 차이를 보다

쉽게 표현하기 위하여 정규화(normalization)하여 나타내었다. 그림 5는 게이트-소오스 전압(V_{gs})의 변화에 따른 게이트-소오스 간 내부 커패시턴스의 변화를 나타낸 것으로서, 본 논문의 제안된 커패시턴스-전압 모델의 계산 결과와 디바이스 시뮬레이션 결과가 선형영역에서는 예상대로 잘 맞고 있으나 포화영역에서는 잘 맞지 않고 있다. 그림 6은 드레인-게이트 전압, V_{ds} 의 변화에 따른 게이트-드레인 간 내부 커패시턴스의 변화를 보여주는 것으로서, 게이트-소오스 간 내부 커패시턴스와 마찬가지로 선형영역에서는 잘 맞고 있으나 포화영역에서는 잘 맞지 않고 있다. 이는 참고문헌 [6]의 선형영역에 적용한 모델 식을 본 논문에서는 포화영역까지 확장한 결과로 여겨지며 포화영역에서의 불일치는 앞으로 해결해야 할 문제로 생각된다.

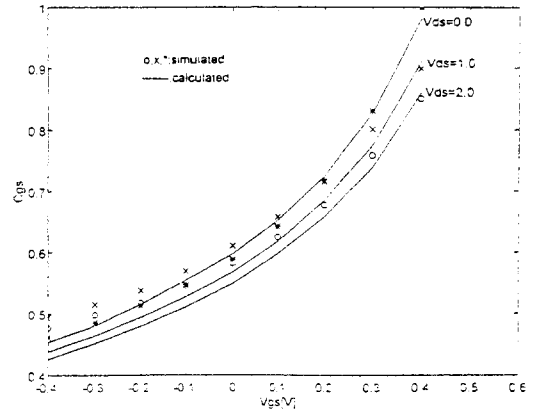


그림 5. 게이트-소오스 커패시턴스의 특성
Fig. 5. Gate-source capacitance characteristics.

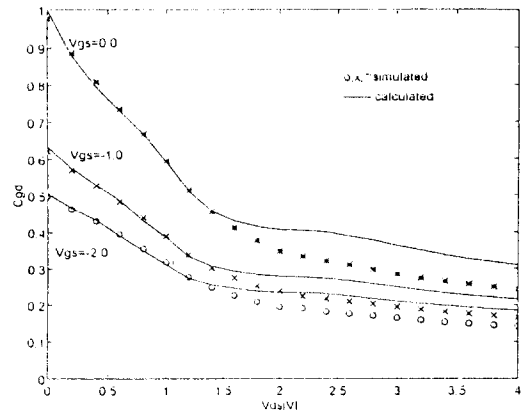


그림 6. 게이트-드레인 커패시턴스의 특성
Fig. 6. Gate-drain capacitance characteristics.

IV. 결 론

본 논문에서는 GaAs MESFET의 회로시물레이션에 유용한 통합된 게이트-소오스 커패시턴스 모델과 게이트-드레인 커패시턴스 모델을 제안하였다.

공핍층의 변화정도에 의한 채널길이 변화를 포화영역 뿐만이 아니라 선형영역까지를 포함하여 하나의 수식으로 완성하였으며, 이 제안된 속도포화에 의해 드레인에서 소오스 쪽으로 확장된 길이식을 이용하여 전하량 및 커패시턴스 모델에 적용하였다. 앞절에서 언급한 바와 같이, 드레인-소오스 전압이 클 경우 본 논문의 결과가 디바이스 시물레이션의 결과와 약간의 오차는 있지만 잘 맞고 있으며 선형영역, 포화영역 및 천이영역을 하나로 포함한 커패시턴스 모델은 회로시물레이션 상에서 영역의 경계점에서 나타나는 불연속성을 제거하여 해의 수렴도를 증가시킬 수 있을 것으로 기대된다.

참 고 문 헌

- [1] 박형무, "GaAs 디지털 IC의 설계 및 제작기술," 전자공학회지, 제14권, 제1호, pp. 1-12, 1987년 2월
- [2] 이진구, "Gallium arsenide의 집적회로의 기술 동향과 시장 전망," 전자공학회지, 제14권, 제1호, pp. 47-54, 1987년 2월
- [3] W.R. Curtice, "A MESFET Model for Use in the Design of GaAs Integrated Circuit," IEEE Trans. on Microwave Theory & Tech., vol. MTT-28, no. 5, pp. 448-456, May 1980.
- [4] W.R. Curtice and M. Ettenberg, "A Nonlinear GaAs FET Model for Use in the Design of Output Circuits for Power Amplifiers," IEEE Trans. on Microwave Theory & Tech., vol. MTT-33, no. 12, pp. 1383-1394, Dec. 1980.
- [5] H. Stutz, P. Newman, I.W. Smith, R.A. Puchel, and H.A. Haus, "GaAs FET Device and Circuit Simulation in SPICE," IEEE Trans. on Electron Devices, vol. ED-34, no. 2, pp.160-169, Feb. 1987.
- [6] T. Takada, K. Yokoyama, M. Ida, and T. Sudo, "A MESFET Variable Capacitance Model for GaAs Intergrated Circuit Simulation," IEEE Trans. on Microwave Theory & Tech., vol. MTT-30, no. 5, pp. 719-721, May 1982.
- [7] A.J. McCAMANT, G.D. McCORMACK, and D.H. Smith, "An Improved GaAs MESFET Model for SPICE," IEEE Tran. on Microwave Theory & Tech., vol. MTT-38, no. 6, pp. 822-824, June 1990.
- [8] M. Lee and L. Forbes, "A Self-Backgating GaAs MESFET Model for Low-Frequency Anomalies," IEEE Tran. on Electron Devices, vol. ED-37, no. 10, pp. 2149-2157, October 1990.
- [9] J. Conger, M.S. Shur, and A. Peczkalski, "Power Law GaAs MESFET Model," IEEE Trans. on Electron Devices, vol. ED-39, no. 10, pp. 2415-2417, Oct. 1992.
- [10] J.R. Tellez, M. Al-Daas, and K.A. Mezher, "Comparison of Nonlinear MESFET Models for Wideband Circuit Design," IEEE Tran. on Electron Devices, vol. ED-41, no. 3, pp. 288-293, March 1994.
- [11] A.B. Grebene and S.K. Ghandi, "General Theory of Pinched Operation of Junction Gate FET," Solid-State Electron, vol. 12, pp. 573-589, 1969.
- [12] M.S. Shur, "Analytical Model of GaAs FET's," IEEE Trans. on Electron Devices, vol. ED-32, no. 1, pp. 70-72, Jan. 1985.

저 자 소 개

李 相 興(正會員) 第 28卷 A編 第 11號 參照
 현재 충남대학교 전자공학과 박사
 과정 및 한국과학기술원 정보전자
 연구소 연구원
 李 起 煥(正會員) 第 27卷 A編 第 4號 參照
 현재 충남대학교 전자공학과 교수

宋 昊 俊(正會員) 第 32卷 A編 第 12號 參照
 현재 충남대학교 전자공학과 전임
 강사