

論文96-33A-6-6

최적 부하 임피던스와 하모닉 튜닝을 이용한 B급 고효율 전력 증폭기의 설계

(Class-B High Efficiency Power Amplifier by Harmonic Tuning with Optimum Load Impedance)

柳正昊*, 曹永松**, 慎哲宰***

(Jung-Ho You, Young-Song Cho, and Chull-Chai Shin)

요 약

본 논문에서는 최대효율을 얻기 위한 B급 전력 증폭기의 하모닉 튜닝 방법을 제시하였다. Cripps의 방법을 이용하여 구한 B급 증폭기의 최적부하 임피던스를 출력정합회로에 적용하고 이에 대하여 하모닉튜닝을 적용하였다. GaAs MESFET을 사용하여 835MHz 대역에서 고효율 전력 증폭기를 설계하고 제작하였으며 전력 증폭기의 특성은 30.8dBm의 출력 전력과 80.5%의 드레인 효율, 66%의 전력부가효율 및 7.4dB의 전력 이득을 얻었다.

Abstract

In this paper, harmonic-tuning method to achieve the maximum efficiency is proposed. Harmonic tuning method is applied to the optimum load impedance of a class B amplifier, which is extracted by using the modified Cripps method. High efficiency power amplifier utilizing GaAs MESFET is designed and fabricated in the 835MHz band. The performance of the amplifier is presented by having output power of 30.8dBm, drain efficiency of 80.5% and power added efficiency of 66% with an associated power gain of 7.4dB.

I. 서 론

개인 휴대 시스템에는 한정된 축전지를 장시간 사용하기 위하여 낮은 공급 전압과 효율이 높은 송신 시스템을 사용하고 소형화 및 경량화가 이루어져야 한다. 이러한 특성을 만족하기 위한 기본적인 접근 방법으로

서 송신단의 전력 증폭기의 고효율화가 중요한 연구 과제이다. 전력 증폭기의 특성은 출력의 크기, 이득, 효율등이며 이는 주로 구동 바이어스와 부하단의 임피던스에 의해 크게 좌우된다. 이득을 크게 하기 위해서는 임출력 회로의 정합이 중요하며, 출력 전력과 효율은 출력단과 구동단의 설계가 중요하다. 효율을 높이기 위해서는 DC 전력 소모를 줄이고 이득을 크게 해야 하지만, 일반적으로 최대 이득은 출력 전력의 감소를 수반 할 것이고 이것은 효율과 출력의 크기 및 이득이 서로 연관된 특성이 있음을 나타낸다. 대신호 전력 증폭기의 설계에서 미선형 적인 출력은 신호 크기의 증가에 의한 전력 포화 현상과 입력 신호에 의해서 FET가 컷-오프 상태가 됨에 의해 생기는 신호의 고조파 성분 및 전달 콘덕턴스(g_m)가 상수가 아니기 때문에 생기는 신호 크기에 따르는 이득의 변화 등에 의해 생

* 正會員, LG 精密

(LG Precision CD., LTD.)

** 正會員, 草堂産業大學校

(Dept. of Information and Telecomm. Cho-dang Univ.)

*** 正會員, 亞州大學校 電氣電子工學部

(Dept. of Elec. Eng., Ajou Univ.)

接受日字: 1995年12月29日, 수정완료일: 1996年5月21日

진다. 전력 증폭기의 특성은 입출력 정합회로에 의해 크게 변화한다. 소신호 S-파라미터를 대신호 전력 증폭기에 이용하여 입출력 정합회로를 설계한다면, 대신호에 의한 여러 비선형 특성에 의해 입출력의 반사계수($\Gamma_{in}, \Gamma_{out}$)값이 변화되기 때문에 원하는 정합상태를 이룰 수 없게 된다. 따라서, 이러한 특성을 고려하여 원하는 출력에 맞는 최적의 정합회로 임피던스 값을 찾아내는 것이 대신호 전력 증폭기 설계에 있어서 가장 큰 문제이다. 일반적인 대신호 전력 증폭기의 입출력 정합회로 설계는 측정된 로드풀(load-pull)에 의해 최적의 입출력 정합회로를 설계하는 로드풀 방법^{11) 12)}과 전력 소자의 모델링에 의해 대신호 비선형 모델을 구하고 이를 비선형 모의 실험기에 탑재하여 설계하는 방법이 있다.

이 두 방법들은 비교적 시간과 노력이 많이 필요한 과정이다. 이에 비해 Cripps의 방법은 FET의 출력 모델과 DC 부하선을 이용하여 비교적 간단한 방법으로 최적 부하 임피던스를 구한다. 이는 증폭기의 출력단 설계에 있어서 FET의 드레인 전류와 전압의 형태를 분석하여 설계하는 비교적 경험적인 방법¹³⁾에 기초를 두고 있다. 증폭기에서 전력 효율을 증가시키는 방법으로는 전력 소자의 바이어스를 조정하여 신호의 도통각을 줄이는 방법과 입출력의 정합회로를 조정하여 회로 상으로 FET의 스위칭 동작시의 손실을 줄이는 하모닉 튜닝 방법이 있다. 신호의 도통각을 줄이는 방법은 바이어스 조건을 B급으로 하였을 때 이론상으로 이상적인 FET의 경우 드레인 효율이 79%정도이나 드레인 효율이 실제 회로에 대해서는 50%를 넘기가 어렵고 또한 이득에 있어서도 I-V 특성 곡선에서 핀치 오프 전압 근처에서 g_m 이 급속히 감소하기 때문에 출력 신호의 고차왜곡 및 이득의 감소등의 문제가 있어 실제로 전력효율을 증가 시키는데에 한계가 있다. 하모닉 튜닝은 고조파의 출력 전력을 최소화 시키면서, 이에 의해 반사된 전압, 전류를 이용해 FET에서 소모되는 전력을 줄이는 방법이다. 결국 이 방법은 FET의 출력 파형이 이상적인 스위치 동작이 되게 하면서도 기본 주파수의 전력만이 부하에 전달되도록 하여 이론적인 경우 100%의 효율을 얻을 수 있고 실제의 경우 도통각만을 줄이는 방법에 비해 높은 효율을 얻을 수 있다.

본 논문에서는 최적의 출력과 이득 하에서 고효율의 특성을 갖는 전력 증폭기 설계 방법을 연구하였으며 튜닝된 증폭기에 대해 최적 출력 전력과 고효율 특성

을 나타내는 출력 파형을 분석하여 최적 부하와 하모닉 튜닝을 설계 하였다. 최적 부하값은 출력 파형의 형태에 대해 기본 주파수 성분에 의해서 결정된다. 따라서 설계 초기에 부하에 따른 증폭기의 출력 파형에 대한 정확한 분석이 필요하며, 이를 이용하여 Cripps 방법을 적용한 개선된 최적 부하 임피던스 설계 방법을 제시한다. 하모닉 튜닝은 소자의 동작 특성과 이에 의해서 형성되는 출력 파형에 대해 분석하였고, 튜닝 조건은 소자의 출력 캐패시턴스와 기생성분이 출력 정합 회로에 포함되어진 지점에서 설계되어야 함을 제시한다.

II. 최적 부하

1. Cripps 방법

증폭기의 설계에 있어서 소신호에서는 소신호 S-파라미터를 이용하여 공역 정합으로 입출력 정합을 할 수 있으나 대신호에서는 최적 전력이 나오는 부하 임피던스 값을 측정 또는 계산해야 한다. Cripps의 방법은 FET의 출력 모델과 DC 부하선(Load-line)을 이용하여 아래와 같이 최적 부하 임피던스를 구한다. 증폭기의 출력 특성은 FET의 DC I-V 특성 곡선 상에서 나타나는 드레인 전압과 전류의 궤적을 이용하여 나타낼 수 있다. FET의 출력 등가회로에서 정현파의 전류원 $i(t) = i_{peak} \cos \omega t$ 에 의해 전력이 공급되면, 임피던스 $Z = |Z| \angle \theta$ 의 부하에 대한 평균 RF전력은 식(1)이 된다.

$$P_{RF} = \frac{1}{2} i_{peak}^2 |Z| \cos \theta = \frac{1}{2} i_{peak} v_{peak} \cos \theta \quad (1)$$

FET의 DC I-V 특성 곡선에서 최대 전류 전압 변화는 식(2)로 표시된 바와같이 i_{dss} 와 포화전압(V_{sat}), 드레인 항복전압(V_{BR})에 의해 제한된다.

$$\begin{aligned} i_{peak-max} &= i_{dss} \quad (V_{gs}=0 \text{에서의 } i_{ds} \text{ 최대 전류}) \\ V_{peak-max} &= V_{BR} - V_{sat} \\ &(V_{BR}; V_{gs} = V_p \text{에서의 드레인 항복전압}) \end{aligned} \quad (2)$$

최대 RF 전력을 얻을 수 있는 순저항 부하 임피던스 값은 식(3)이 된다. 따라서, 최대 RF전력은 식(4)로 주어진다.

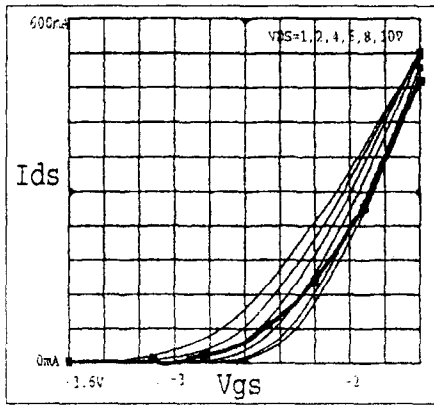
$$R_{opt} = \frac{V_{peak-max}}{i_{peak-max}} = \frac{V_{BR} - V_{sat}}{i_{dss}} \quad (3)$$

$$P_{RFmax} = \frac{1}{2} V_{peak-max} \cdot i_{peak-max} = \frac{1}{2} i_{dss}^2 R_{opt} \quad (4)$$

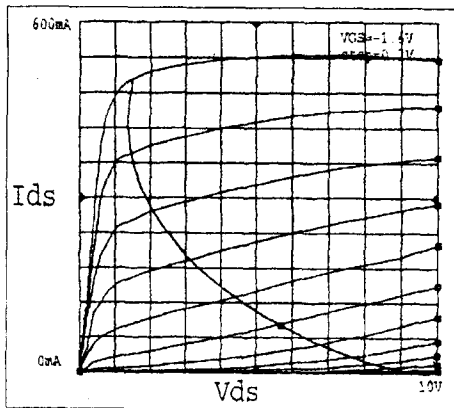
2. B급 증폭기의 튜닝된 부하에 대한 Cripps 방법의 적용

B급 바이어스 증폭기의 동작에 대해서 부하선을 이용한 Cripps 방법의 적용은 고조파 성분을 고려하여 수정 되어야 한다. 즉, 최적 부하값은 출력 파형의 형태에 대해 기본 주파수 성분에 의해 결정되기 때문에 최적 출력 파형의 형태와 최적 부하값은 밀접한 관계가 있다. 이상적으로 튜닝된 부하에 의해 B급의 반과정류된 전류 파형과 구형파의 전압 파형에 대해서 기본 주파수에 대한 전압 V_{fo} 는 $V_{peak-max}/\pi$ 으로 표현되며, 전달 콘덕턴스가 게이트-소스 전압에 대해 상수일 때의 전류 $I_{fo}(\text{constant gm})$ 는 $I_{peak-max}/4$ 이고, 전달 콘덕턴스가 게이트-소스 전압에 대해 선형적으로 증가할 때의 전류 $I_{fo}(\text{Linear gm})$ 는 $2I_{peak-max}/3\pi$ 가 된다. 따라서 이 때의 최적 부하 $R_{opt}(\text{constant gm})$ 와 $R_{opt}(\text{Linear gm})$ 는

$$\frac{4}{\pi} \frac{V_{peak-max}}{i_{peak-max}}, \quad \frac{3}{2} \frac{V_{peak-max}}{i_{peak-max}} \text{로 나타낼 수 있다.}^{14)}$$



(a)



(b)

그림 1. 튜닝된 RF 부하선
Fig. 1. Tuned RF load line. (a) I_{ds} vs. V_{gs}
(b) I_{ds} vs. V_{ds}

그림 1에 FET의 DC 특성 곡선상에서 튜닝된 부하에 대한 RF 부하선을 나타내었다. 일반적으로 FET의 핀치 오프 전압과 전달 콘덕턴스는 그림 1(a)와같이 드레인-소오스 간의 전압에 따라 달라진다. 각각의 드레인-소오스 전압에 대한 전달 콘덕턴스가 상수 일지라도 실제 RF 신호에 대한 전달 콘덕턴스는 그림 1(b)의 RF 부하선에서 볼 수 있는 것과 같이 임의의 값을 갖게된다. 이와 같이 튜닝된 전력 증폭기의 설계에 있어서 부하 임피던스는 소자의 내부 동작 특성에 따른 출력 파형의 형태에 맞추어져야 한다. 따라서 튜닝에 따르는 증폭기의 출력 파형의 형태가 최적 부하 설계의 기본 조건이 된다.

또한, FET는 외부의 패키지 및 제작시에 생기기되는 기생 성분에 의해 그림 2의 출력단 등가 회로와 같이 드레인 캐패시턴스(C_{DS})와 본드와이어 인덕턴스(L_{bond})인 기생성분들이 존재하기 때문에 이에 대한 영향이 고려되어야 한다. 이 때의 R_{opt} 값은 C_{DS} 와 L_{bond} 를 부하쪽으로 포함 시킨 값이 되며, 따라서 최적 부하 임피던스(Z_{opt})는 R_{opt} 값에 대해 C_{DS} 와 L_{bond} 를 제거한 값으로 구할 수 있다¹³⁾

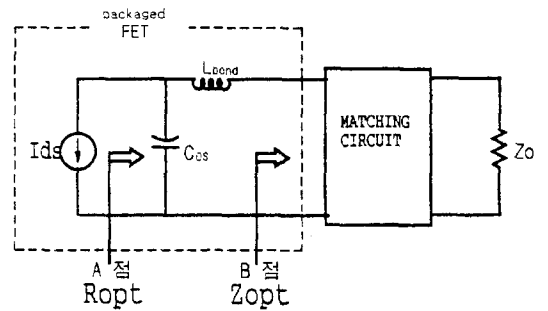


그림 2. 입출력의 기생 패키지 성분을 포함한 GaAs MSFET

Fig. 2. GaAs MSFET with parastic package elements.

III. 하모닉 튜닝

1. 고효율 파형

B급 이상의 증폭기는 FET 소자가 최소 DC 전력이 소모되는 핀치 오프 전압 근처의 바이어스 포인트에서 동작하기 때문에 높은 효율을 얻는다. 이 때의 출력 파형을 보면 FET가 근사적으로 스위치 동작을 하는 것을 볼 수 있다. 이와 같이 증폭기의 효율은 출력단에서의 전압, 전류의 파형 형태를 조사함으로써 분석할 수

있다. 식(5)와(6)에 전력 효율과 드레인 효율의 정의를 나타내었다.

$$\eta_{add} \text{ (power added efficiency)} = \frac{P_{out}(1) - P_m}{P_{dc}} \times 100 \quad (5)$$

$$\eta_d \text{ (drain efficiency)} = \frac{P_{out}(1)}{P_{dc}} \times 100 \quad (6)$$

여기서, P_{out} 는 출력전력, $P_{out}(1)$ 는 기본 주파수 출력 전력, P_m 는 입력전력 P_{dc} 는 DC 공급전력, P_{diss} 는 FET에서 소모되는 전력이다.

FET의 출력 전류(i_{DS}), 전압(V_{DS})과 주파수로 표시된 $V_{DS}(n)$ 는 다음과 같다.

$$i_{DS}(t) = \sum_{n=-\infty}^{\infty} I_{DS}(n) e^{j\omega_n t} \quad (7)$$

$$v_{DS}(t) = \sum_{n=-\infty}^{\infty} V_{DS}(n) e^{j\omega_n t} \quad (8)$$

$$V_{DS}(n) = \begin{cases} V_{DD} & n = 0 \\ -I_{DS}(n) Z_L(n) & n \geq 1 \end{cases} \quad (9)$$

여기서, $n(0, 1, 2, \dots)$ 은 주파수 성분(0은 DC 성분, 1은 기본 주파수 성분...)이고, V_{DD} 는 드레인의 바이어스 전압이며, $Z_L(n)$ 은 드레인에서 부하를 바라본 임피던스이다. 이 식에 의해 FET에서 손실되는 전력은 게이트쪽의 전력 손실을 무시한다면 시간과 주파수에 의한 식은 아래와 같다.

$$P_{diss} = \frac{1}{T} \int_0^T i_{DS}(t) \times v_{DS}(t) dt \quad (10)$$

$$P_{diss} = \sum_{n=0}^{\infty} P_{diss}(n) = \sum_{n=-\infty}^{\infty} I_{DS}(n) V_{DS}^*(n) \quad (11)$$

$$\text{단, } P_{diss}(n) = \begin{cases} I_{DS}(0) V_{DS}(0) & n = 0 \\ 2 \text{ Real} [I_{DS}(n) V_{DS}^*(n)] & n \geq 1 \end{cases} \quad (12)$$

이 때 $V_{DS}(0)$ 는 V_{DD} 와 같고 드레인-소오스 전압의 시간 평균이며, $I_{DS}(0)$ 는 드레인 전류의 시간 평균값이다. 출력 전력은 기생성분이 없는 소자로 가정할 경우 I_{DS} 와 V_{DS} 가 서로 위상이 180° 차이가 나며 식(13)과 같다.

$$P_{out}(n) = -2 \text{Real} \{ I_{DS}(n) V_{DS}(n)^* \} \quad n \geq 1 \quad (13)$$

최대전력이 전달될 때 식(11)를 다시 쓰면, FET 손실 전력은 식(14)와 같이 되며 따라서 드레인 효율은 식(15)와 같이 나타낼 수있다.

$$\begin{aligned} P_{diss} &= I_{DS}(0) V_{DS}(0) - 2 \sum_{n=1}^{\infty} |I_{DS}(n)|^2 \text{Real} [Z_L(n)] \\ &= I_{DS}(0) V_{DS}(0) - \sum_{n=1}^{\infty} P_{out}(n) \\ &= P_{dc} - P_{out}(1) - \sum_{n=2}^{\infty} P_{out}(n) \end{aligned} \quad (14)$$

$$\eta_d = \frac{P_{dc} - P_{diss} - \sum_{n=2}^{\infty} P_{out}(n)}{P_{dc}} \times 100 \quad (15)$$

2. 하모닉 튜닝

전력 효율을 증가시키기 위해서는 FET 손실 전력 (P_{diss})과 고조파 출력 전력 ($\sum_{n=2}^{\infty} P_{out}(n)$)을 최소화 시켜야 된다.

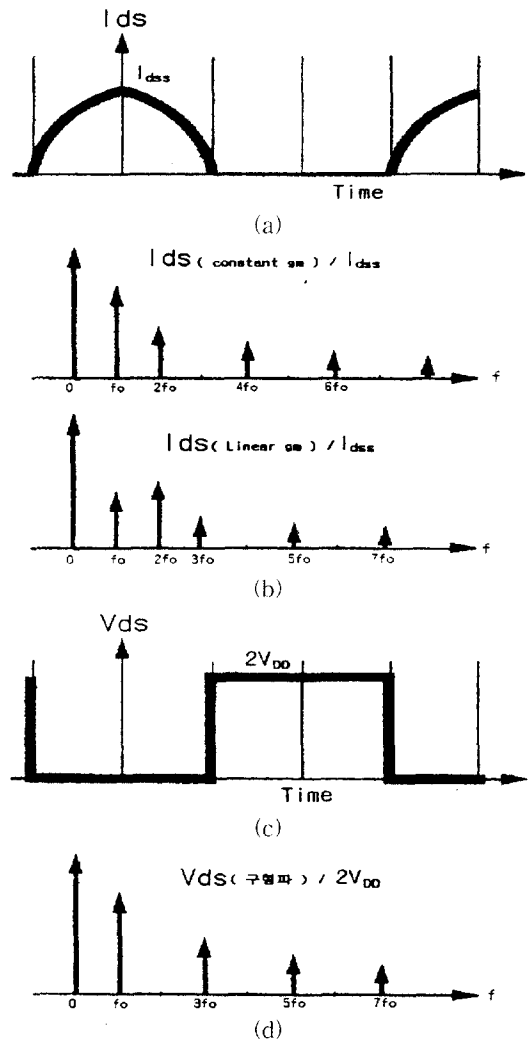


그림 3. B급 증폭기에 대한 이상적인 고효율 동작 파형 (a) 전류 파형 (b) 전류 스펙트럼 (c) 전압 파형 (d) 전압 스펙트럼

Fig. 3. Waveform of high efficiency operation for the class-B amplifier.

하모닉 튜닝 방법은 고조파의 출력 전력을 최소화 시키면서, 튜닝에 의해 반사된 전압과 전류를 이용해 FET에서 소모되는 전력을 줄이는 것이다. 결국 이 방법은 출력 파형이 이상적인 FET의 스위치 동작이 되게 하면서도 기본 주파수의 전력만이 부하에 전달되도록 하는 것이다. B급의 반파 정류된 드레인-소오스의 전류 파형에 대해 식(10)에서 손실전력을 없애기 위해서는 드레인-소오스 전압은 크기가 $2V_{DD}$ 인 구형파가 된다¹⁶⁾. 그림 3에 B급 증폭기에 대한 이상적인 고효율 동작의 파형을 보였다. 드레인의 전류는 B급의 파형이고 전압은 이상적인 스위치의 구형파이다. 이 파형을 푸리에 시리즈로 전개하면 표 1에 나타낸 것과 같이 전류 파형은 g_m 이 상수일 때 기본 주파수 성분과 짝수 고조파의 합으로 되어 있고, g_m 이 선형일 때 기본 주파수 성분과 홀수 고조파의 합으로 되어 있으며, 전압 파형은 기본 주파수 성분 및 홀수 고조파 성분의 합으로 되어 있다. 따라서, 이러한 이상적인 고효율의 전압, 전류 파형을 형성하기 위해서는 드레인에서 부하 쪽으로 바라본 임피던스가 기본 주파수에 대해서는 정합되어 있고 짝수 고조파에 대해서는 단락 회로로, 홀수 고조파에 대해서는 특정한 값이 되어야 한다. 여기에서 특이한 점은 손실 전력이 없는 이상적인 파형은 g_m 이 상수인 출력 파형에서는 고조파 출력이 없고, g_m 이 선형인 출력 파형에서는 고조파 출력이 생기게 된다는 것이다. 따라서 g_m 이 상수인 경우에는 100%의 효율을 기대할 수 있으나, g_m 이 선형인 경우 이론적으로도 100%의 효율을 얻을 수 없다.

표 1. 이상적인 고효율 동작의 특성
Table 1. Characteristics of ideal high efficiency operation.

	f_0	$2f_0$	$3f_0$	$4f_0$
$I_{(constant\ g_m)} / I_{DSS}$	$\frac{1}{2}$	$-\frac{2}{3\pi}$	0	$-\frac{2}{15\pi}$
$I_{(Linear\ g_m)} / I_{DSS}$	$\frac{4}{3\pi}$	$-\frac{\pi}{4}$	$-\frac{4}{15\pi}$	0
$V_{DS\ (RF\ 부하)} / 2V_{DD}$	$-\frac{2}{\pi}$	0	$\frac{2}{3\pi}$	0
$R_{opt\ (constant\ g_m)}$	$\frac{4}{\pi}$	short	open	short
$R_{opt\ (Linear\ g_m)}$	$\frac{3}{2}$	short	$\frac{5}{2}$	short

3. 하모닉 튜닝 지점

이상적인 고효율의 파형을 만족하기 위해서는 고조파 튜닝이 가능한 전류원이 FET의 출력단에 등가적으

로 형성되어야 한다. 기존의 하모닉 튜닝 방법은 $\lambda/4$, $\lambda/6$, $\lambda/8$ 등의 개방 및 단락 스테브를 사용하여 FET의 드레인에서 고조파 성분을 180° 또는 0° 의 위상으로만 반사 시키는 방법^{15) 17) 18)}과 벨런스 증폭기 형태를 이용하여 고조파 성분을 조정하는 방법¹⁹⁾등을 사용하였다. 하지만 FET의 내부구조 및 동작특성이 고려되지 않아 정확한 하모닉 튜닝이 이루어지지 않았다. B급 동작의 전류원(I_{DSS})에 대한 하모닉 튜닝은 그림2에서 기생성분 및 패키지 성분을 포함한 FET의 외부 지점(B)에서의 튜닝과 기생성분 및 패키지 성분을 부하쪽으로 제거한 FET의 전류원 바로 앞(A)에서의 튜닝으로 나누어 생각 할 수 있다. 주파수가 높아지거나 고조파에 대해서는 (B)점 에서의 FET 등가 전류원은 기생 캐패시턴스와 인덕턴스에 의해 위상이 변화되어 나타남으로 기존의 Short 스테브 및 Open 스테브방법 뿐만 아니라 앞 절에서 논의한 이상적인 고효율 파형을 적용할 수 없다. 따라서 이러한 영향을 고려하여 하모닉 튜닝 방법을 적용하기 위해서는 출력의 기생 캐패시턴스와 인덕턴스를 부하쪽에 포함시킨 (A) 점에 대하여 고조파 성분을 튜닝해야 한다. 또한 앞장에서 논의한 최적 부하 임피던스에 대한 출력 패키지 성분의 영향도 이러한 사실에 잘 부합된다.

IV. 비선형 모델을 이용한 모의 실험

Cripps의 방법을 이용한 최적부하임피던스 설계와 하모닉 튜닝 방법에 대해 출력 특성과 또한 패키지 성분이 미치는 영향에 대해 분석하기 위해 패키지 성분(C_{DS} , L_{bond})을 포함한 FLK102MH-12 GaAs MESFET의 비선형 모델을 이용하여 모의실험(하모닉 밸런스드)을 하였다. 최종적으로 설계된 증폭기의 출력 파형의 특성을 FET의 패키지 성분을 제거한 지점(그림 2-(A))과 패키지 성분을 포함한 지점(그림 2-(B))에 대해 그림 4에 나타내었다. 이를 비교해 보면 그림 4(a)와 같이 고조파 튜닝에 의해서 FET내부의 튜닝 지점(점(A))에서 이상적인 B급의 고효율의 전압, 전류 파형이 형성됨을 확인할 수 있다. 또한 그림 4(c)의 I_{DSS} 와 V_{DS} 의 RF 부하선을 보면, 그 제작이 “L” 자의 형태를 나타냄을 볼 수 있다. 이것은 튜닝된 고조파 성분들에 의해서 나타나는 것이며 전형적인 스위치 동작의 전압과 전류 형태이다. $I_{DSS} = 400mA$,

$V_{GS}=-1.75V$, $V_{DS}=5.8V$ 의 B급바이어스에서 $C_{DS}=2.3pF$, $L_{band}=0.58nH$ 의 패키지 성분을 포함하여 835MHz의 기본주파수에서 모의실험을 하였으며 부하 임피던스 $Z_L(f_0)$ 는 $30.7+j10.2$, 2차 고주파에서의 $Z_L(f_2)$ 은 $-j6.00$, 3차고주파에서의 $Z_L(f_3)$ 는 $j17.93$ 의

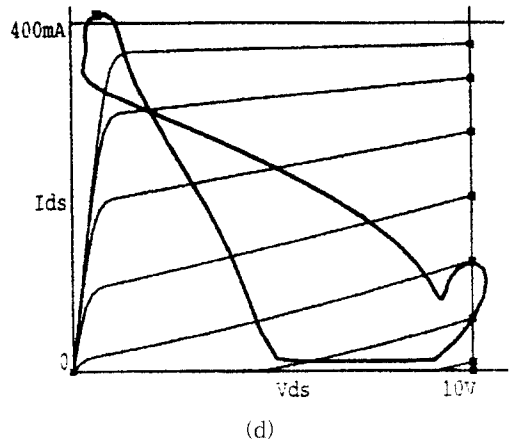
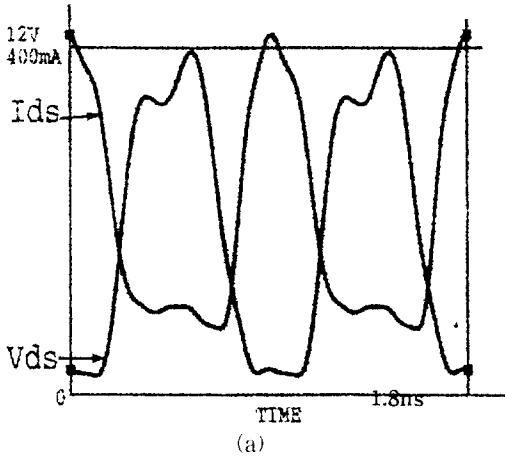
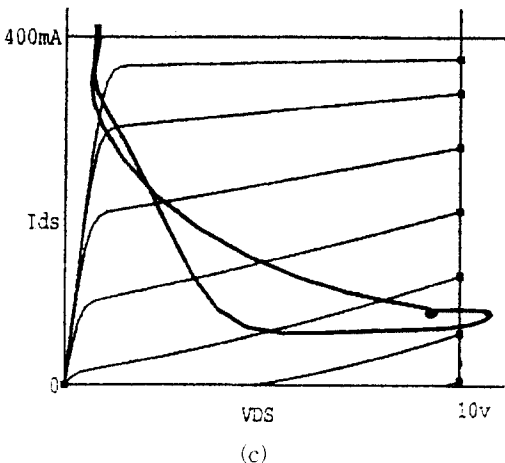
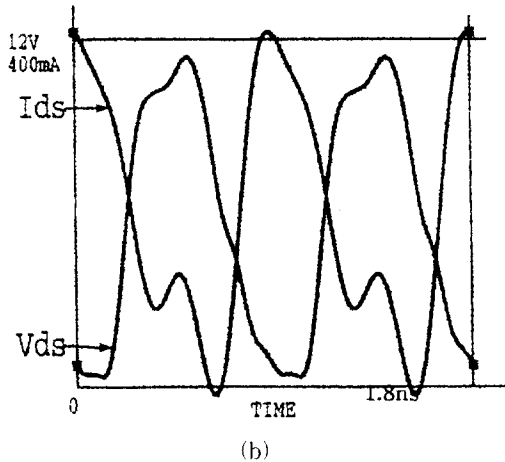


그림 4. 모의실험 결과
(a) A 지점에서의 전압, 전류 파형 (b) B 지점에서의 전압, 전류 파형 (c) A 지점에서의 RF 로드라인 궤적 (d) B 지점에서의 RF 로드라인 궤적

Fig. 4. Simulation results.

(a) voltage and current waveforms at point(A) (b) voltage and current waveforms at point(B) (c) RF load-line trajectory at point(A) (d) RF load-line trajectory at point(B)



최적 부하에 대해 1dB 이득 압축점에서 26.85 dBm의 출력 전력을 나타냈고, 전력 효율(η_{add})은 80.5%로 고 효율의 특성을 나타내며, 전력 이득은 17.4dB의 결과를 얻었다. 이 때의 최적 부하 임피던스 값에서 각 고조파 임피던스를 변화 시켰을 때의 출력과 전력 효율의 모의 실험 결과를 그림 5에 나타내었다. 출력 전력 및 효율은 기본 주파수의 실수 및 허수 임피던스 값에 대해 심하게 변화됨을 볼 수 있고, 특히 허수 값에 대해서는 임피던스 증가에 따라 전력은 감소하지만 효율은 증가함을 보여 서로 반비례하는 특성을 나타냄을 알 수 있다. 반면에 제 2 고조파 및 제 3 고조파에 대해서는 임피던스의 변화에 대해 비교적 평탄한 지점들이 형성되어 있음을 알 수 있다.

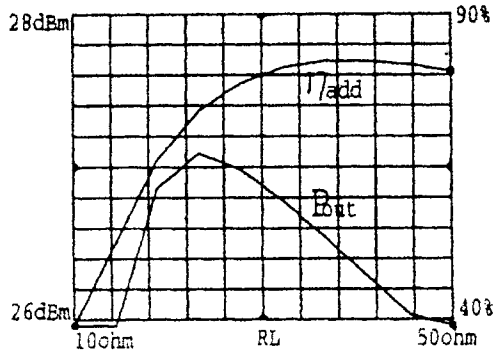
V. 증폭기의 설계 및 제작

이상에서 연구한 최적 부하 임피던스 설계와 하모닉 튜닝의 방법을 이용하여 중심 주파수가 835MHz이고 60% 이상의 전력 효율을 갖는 1W 급의 고효율 전력 증폭기를 제작하여 그 특성을 분석 하였다. FET의 출력 패키지 등가회로를 고려하여 기본 주파수에 대해서

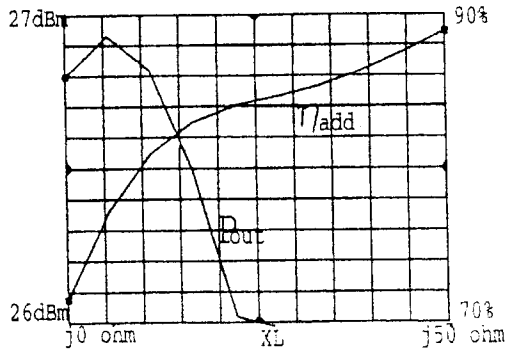
는 최적 부하 임피던스로 정합하였고 제 2 고조파와 제 3 고조파에 대해서 하모닉 튜닝을 하였다.

1. 고효율 전력 증폭기 설계

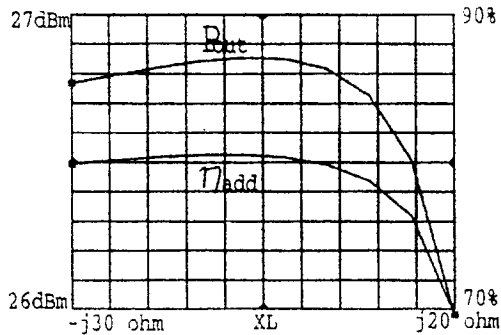
실제제작을 위해 사용한 능동소자는 OKI사의



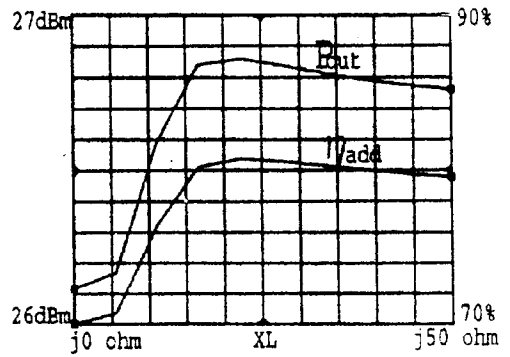
$$\begin{aligned} Z_{L1}(f_0) &= R_L + j10.2 \\ Z_{L1}(2f_0) &= 0.001 + j6 \\ Z_{L1}(3f_0) &= 0.0 + j17.93 \end{aligned} \quad (a)$$



$$\begin{aligned} Z_L(f_0) &= 30.7 + jXL \\ Z_L(f_0) &= 0.001 + j6 \\ Z_L(3f_0) &= 0.0 + j17.93 \end{aligned} \quad (b)$$



$$\begin{aligned} Z_{L1}(f_0) &= 30.7 + j10.2 \\ Z_{L1}(2f_0) &= 0.001 + jX_{L1} \\ Z_{L1}(3f_0) &= 0.0 + j17.93 \end{aligned} \quad (c)$$



$$\begin{aligned} Z_L(f_0) &= 30.7 + j10.2 \\ Z_L(2f_0) &= 0.001 + j6 \\ Z_L(3f_0) &= 0.0 + jXL \end{aligned} \quad (d)$$

그림 5. 하모닉 임피던스 값의 변화에 의한 출력 특성
(a) P_{out}, η_{add} vs. $Real(Z_L(f_0))$
(b) P_{out}, η_{add} vs. $Imag(Z_L(f_0))$
(c) P_{out}, η_{add} vs. $Imag(Z_L(2f_0))$
(d) P_{out}, η_{add} vs. $Imag(Z_L(3f_0))$

Fig. 5. Output characteristics from the variation of harmonic impedance.

- (a) P_{out}, η_{add} vs. $Real(Z_L(f_0))$,
- (b) P_{out}, η_{add} vs. $Imag(Z_L(f_0))$
- (c) P_{out}, η_{add} vs. $Imag(Z_L(2f_0))$,
- (d) P_{out}, η_{add} vs. $Imag(Z_L(3f_0))$

KGF1305S로서 패키지 타입(3.3mm × 4.4mm × 1.11mm)의 GaAs MESFET이다. 최대 드레인 전류는 1.5A 이며 전달콘덕턴스는 측정 결과 선형적인 특성을 가지고 있으나 드레인-소스 전압에 따라 다소 변화하였으며 핀치오프 전압도 2.4~2.8V로 변화하는 특성을 나타내었다. $V_{DS}=0V, V_{GS}=3.6V$ 의 바이어스 조건에서 측정된 S-파라미터로부터 계산한 캐패시턴스¹¹⁰⁾의 저주파에서의 값으로 C_{DS} 를 구하고 출력 등가 모델의 공진 특성으로부터 L_{bond} 값을 구하였다.¹¹⁰⁾ 최적 부하 값(R_{opt})은 MESFET의 전달 콘덕턴스를 튜닝된 부하에 대한 선형 특성으로 가정하여 설계하였으며, 하모닉 튜닝은 고조파 출력을 최소화하기 위하여 제 2 고조파에 대해서는 개방 회로로, 제 3 고조파에 대해서는 단락 회로의 하모닉 임피던스를 설계하였다. 이를 이용하여 증폭기의 바이어스 조건과 출력 등가 모델로부터 최적 부하 임피던스(Z_{opt})를 설계하였다.

표 2. 전력 증폭기의 동작조건과 기타성분

Table 2. The operating condition of Power Amplifier and the other condition.

동작 조건	$V_{DD} (V)$	5.8	$I_{peak\ max} (A)$	1.1	$V_{SAT} (V)$	0.9
	$P_{out} (dB)$	31.6	$L_{bond} (nH)$	1.02	$C_{DS} (pF)$	1.8
	$I_{DC} = \frac{I_{peak\ max}}{4} (mA)$	275	$V_{ds} (f_0) = \frac{4(V_{DD} - V_{SAT})}{\pi} (V)$			6.24
	$i_{ds}(f_0) = \frac{4 I_{peak\ max}}{3 \pi} (mA)$	467	$R_{opt} = \frac{2(V_{DD} - V_{SAT})}{I_{peak\ max}} \frac{3}{2} (\Omega)$			13.4
기타 조건	$Z_L(f_0) (\Omega)$	13.19 - j 3.68	$Z_L(f_0) (\Omega)$	-j 10.7	$Z_L(f_0) (\Omega)$	j 19.24

2. 전력 증폭기의 제작

비유전율 10인 테프론 기판에 칩 캐패시터 및 칩저항을 사용하여 증폭기를 제작하였다. 전력증폭기를 구동하기 위한 전치 증폭단과 설계된 임출력 정합회로를 포함한 전체회로의 제작된 전력 증폭기 사진을 그림 6에 나타내었다. 측정된 최종 출력특성을 그림 6에 나타내었다.

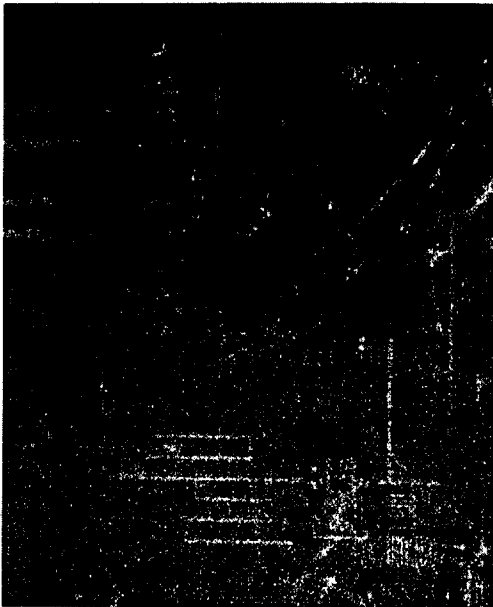


그림 6. 제작된 증폭기의 사진

Fig. 6. Photograph of a designed amplifier.

전력이득이 7.4dB인 지점에서 30.8dBm의 출력 전력을 나타내고 있으며, 이 때의 드레인 효율은 80.5%이고 전력효율은 66%로 나타났다. 이 때의 고조파 출력 특성은 제 2 고조파 출력이 -27.8dBc이고 제 3 고조파 출력이 -40.13dBc로 나타났다. 이상적인 경우에는 제 2 고조파, 제 3 고조파 출력이 전혀 나오지 않아야

하지만 실제의 경우 계산된 출력 등가 회로의 오차에 의해 고조파 성분이 발생한다.

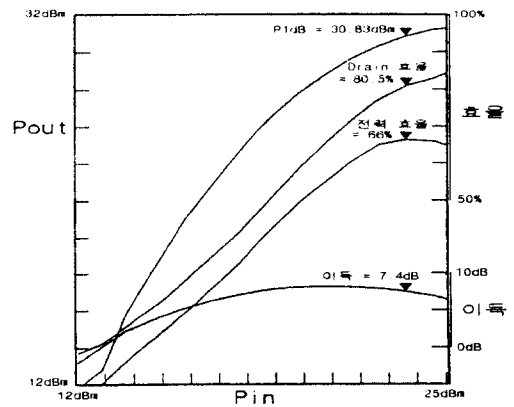


그림 7. 제작된 전력 증폭기의 출력 특성

Fig. 7. Measured power characteristics of the designed amplifier.

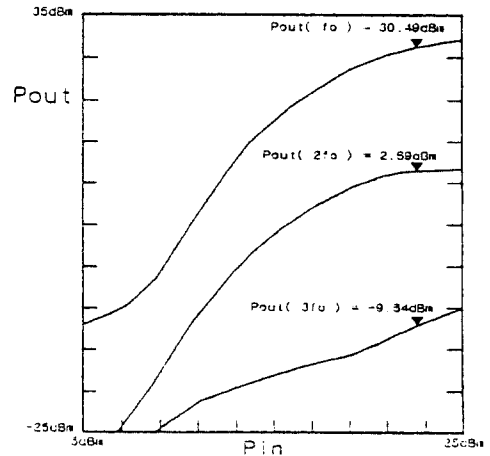


그림 8. 제작된 전력 증폭기의 고조파 출력 특성

Fig. 8. Measured output power for fundamental, second and third harmonic versus input power of the designed amplifier.

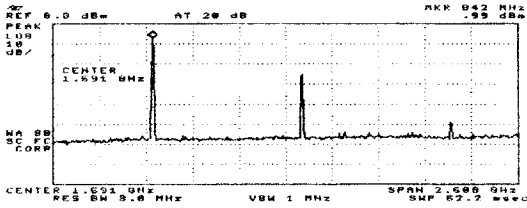


그림 9. 제작된 전력 증폭기의 전력 스펙트럼
 Fig. 9. Measured output power spectrum for fundamental, second and third harmonic of the designed amplifier.

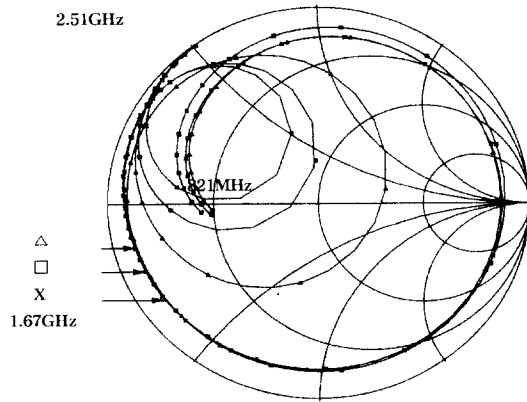


그림 10. 출력 정합회로의 주파수 특성(S11: 821MHz ~2.51GHz)
 Fig. 10. Measured and simulated s-parameters for the output matching circuit of designed amplifier.

- : 설계 값(MDS 모의실험)
- △ - : 제작 측정 값(튜닝전)
- X - : 제작 측정 값(튜닝후)

그림 9는 튜닝 후에 30dB 감쇄기를 달고 측정한 출력 스펙트럼이다. 이상과 같은 결과는 전력 효율의 경우에 입력회로의 정합이 정확하게 이루어지지 않은 원인으로 다소 감소 되었으나, 이는 핀치오프 전압 근처에서 전달 콘덕턴스의 심한 변화와, 이를 게이트 바이어스 설정에 충분히 고려하지 못한 점 및 이러한 상황에서 소신호 산란행렬로만 입력정합을 설계한 점을 고려한다면, 설계 예상값에 비교적 근접한 결과이다. 그림 10에 출력 정합회로의 주파수 특성에 대해서 설계값과 제작된 회로에 대한 측정값 및 최적특성을 위해 튜닝된 후에 측정된 값을 비교하였다. 기본 주파수에 대해서는 설계값과 제작값이 거의 정확하게 나타남을 볼 수 있고, 제 2 고조파와 제 3 고조파 주파수에서의 설계값과 최적 튜닝값의 차이는 FET의 출력단의 기생성

분 값의 계산 오차에 가장 큰 원인이 있는 것으로 분석 된다. 하지만 임피던스의 주파수 궤적이 예상하였던 형태를 유지하고 있으며 오차의 정도가 수 Ω 정도이므로 설계 이론과 비교적 일치하는 결과이다. 이상에서 측정된 전력 증폭기의 출력 특성과 최적 부하 및 하모닉 튜닝의 결과를 표 3에 나타내었다.

표 3. 제작된 고효율 전력 증폭기의 특성
 Table 3. Characteristics of the designed high efficiency power amplifier.

출력 특성					
	출력	이득	효율(ηd)	효율(ηadd)	Idc
설계값	31.6dBm	10dB이상	80%이상	72%이상	275mA
측정값	30.49dBm	7.4dB	80.5%	66.0%	259mA
출력 정합회로 임피던스					
	Z _L (f ₀)	Z _L (2f ₀)	Z _L (3f ₀)		
이론값	13.18 - j 3.68(Ω)	- j 10.7(Ω)	+ j 19.24(Ω)		
설계값	13.7 - j 1.3 (Ω)	3.09 - j 9.95(Ω)	0.495 + j 25 (Ω)		
측정값	15.9 - j 0.82 (Ω)	2.95 - j 6.3 (Ω)	0.447 + j 22.2(Ω)		
튜닝값	15.5 - j1.798 (Ω)	3.67 - j 15.4(Ω)	0.617 + j 20.9 (Ω)		

VI. 결론

본 논문에서는 GaAs 전력 MESFET을 사용하여 이동통신용 1W급 전력증폭 모듈에 이용될 수 있는 고효율의 증폭기 설계에 대해 연구하였다. 최적 출력을 위한 부하 임피던스의 설계는 Cripps의 방법을 튜닝된 B급 증폭기에 대해 적용하여 설계하였으며, 고효율 특성을 위해 하모닉 튜닝을 하였다. 이때 튜닝에 따르는 증폭기의 출력 파형의 형태가 최적 부하 설계와 하모닉 튜닝의 기본 조건이 되며, 이를 만족하기 위해서는 FET 소자의 내부 특성을 고려하여 설계 되어야 함을 제시했다. 설계 특성에 맞는 최적 부하 및 하모닉 임피던스를 마이크로스트립 회로로 구현하였다. 제작된 전력 증폭기의 성능은 835MHz의 동작 주파수에서 30.83dBm의 출력 전력과 80.5%의 드레인 효율(Drain efficiency), 66%의 전력 효율(Power added efficiency) 및 7.4dB의 전력 이득을 얻었다. 결과적으로 제안된 설계방법은 출력 정합 회로의 하모닉 튜닝을 통하여 최대출력을 유지하면서 고효율을 얻을 수 있음을 확인하였다.

참 고 문 헌

- [1] D. Poulin, "Load-Pull Measurements Help You Meet Match," *Microwaves*, pp.61-65, Nov. 1980.
- [2] J. M. Cusack, "Automatic Load Contour Mapping for Microwave Power Transistors," *IEEE Trans. Microwave Theory and Tech.*, vol. MTT-22, no.12, pp.1146-1152, Dec. 1974.
- [3] S. C. Cripps, "Old-Fashioned Remedies for GaAsFET Power Amplifier Designers," *IEEE MTT-S Newsletter Summer*, pp.13-17, 1991.
- [4] L. J. Kushner, "Output Performance of Idealized Microwave Power Amplifier" *Microwave Journal*, pp.103-116, Oct. 1989.
- [5] D. R. Franco and N. Sechi, "High efficiency Microwave FET Power Amplifier," *Microwave Journal*, pp.59-63, Nov. 1981.
- [6] L. C. Hall and R. J. Trew, "Maximum Efficiency Tuning of Microwave Amplifiers," *IEEE MTT-S Digest*, pp.123-126, 1991.
- [7] M. A. Khatibzadeh, "Harmonic Tuning of Power FETs at X-Band" *IEEE MTT-S Digest*, pp.989-991, 1990.
- [8] I. J. Bahl, "Class-B Power MMIC Amplifier with 70 Percent Power-Added Efficiency," *IEEE Trans. Microwave Theory and Tech.*, vol. MTT 37, no.9, pp.1315-1320, Sept. 1989.
- [9] T. Norjima, "High Efficiency Microwave Harmonic Reaction Amplifier" *IEEE MTT-S Digest*, pp.1007-1010, 1988.
- [10] 조영송, 신철재, "S-파라미터를 이용한 GaAs MESFET의 외부 파라미터 추출", *전자파 기술 학회지*, 제 2 권 2 호, pp.30-37, 1991

저 자 소 개



柳 正 昊(正會員)

1970년 3월 1일생. 1991년 아주대학교 전자공학과 졸업(공학사). 1994년 아주대학교 대학원 전자공학과 졸업(공학석사). 1994년 1월 ~ 현재 LG 정밀 연구원. 주 관심분야는 전력 증폭기

愼 哲 宰(正會員)

第 32 卷 A編 第 8 號 參照

현재 아주대학교 전기전자공학부 교수

曹 永 松(正會員)

第 32 卷 A編 第 8 號 參照

현재 초당산업대학교 정보통신과 전임강사