

論文96-33A-5-19

# 대역 제한된 직접 시퀀스 CDMA 확산 대역 신호를 위한 전 디지털 부호 획득 및 추적 루우프의 FPGA 구현

## (A FPGA Implementation of a Full-Digital Code Acquisition/Tracking Loop for the CDMA Direct-Sequence Spread-Spectrum Signals)

金 鎮 天 \*, 朴 鴻 濬 \*, 林 炯 秀 \*, 田 敬 薰 \*

(Jincheon Kim, Hongjune Park, Hyoungsoo Lim, and Kyungwhoon Cheun)

### 요 약

대역 제한된 CDMA 직접 시퀀스 확산 대역 신호를 위한 전 디지털 부호 획득 및 추적 루우프를 제안하고, FPGA 칩을 이용하여 하드웨어로 구현하였다. 제안한 루우프는 확산 부호(Pseudo Noise) 위상을 제어하는데 비교적 간단한 하드웨어를 위하여 데시메이터를 사용하고, 정확한 확산 부호 위상 제어를 위하여 2차 추적 루우프로 설계하였다. 제안한 루우프를 RTL 레벨의 VHDL로 설계하고, Synopsys 사의 소프트웨어를 이용하여 로직을 합성하였으며, 이것을 ALTERA 사의 FPGA 칩에 구현하여 그 기능을 시험하였다. FPGA 칩에 구현된 전체 시스템은 약 7000 개의 로직 게이트로 구성되고, 구현된 루우프의 부호 획득 및 추적의 기능을 PC 및 PPI 인터페이스와 로직 어날라이저를 이용하여 검증하였다.

### Abstract

A noncoherent full-digital PN(Pseudo Noise) code acquisition/tracking loop has been presented and implemented in FPGA for the CDMA band-limited direct-sequence spread-spectrum(DS-SS) signals. It employs a simple decimator to control the local PN code phase to lower the hardware cost, and a second order loop to enable the more accurate tracking. The proposed acquisition/tracking loop has been designed in RTL-level VHDL, synthesized into logic gates using the Design Analyzer of Synopsys software, implemented in an ALTERA FPGA chip, and tested. The number of logic gates used in the implemented FPGA chip is around 7000. The functionality has been verified using a PC interface circuitry and a logic analyzer.

### 1. 서 론

직접 시퀀스 확산 대역 수신기(direct-sequence spread-spectrum receiver)에서 수신된 신호로부터 올바른 정보 데이터를 복원하기 위해서는 먼저 수신

신호의 확산 부호와 동기(synchronization)되는 국부(local) 확산 신호를 발생시켜서 그것을 입력 신호와 상관시켜야 한다. 이 때 입력 신호와 국부 확산 신호간의 부호 동기가 맞지 않을 경우 올바른 정보 데이터를 복원할 수 없다. 따라서 두 신호간의 부호 동기를 맞추어 주는 것이 직접 시퀀스 확산 대역 수신기의 핵심 기술이다. 동기를 맞추어 주는 과정은 두 단계로 나뉜다. 먼저 초기에 입력 신호의 부호 시간 지연을 대략적으로 획득(acquisition)한 후, 입력 신호의 부호 타이밍 지연을 지속적으로 추적(tracking)하는 것이다. 지

\* 正會員, 浦港工科大學校 電子電氣工學科  
(Department of Electrical Engineering, Pohang University of Science and Technology)  
接受日字: 1995年2月16日, 수정완료일: 1996年4月24日

금까지 직접 시퀀스 확산 대역 수신기의 부호 획득 및 추적 루우프는 주로 아날로그 방식으로 구현되어 왔다. 아날로그 방식은 디지털 방식보다 일찍부터 발달되어 왔고, 현재까지도 널리 사용되고 있다. 그리고 높은 칩률(chip rate)을 필요로 하는 시스템에서는 여전히 사용될 것으로 보인다. 그러나, 최근들어 Qualcomm사에서 제안한 CDMA(Code Division Multiple Access) 디지털 셀룰라 시스템과<sup>[11][21]</sup> 같은 비교적 낮은 칩률인 1.2288MHz에서 동작하는 시스템의 등장과 함께 전 디지털 방식의 부호 획득 및 추적 루우프에 대한 관심이 고조되고 있다.

부호 획득 및 추적 루우프를 구현하는 방법으로 국부 확산 신호의 주파수 제어 방법과<sup>[31]</sup>, 보간기(interpolator)를 사용하는 방법<sup>[41]</sup>, 데시메이터를 사용하는 방법<sup>[51]</sup> 등이 있다. 첫번째 방법은 전체 하드웨어를 디지털로 구현하기 어렵다. 두번째 것은 샘플링 주파수를 일정하게 유지하면서 입력 신호를 샘플링하고, 이를 보간기를 사용해 실제 읽어 내야 하는 최대 상관을 얻을 수 있는 샘플들을 추산하는 방법으로 하드웨어가 상당히 복잡해진다. 세번째 것은 디지털 정합 필터를 거친 샘플 된 입력 신호를 데시메이터를 사용하여 최대 상관을 얻을 수 있는 값에 가장 가까운 신호 하나를 추출하는 방법으로 국부 확산 신호의 주파수를 제어할 필요가 없고, 보간기를 이용하여 추산하는 복잡한 하드웨어가 필요 없으므로 전 디지털 방식의 하드웨어 구현이 간단하다<sup>[61]</sup>.

본 논문에서는 데시메이터를 이용한 대역 제한된 직접 시퀀스 확산 대역 신호를 위한 전 디지털 방식의 부호 획득 및 추적 루우프를 제안하고<sup>[51]</sup>, 이것을 RTL 레벨의 VHDL로 설계하며, 이를 Synopsys사의 소프트웨어를 이용하여 로직 합성한 후, ALTERA사의 FPGA 칩에 구현하고 시험한 결과를 보였다<sup>[71]</sup>. 본 논문의 II장에서는 직접 시퀀스 확산 대역 수신기에 대해 설명하였고, III장에서는 제안한 부호 획득 및 추적 루우프에 관하여 설명하였으며, IV장에서는 루우프의 하드웨어 구현에 관하여 설명하고, V장에서는 FPGA 칩 구현 및 시험에 대해 설명하였으며, 마지막으로 V장에서 결론을 맺었다.

## II. 직접 시퀀스 확산 대역 수신기

본 논문에서는 제한된 대역폭의 칩 펄스를 가진 직

접 시퀀스 확산 대역 신호를 고려한다. 그림 1에서 데시메이터를 이용한 직접 시퀀스 확산 대역 수신기의 구조를 나타내었다. 수신기의 입력 신호  $r(t, \tau)$ 는 먼저 반에일리어싱 필터(anti-aliasing filter)를 통과한 후에 칩률인  $1/T_c$ 의 정수배( $1/T_s = N/T_c$ )로 샘플된다. 샘플된 신호들은 칩 펄스 웨이핑을 위하여 송신기에 사용했던 필터에 정합하는 디지털 매치 필터를 통과한다. 데시메이터는 필터를 통과한 N개의 샘플들중에서 최대 상관을 얻을 수 있는 샘플을 추출한다. 이는 최대 상관을 얻는 샘플이 수신 확산 신호와 국부 확산 신호간의 타이밍 오차가 최소가 되기 때문이다. 데시메이터에서 샘플된 신호는 국부 확산 신호와 상관(correlation)되고, 상관된 신호는 정해진 값과 비교되어 원래의 정보 데이터가 복원된다.

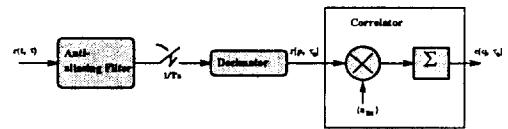


그림 1. 데시메이터를 이용한 직접 시퀀스 확산 대역 수신기

Fig. 1. Direct-sequence spread-spectrum receiver using decimator.

본 논문은 직접 시퀀스 확산 대역 수신기의 핵심 부분인 데시메이터와 부호 타이밍 획득과 추적 루우프, 그리고 상관기 등의 구현에 관한 것이다.

샘플러로 자유발진하는 AD 변환기를 사용하므로 완벽한 부호 추적을 했을지라도 양자화에 의한 타이밍 오차는 존재한다. 그러나 이 양자화에 의한 부호 타이밍 오차의 최대 크기는  $T_s/2$ 로 양자화에 의한 신호의 열화 정도는 무시할만하다. N 값을 크게하면 양자화에 의한 오차는 비례하여 감소하나 하드웨어가 복잡해지는 단점이 있다.

## III. 제안하는 부호 획득 및 추적 루우프의 구조

국부 확산 신호가 수신 확산 신호에 동기되는 과정은 획득과 추적의 두 단계를 거친다. 부호 획득의 알고리즘은 다음과 같다. 확산 부호 타이밍 오차가 감소하면 데시메이터에서 추출된 샘플과 국부 확산 신호와의 상관값이 증가한다. 이 상관값이 부호 타이밍 오차

가  $T_c/2$  일때의 값보다 작으면 타이밍 오차가  $T_c/2$  보다 크므로 국부 확산 신호를  $T_c/2$  만큼 지연시킨다. 국부 확산 신호를  $T_c/2$  만큼 지연 시키는 동작을 타이밍 오차가  $T_c/2$  이내가 될 때까지 계속해서 반복하면 부호 획득이 된다.

일단 부호 획득이 되어 부호 동기가 대략적으로 맞으면 추적 루우프를 통하여 부호 타이밍 오차를 지속적으로 추적하여 부호 동기를 정확히 맞추어 나간다. 그림 2에서 제안하는 부호 추적 루우프의 기본 개념도를 나타내었다<sup>[5]</sup>. 추적 루우프는 데시메이터와 상관기, 디지털 루우프 필터와 양자화기로 구성된다.

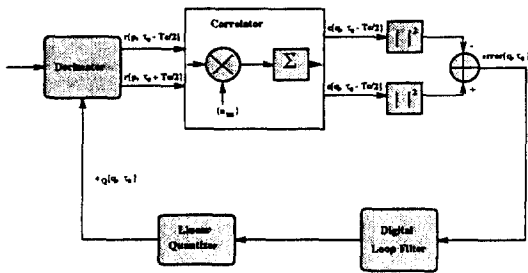


그림 2. 제안하는 부호 획득 및 추적 루우프  
Fig. 2. Proposed PN code tracking loop.

부호 추적 알고리즘은 다음과 같다. 데시메이터는 부호 동기가 정확히 맞는 샘플인 온 타임(on time) 샘플보다  $T_c/2$  만큼 느리고 이른 샘플인  $r(p, \tau_e + T_c/2)$  와  $r(p, \tau_e - T_c/2)$  를 각각 추출하고, 이 샘플들을 일정한 칩 기간동안 국부 확산 신호와 상관하고, 상관값들을 제공하여 그 차이인  $error [q, \tau_e]$  값을 발생한다. 여기서 상관값들을 제공하는 이유는 잔류 반송차 오프셋의 효과를 제거하여 비선형 추적 루우프를 구현하기 위함이다.  $error [q, \tau_e]$  값은 부호 타이밍 오차인  $\tau_e$ 에 따라서 S-커브 형태를 갖는다. 그림 3에서 정규화 된 부호 타이밍 오차인  $\tau_e/T_c$  에 대한 정규화 된 에러값  $error [q, \tau_e] / \max [error]$  값을 나타내었다. 에러값은 부호 타이밍 오차 정도를 나타내며, 정규화 된 부호 타이밍 오차가 0.5 이내이면 거의 선형적(linear)인 특성을 나타낸다. 따라서 디지털 루우프 필터를 거친 에러값은 선형 양자화기에서 가장 가까운 부호 타이밍 오차를 나타내는 값인  $e_0 [q, \tau_e]$ 로 양자화되어 데시메이터의 샘플 순간을 제어하고 국부 확산 신호를 제어하는 신호로 작용한다.

그림 2에서 나타낸 데시메이터를 이용한 비선형 추적

루우프의 분석은 참고 문헌<sup>[5]</sup>에서 행하여졌고, 본 논문에서는 그 분석을 바탕으로 부호 획득 및 추적 루우프를 하드웨어로 구현하고 시험한 결과를 보인다.

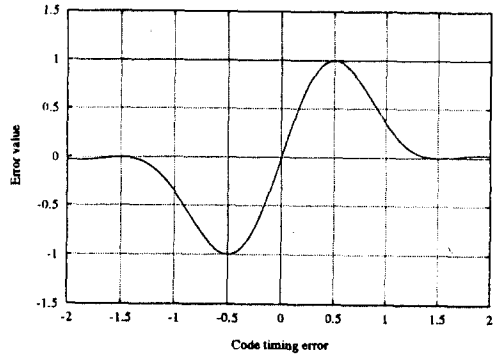


그림 3. 부호 타이밍 오차( $\tau_e/T_c$ ) vs. 에러값( $error [q, \tau_e] / \max [error]$ )  
Fig. 3. Code timing error( $\tau_e/T_c$ ) vs. error value( $error [q, \tau_e] / \max [error]$ ).

#### IV. 부호 획득 및 추적 루우프의 하드웨어 구현

그림 2와 같이 제안 된 부호 추적 루우프를 이용하여 그림 4에서 실제로 하드웨어로 구현하기 위한 획득 및 추적 루우프의 구조를 나타내었다.

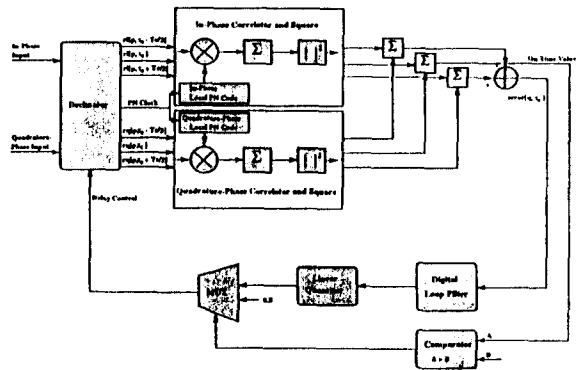


그림 4. 하드웨어 구현을 위한 부호 획득 및 추적 루우프

Fig. 4. Code acquisition/tracking loop for hardware implementation.

획득과 추적 루우프가 많은 부분을 공유함으로써 하드웨어 오버헤드를 줄이고자 하였다. QPSK 변조 방식을 고려하므로 확산 신호는 서로 직교성(orthogonality)을 만족하는 In-Phase 신호와 Quadrature-Phase 신호

호가 존재하고 샘플링 클럭은 칩클럭의 8배로하여 한 칩 당 8개의 샘플을 4-비트로 취하도록 하였다. 부호 획득을 위해서는 데시메이터에서 추출한 온 타임 샘플과 국부 확산 신호와의 상관값을 비교기에서 정해진 값과 비교하여 멀티플렉서를 제어한다. 부호 타이밍 오차가  $T_c/2$  이상이면 멀티플렉서는 0.5를 선택하여  $T_c/2$  동안 국부 확산 신호를 지연시키고 타이밍 오차가  $T_c/2$  이내가 될 때까지 반복한다.

부호 획득이 되면 멀티플렉서는 선형 양자화기의 출력을 취해 부호 추적 루우프가 동작을 시작한다. 각 부분에 대한 자세한 설명은 다음과 같다.

그림 5에서 데시메이터의 구조를 보였듯이, 데시메이터는 양자화 된 부호 타이밍 오차를 직렬 신호로 바꾸어 샘플을 추출하는 D-F/F의 클럭 지연 신호로 작용한다. 또 국부 확산 신호의 클럭도 이 양자화 된 부호 타이밍 오차에 의하여 그 지연 정도가 결정된다.

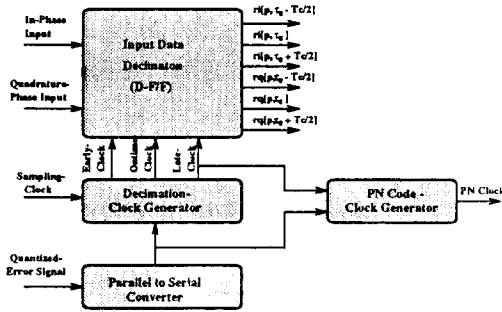


그림 5. 데시메이터의 구조  
Fig. 5. Structure of decimator.

그림 6에서 확산 신호 발생기의 기본 구조를 나타내었다. 이 기본 구조에 zero-padding 회로를 추가하여 확산 부호의 반복 길이가  $2^{15}$ 이 되도록 하였다.

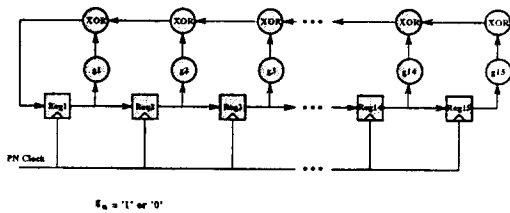


그림 6. 확산 신호 발생기의 구조  
Fig. 6. Structure of PN code generator.

확산 신호 발생기는 15개의 시프트 레지스터와 몇개의 XOR 게이트 등으로 구성된다. In-Phase 확산 신호와

Quadrature-Phase 확산 신호의 생성 다항식인  $p_i(x)$ 와  $q_i(x)$ 는 IS-95에서 정한 표준을 따라 다음과 같이 정하였다.

$$p_i(x) = x^{15} + x^{13} + x^9 + x^8 + x^7 + x^5 + 1$$

$$q_i(x) = x^{15} + x^{12} + x^{11} + x^{10} + x^6 + x^5 + x^4 + x^3 + 1$$

상관기는 XOR 게이트와 직렬 덧셈기로 간단히 구현하였다. 제곱기는 몇개의 덧셈기를 이용하여 곱셈기를 구성하여 구현하였다.

디지털 루우프 필터를 그림 7과 같이 적분기를 포함하는 일차 필터를 써서 전체 루우프를 2차가 되게하여 정상 상태 오차(steady state error)를 완전히 제거할 수 있도록 하였다<sup>[3]</sup>. 루우프 필터의 특성식은 다음과 같다.

$$H(Z) = k_1 + \frac{1}{(1 - k_2 Z^{-1})}$$

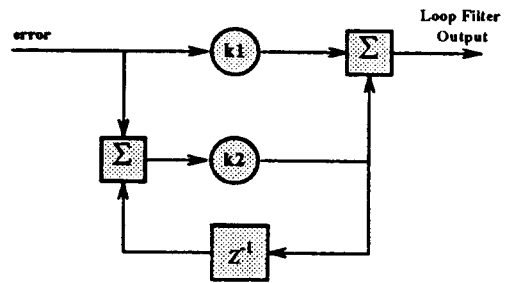


그림 7. 디지털 루우프 필터의 구조  
Fig. 7. Structure of digital loop filter.

그림 8에서 4개의 비교기를 이용한 선형 양자화기의 구조를 나타내었다. 한 칩클 8개로 샘플하므로 양자화해야 할 구간은 8개이다. 양자화기의 입출력 특성은 원점 대칭이므로 입력이 음인 경우는 XOR 게이트를 이용한 1's complement 수를 취하고, 비교기의 출력과 입력의 사인 비트를 엔코딩하면 양자화가 된다.

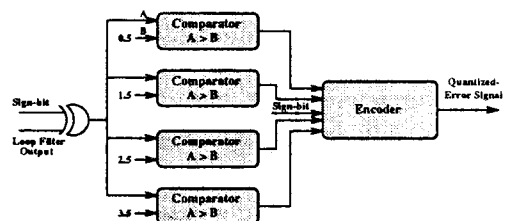


그림 8. 선형 양자화기의 구조  
Fig. 8. Structure of linear quantizer.

### V. FPGA 칩 구현 및 시험

제한한 부호 획득 및 추적 루우프를 RTL 레벨의 VHDL로 설계하고 시뮬레이션하였다. 이 RTL 레벨의 VHDL 모델을 이용하여 Synopsys 사의 소프트웨어를 이용하여 로직 합성하여 ALTERA 사의 FPGA 칩인 FLEX 81188 칩에 제안한 루우프를 구현하였다. 로직 합성 된 루우프의 로직 게이트 갯수는 약 7000이다.

FPGA 칩에 구현 된 루우프의 기능을 검증하기 위해서 그림 9와 같이 PC와 PPI 인터페이스를 이용한 칩 테스트 환경을 구성하였고, 로직 어날라이저를 이용하여 신호를 관찰함으로써 루우프의 올바른 동작을 규명하였다. 루우프의 입력 신호는 SPW(Software Process Workstation)에서 모델하여 PPI 인터페이스를 이용하여 칩 보드에 인가하였다. SPW에서 모델한 입력 신호는 송신기의 확산 부호 발생기와 0.25의 롤-오프(roll-off) 값의 SRRC(Square Root Raised Cosine) 필터, 채널의 시간 지연과 AWGN 모델, 수신단의 AD 샘플러 모델과 디지털 정합 필터로서의 SRRC 필터이다.

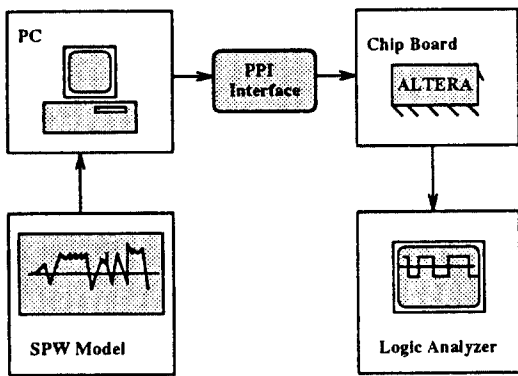


그림 9. 칩 테스트 환경  
Fig. 9. Chip test environment.

그림 10에서 부호 타이밍 획득이 되는 것을 로직 어날라이저로 나타내었다. chipx8은 AD 변환기의 샘플링 클럭이고, IN\_PNI와 IN\_PNQ는 각각 In-Phase와 Quadrature-Phase 확산 신호의 채널 지연만이 모델이 된 신호이고 LO\_PNI와 LO\_PNQ는 국부 확산 신호이고 IN\_I와 IN\_Q는 실제 루우프의 입력 신호이다. 루우프 필터의 계수와 비교기의 기준값과 양자화기의 계수 등은 외부에서 프로그램이 가능한 값으로서 시물

레이션과 같은 값으로 인가하였다. 그림 10에서 IN\_PNI와 LO\_PNI 및 IN\_PNQ와 LO\_PNQ 신호를 비교해 보면 점선 친 부근에서 부호 타이밍 오차가  $T_c$ 에서  $T_c/2$ 로 줄어들어 부호 획득이 됨을 볼 수 있다.

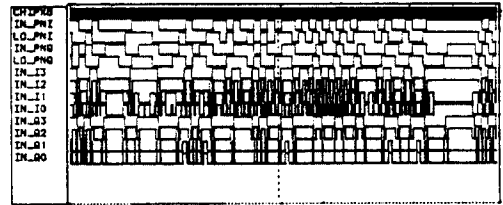


그림 10. 부호 타이밍 획득의 시험 결과  
Fig. 10. Test result of code timing acquisition.

그림 11에서 부호 추적 시험 결과를 보였다. 점선 친 부근에서 부호 타이밍 오차가  $T_c/2$ 에서 0으로 되어 부호 추적이 됨을 볼 수 있다. 부호 타이밍 지연이 계속해서 변화해도 루우프는 계속해서 추적하여 국부 확산 신호가 수신 확산 신호에 완전히 동기됨을 관찰하였다.

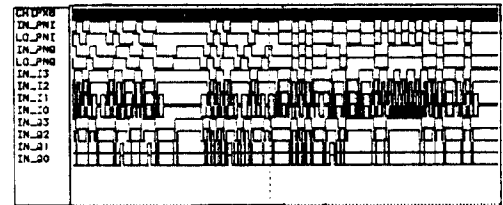


그림 11. 부호 타이밍 추적의 시험 결과  
Fig. 11. Test result of code timing tracking.

### V. 결론

CDMA의 대역 제한 된 직접 시퀀스 확산 대역 신호를 위한 전 디지털 부호 획득 및 추적 루우프를 제안하고, RTL 레벨의 VHDL로 설계하고, Synopsys 사의 소프트웨어를 이용하여 로직 합성하여 ALTERA 사의 FLEX 81188 FPGA 칩에 구현하여 그 기능을 PC와 PPI 인터페이스를 이용하여 시험하여 로직 어날라이저로 신호를 관찰함으로써 그 기능을 검증하였다. 제안한 루우프는 약 7000 개의 로직 게이트로 구현된다.

본 논문에서 제안한 부호 획득 및 추적 루우프는 실제로 직접 시퀀스 확산 대역 수신기의 핵심 부분으로 응용 가능하며, 전 디지털 방식으로 구현된다. 데시메이터를 이용한 방법과 획득과 추적 루우프의 하드웨어

공유를 통해서 하드웨어 오버헤드를 상당히 줄일 수 있었다. 제안한 루우프는 단일 경로 부호 시간 지연을 가정하였다. 그러나 제안한 루우프를 여러개 병렬로 사용하면 다중 경로(multi path) 부호 시간 지연의 경우에도 구현 가능하다.

### 참 고 문 헌

- [1] Telecommunication Industry Association(TIA), TIA/EIA INTERIM Standard: *Mobile Station-Base Compatibility Standard for Dual-Mode Wideband Spread Spectrum Cellular System*, TIA/EIA/IS-95, July, 1993.
- [2] J. K. Hinderling, *et al.* "CDMA Mobile Station Modem ASIC," IEEE JSSC, pp. 253-260, Mar. 1993.
- [3] A. Weingerg and B. Liu, "Discrete Time Analysis of Nonuniform Sampling First- and Second-Order Digital Phase Lock Loops," IEEE Trans. Comm, Vol. COM-22, pp. 123-137, Feb. 1974.
- [4] M. Moeneclacy and K. Bucket, "The Effect of Interpolation on the BER Performance of Bandlimited Direct- Sequence Spread-Spectrum Systems," Signal Processing VI: The Theory and Application, Elsevier Science Publishers B.V., Vol-3, pp. 1587-1590, Aug. 1992.
- [5] H. Lim, A. Choi, and K. Cheun, "Discrete-Time Nonlinear Analysis of a Full-Digital Code Tracking Loop for Bandlimited Direct-Sequence Spread-Spectrum Signals," ISITA, Australia, pp. 127-132, Nov. 1994.
- [6] R. De Gaudenzi, J. Luise, and R. Viola, "A Digital Chip Timing Recovery Loop for Bandlimited Direct-Sequence Spread-Spectrum Signals," IEEE Trans. on Comm., Vol. 41, No. 11, pp. 1760-1769, Nov. 1993.
- [7] J. Kim, H.Lim, K. Cheun, and H. Park, "A FPGA Implementation of a Full-Digital Code Acquisition/Tracking Loop for the Direct-Sequence Spread-Spectrum Signals," Proc. of Technical Digest of 2nd Korean Conference on Semiconductor, pp. 245-247, 1995.

저 자 소 개



金 鎮 天(正會員)

1971년 3월 6일생. 1994년 2월 포항공과대학교 전자전기공학과 졸업(공학사). 1996년 2월 포항공과대학교 전자전기공학과 졸업(공학석사). 1996년 3월 ~ 현재 포

항공과대학교 전자전기공학과 박사과정. 주관심분야는 마이크로 프로세서 칩 설계, 저전력 아나로그 및 디지털 회로 설계 등임



朴 鴻 濬(正會員)

1979년 서울대학교 공과대학 전자공학과 졸업(공학사). 1981년 한국과학기술원 전기 및 전자공학과 졸업(공학석사). 1989년 University of California, Ber

keley, Dept. of Electrical Engineering and Computer Science 졸업(공학박사). 1981년 ~ 1984년 한국전자통신연구소 설계자동화 연구실 연구원으로 근무. 1989년 ~ 1991년 미국 INTEL사 TCAD Dept. Senior Engineer로 근무. 1991년 ~ 현재 포항공과대학교 전자전기공학과 부교수. 주관심분야는 회로 시뮬레이션을 위한 집적회로 소자 및 전송선 모델링, 고속 메모리 interface 회로, 저전력 아나로그 및 디지털회로와 마이크로 프로세서 칩 설계 등임



林 炯 秀(正會員)

1969년 10월 20일생. 1992년 2월 포항공과대학교 전자전기공학과 학사. 1994년 2월 포항공과대학원 전자전기공학과 석사. 1994년 3월 ~ 현재 포항공과대학원 전자전기

공학과 박사과정. 1992년 3월 포항공과대학 정보통신연구소 통신시스템연구실 연구조교. 1996년 4월 ~ 현재 포항공과대학 전자전기공학과 박사과정 재학중. 주관심분야는 디지털 통신 동기 시스템, 확산 대역 통신 방식, HDTV 신호 전송방식, 통신 이론 등임

田 敬 薰(正會員) 第 20卷 第 10號 參照

현재 포항공과대학교 전자전기공학과 부교수로 재직 중