

論文96-33A-4-19

10-bit 20-MHz CMOS A/D 변환기

(A 10-bit 20-MHz CMOS A/D Converter)

崔熙哲*, 安吉礎*, 李承勳*, 姜根淳**, 李成浩**, 崔命浚**

(Hee-Cheol Choi, Gil-Cho Ahn, Seung-Hoon Lee, Geun-Soo Kang,
Seoung-Ho Lee, and Myung-Jun Choe)

요약

본 연구에서는 영상 신호 처리가 가능한 10-비트 20-MHz 파이프라인 A/D 변환기를 설계하여 집적회로로 구현하였다. 제안된 변환기는 mid-rise 방식의 코드 체계를 사용하여 동일한 구조를 가진 회로 블록을 세 개의 단으로 연결하여 구성하였으며, 개개의 단 사이의 옵셋 오차나 피드스루 등에 의한 오차를 두 단 사이의 디지털 비트를 하나씩 중침시킴으로써 교정하였다. A/D 변환기의 선형성(linearity) 특성과 생산 시 수율(yield)을 향상시키며, 10-비트 수준 이상의 성화도를 가진 잔류 전압(residue voltage)을 생성시키기 위해 단위 캐패시터 열(unit capacitor array)을 기본으로 한 multiplying digital-to-analog converter를 채용하였으며, 저전력 비교기(latched comparator)를 사용하여 전체 전력 소비를 줄였다. 제안된 A/D 변환기는 0.8 μm p-well CMOS 공정을 이용하여 실제 집적회로로 제작되었으며, 본딩 패드 및 독립적으로 동작하는 온칩(on-chip) 바이어스 회로를 포함하는 전체 칩 크기는 약 7 mm^2 (2.7 mm \times 2.6 mm)이다. 단일 5 V 전원을 사용하였고, 20 MHz에서 160 mW의 전력을 소비하였다. 임의로 선택된 A/D 변환기 샘플의 선형성 특성은 유사하였으며, ± 0.6 LSB 정도의 differential nonlinearity(DNL) 오차와 ± 1 LSB 정도의 integral nonlinearity(INL) 오차가 측정되었다.

Abstract

In this work, a three-stage pipelined A/D converter(ADC) was implemented to obtain 10 bit resolution at a conversion rate of 20 Msamples/s for video applications. The ADC consists of three identical stages employing a mid-rise coding technique. The interstage errors such as offsets and clock feedthrough are digitally corrected in digital logic by one overlapped bit between stages. The proposed ADC is optimized by adopting a unit-capacitor array architecture in the MDAC to improve the differential nonlinearity and the yield. Reduced power dissipation has been achieved by using low-power latched comparators. The prototype was fabricated in a 0.8 μm p-well CMOS technology. The ADC dissipates 160 mW at a 20 MHz clock rate with a 5 V single supply voltage and occupies a die area of 7 mm^2 (2.7 mm \times 2.6 mm) including bonding pads and stand-alone internal bias circuits. The typical differential and integral nonlinearities of the prototype are less than ± 0.6 LSB and ± 1 LSB, respectively.

I. 서론

* 正會員, 西江大學校 電子工學科

(Dept. of Electronic Engineering, Sogang Univ.)

** 正會員, 三星電子

(Samsung Electronics Co., Ltd.)

接受日字: 1995年5月27日, 수정완료일: 1996年3月21日

디지털 컴퓨터 기술의 급속한 발전으로 멀티미디어 제품, 통신 장비, 가전 제품 등 많은 전자 시스템에서 디지털 신호 처리 기술이 광범위하게 사용되고 있다. 그러나, 우리 인간이 느끼고 체험하는 실제 자연의 세계는 아날로그 신호 형태이므로 아날로그 신호와 디지

탈 신호를 연결하는 접속 장치가 매우 중요하게 부각되고 있다. A/D 변환기(analog-to-digital converter)는 전자 시스템의 전반부에서 아날로그 신호를 디지털 신호로 바꾸어 간단하고 신뢰성 있는 디지털 신호 처리가 가능하게 하는 것으로서, 최근 영상 신호 처리 기술이 향상됨에 따라 고속 고해상도의 A/D 변환기를 많이 요구하고 있다. 특히, 레이다 시스템과 같은 통신 장비, HD-TV, 캠코더, 스캐너, 의료 영상 장비를 포함한 화상 처리 시스템 등에서는 고속 고해상도의 A/D 변환기를 요구하고 있으며, 이러한 필요성에 의해 고속 고해상도 A/D 변환기 개발이 최근 주요 관심사로 부상하고 있다. 지금까지 구현된 다양한 A/D 변환기 구조 중에서 영상 신호 같은 고속 응용에 적용될 수 있는 변환기 구조로는 플래쉬(flash), subranging 구조, multi-step 구조 그리고 파이프라인 구조 등이 있다. 이러한 고속 응용 구조 중 상대적으로 작은 칩 면적과 적은 전력 소모를 가지면서 고해상도를 구현하기 위해서 다단 파이프라인 구조의 A/D 변환기가 많이 이용되고 있다.^{[11]-[12]}

본 논문에서는 이러한 파이프라인 구조를 기본으로 하면서 CMOS 공정을 사용하며, 주로 캠코더, 디지털 TV, 중저가의 복사기, VCR 등의 상용 영상 신호 처리 기기에 즉각적인 응용이 가능한 10-비트 20-MHz A/D 변환기의 설계 및 집적 회로의 구현에 대하여 기술한다. II장에서는 기존의 파이프라인 구조를 갖는 A/D 변환기의 동작 원리에 대하여 요약하고 III장에서는 제안된 10-비트 20-MHz A/D 변환기 시스템 설계에 관하여 논의한다. IV장에서는 제안된 A/D 변환기의 중요한 각 회로 복수별 설계 및 시뮬레이션 결과를 정리하고 V장에서는 0.8 μm CMOS 공정을 사용하여 제작된 변환기의 측정 결과 및 성능을 기술한다.

II. 기존의 파이프라인 구조를 갖는 A/D 변환기

1. 전형적인 변환기 구조

일반적인 k-단(stage)으로 구성된 파이프라인 A/D 변환기 구조를 그림 1(a)에 도시하였다. 그림 1(b)에 도시되어 있는 것처럼 각 단은 sample-and-hold amplifier(SHA) 회로, n_i -비트의 저해상도 플래쉬 A/D 변환기(ADC), n_i -비트의 D/A 변환기(DAC),

밸셀기, 그리고 잔류 전압 증폭기(residue amplifier) 등으로 구성되어 있다. 각 단의 동작 원리는 다음과 같다. 먼저 전단의 SHA 회로에서 샘플링되어 저장되어 있던 입력 신호는 n_i -비트 A/D 변환기에 의해 n_i -비트 디지털 출력을 얻게 된다. 이 n_i -비트 디지털 출력은 n_i -비트 D/A 변환기에 의해 디지털 n_i 비트에 해당하는 아날로그 전압이 만들어진다. 이와 동시에 SHA 회로에 저장되어 있던 입력 신호와 n_i -비트 D/A 변환기에 의해 생성된 아날로그 출력 신호와의 차이는 잔류 전압을 생성하고 이 전압은 2^{n_i} 만큼 증폭되어 다음 단으로 보내진다. 이 증폭된 잔류 전압은 다음 단에서 나머지 디지털 코드를 얻는데 사용되며, 이하 연결된 나머지 단에서는 최종 디지털 출력이 얻어질 때까지 같은 과정이 반복된다. 그럼 1(b)의 점선 안에 내장된 SHA 회로, D/A 변환기, 밸셀기, 잔류 전압 증폭기 등은 증폭기 및 캐패시터 열로 구성된 하나의 multiplying digital-to-analog converter(MDAC)로 대체될 수 있으며 그 기능을 모두 구현할 수 있다.^{[13], [14]}

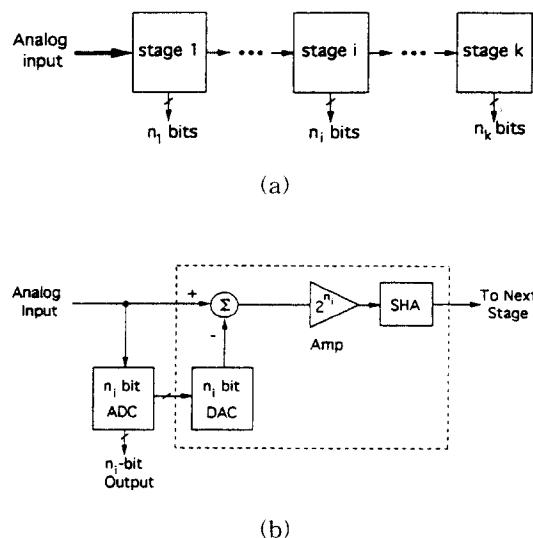


그림 1. (a) 전형적인 k-단 파이프라인 A/D 변환기 및 (b) i번째 단의 복수별

Fig. 1. (a) Typical k-stage pipelined A/D converter and (b) block diagram of stage i.

2. MDAC의 구조 및 선형성 향상 기법

각 단의 MDAC은 그림 2(a)에 보여진 바와 같이 이진 가중 캐패시터(binary-weighted capacitor: BWC) 열로 구현할 수 있다.^{[13]-[15]} 그림 2에서 1

및 2로 표시된 것은 각각 첫번째 및 두번째 클럭 위상 을 표시한다. 첫번째 클럭 위상에서 MDAC 캐패시터의 bottom 단은 아날로그 입력을 샘플링하며 top 단은 증폭기의 정적(static) 옵셋을 샘플링한다. 두번째 클럭 위상에서 MDAC 캐패시터는 아날로그 입력에 의해 결정된 이진 코드에 의해 V_{ref} 혹은 GND에 연결되며, 잔류 전압은 증폭되어 증폭기 출력에 나타난다.

즉, 하나의 MDAC은 SHA, D/A 변환기, 펠셉기, 증폭 기의 기능을 전부 수행함을 알 수 있다. 이러한 이진 가중 캐패시터열은 그림 2(b)와 같이 단위 캐패시터(unit-capacitor : UC) 열을 이용하여 구현할 수도 있다.

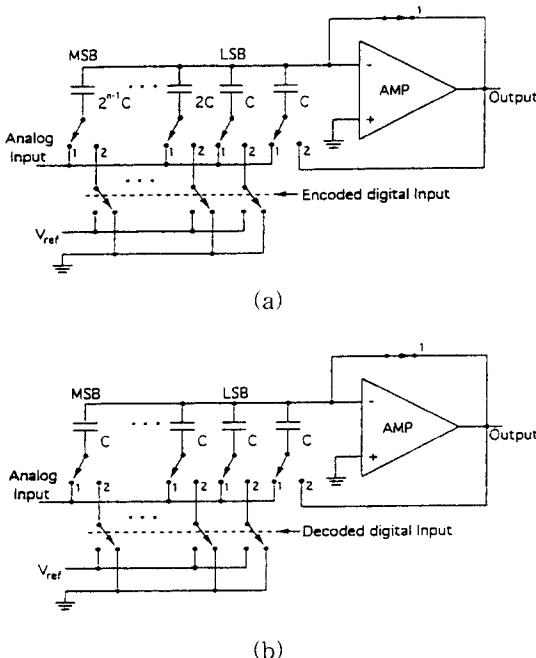


그림 2. MDAC의 구성 : (a) 이진가중 캐패시터(BWC) 열을 이용한 경우 및 (b) 단위 캐패시터(UC) 열을 이용한 경우

Fig. 2. MDAC configurations based on : (a) a binary-weighted capacitor (BWC) array and (b) a unit-capacitor (UC) array.

BWC로 구성된 MDAC의 경우, 인코드된(encoded) 디지털 출력에 의해 V_{ref} 나 GND가 선택되게 되고, UC로 구성된 MDAC의 경우는 디코드된(decoded) 디지털 출력에 의해 위의 동작이 수행되게 된다. BWC의 캐패시터 배열은 단위 캐패시터를 이진 가중이 되도록 병렬 조합 형태로 연결하여 구현하기 때문에, 실제 BWC를 기본으로 하는 MDAC이나 UC를 기본으

로 하는 MDAC은 모두 사용되는 단위 캐패시터의 숫자가 같다. 따라서, 입력 샘플링 기간의 동작 원리는 서로 동일하나, 디지털 코드가 가해지는 증폭 기간에서는 BWC를 기본으로 한 MDAC과 UC를 기본으로 한 MDAC의 캐패시터 전환 특성이 서로 상이하게 되는데, 이러한 특성을 변환기의 선형 특성 향상에 이용한다.

즉, 중심 코드에서의 천이(transition)를 예로 들면, UC를 기본으로 하여 디코드된 디지털 비트를 사용하는 4-비트 MDAC의 경우 000000001111111에서부터 0000000011111111로 오직 하나의 캐패시터만 변화하게 되지만, BWC를 기본으로 하여 인코드된 디지털 비트를 사용하는 경우는 0111에서 1000과 같이 관련된 15 개의 캐패시터의 상태가 모두 변하게 된다. 이와 같이 비록 두가지 형태의 캐패시터 배열은 시스템 옵셋 오차와 임의의 옵셋 오차를 줄이기 위해 모두 동심원 구조(common-centroid geometry)를 가질 수 있으나, BWC를 기본으로 하는 MDAC이 UC를 기본으로 하는 MDAC보다 변화해야 하는 캐패시터의 숫자가 많기 때문에, 각 캐패시터 간의 부정합에 의해 발생하는 DNL 오차가 증가할 확률이 그만큼 높다. 이때 발생하는 최대 DNL 오차를 정규화된(normalized) 캐패시터의 부정합 오차 δ 및 비트수 N을 사용하여 통계적으로 계산해 보면 다음과 같다. 즉, BWC를 기본으로 하는 MDAC을 사용하는 경우, 최대 DNL 오차는 모든 캐패시터가 동시에 변화하는 경우로서, $\sqrt{2^N \delta^2}$ 가 되며, UC를 기본으로 하는 MDAC을 사용하는 경우, 최대 DNL 오차는 인접한 두개의 캐패시터만이 변화하는 경우로서, $\sqrt{\delta^2}$ 가 되어 전체 A/D 변환기 시스템의 선형성 및 제조 수율(yield)에 큰 영향을 준다.^[16]

3. 디지털 출력 코딩(coding) 방법

기본적으로 A/D 변환기에는 mid-tread 코딩 및 mid-rise 코딩 등 크게 두가지의 디지털 출력 코딩 방법이 있다. 그림 3의 10-비트 A/D 변환기를 위한 mid-tread 코딩에서는 아날로그 입력단에 두 기준 전압(REF+ 및 REF-)의 중심 값인 GND가 입력될 때, 그 GND를 중심으로 목표 해상도(10 비트)의 ±1/2 LSB 만큼 입력 신호가 변하더라도 디지털 출력 코드에 변화가 없다. 그 반면, 그림 4의 mid-rise 코딩에서는 입력이 GND 값보다 크거나 작으나에 따라 디지털 출력 코드가 목표 해상도의 1 LSB 만큼 차이가 난다.

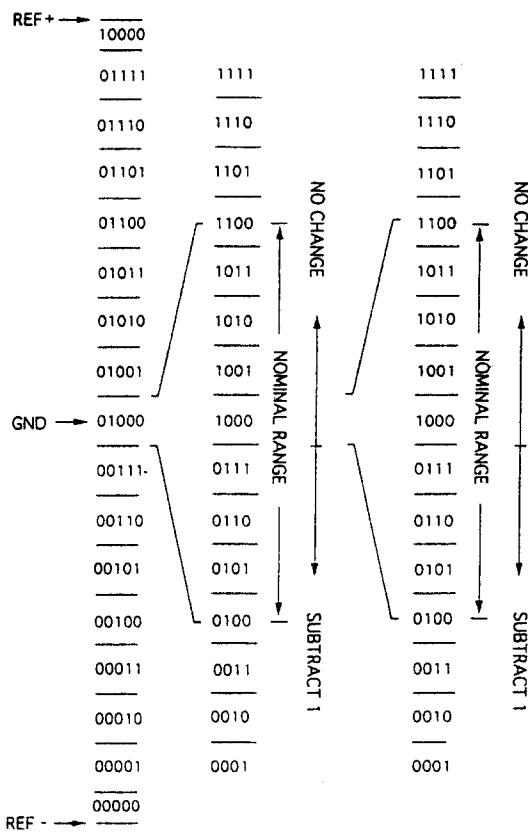


그림 3. Mid-tread 코딩

Fig. 3. Mid-tread coding.

그림 3과 그림 4를 비교해 보면, 그림 3의 mid-tread 코딩은 디지털 코딩이 비교적 간단한 반면, 첫번째 단에서는 5비트, 나머지 단에서 4비트 등, 각 단에서의 디지털 출력이 서로 상이하게 되어, 첫번째 단과 나머지 단들 사이에 아날로그 및 상응하는 디지털 회로의 상당한 부분을 서로 다르게 설계하여야 한다. 따라서, 각 단들의 구조가 각각 달라져 더 높은 해상도의 A/D 변환기 설계시, 모듈(module) 형태의 직접적인 확장 및 응용이 용이하지 않다. 반면, 그림 4의 mid-rise 코딩을 사용하면 디지털 코딩은 mid-tread 코딩 방법보다 약간 복잡하지만, 아날로그 회로 구조가 각 단에서 정확하게 동일하여, 더 높은 해상도 및 더 낮은 해상도가 필요할 때, 즉각적인 확장 및 축소 응용이 가능하다.

III. 제안된 10-비트 20-MHz A/D 변환기

제안된 10-비트 파이프라인 A/D 변환기의 구조는

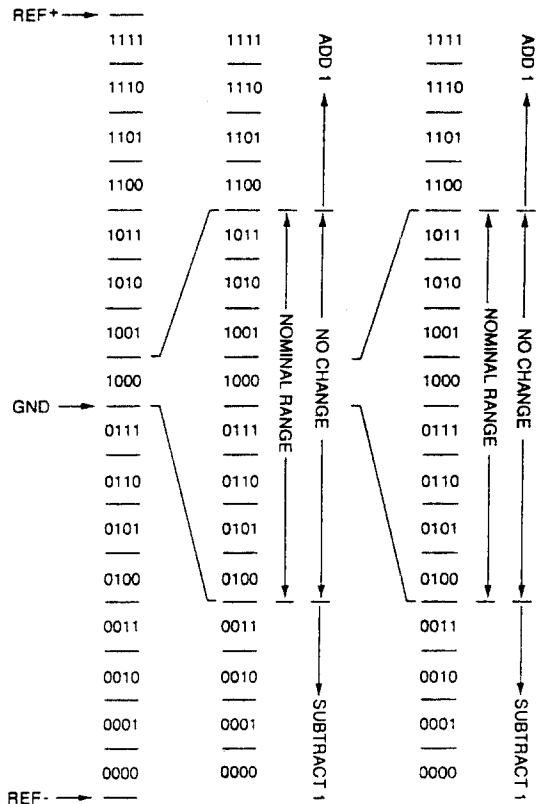


그림 4. Mid-rise 코딩

Fig. 4. Mid-rise coding.

그림 5와 같다. 제안된 A/D 변환기는 세개의 단으로 구성되며, 각 단으로부터 4 비트씩 결정되는 4-4-4의 구조를 가지고 있다. 입력된 아날로그 신호의 디지털 변환을 위해서, 두개의 중첩되지 않는 클럭(non-overlapping 2-phase clock)을 사용하며, 아날로그 입력을 가한 후 세개의 클럭 사이클이 경과했을 때, 전체 디지털 출력이 나타나게 된다.

각 단은 4-비트 플래쉬 A/D 변환기와 4-비트 MDAC 으로 구성되어 있다. 입력단에는 SHA가 존재하여, 변화하는 아날로그 입력 신호를 샘플링하게 되는데 single-ended 입력 신호를 완전 차동 신호로 변환하는 기능을 포함한다. 이 샘플링된 아날로그 신호는 첫번째 MDAC1의 캐패시터 열로 전달되고, 동시에 첫 번째 subranging 플래쉬 A/D 변환기인 FLASH1으로 전달되어 상위 4-비트의 디지털 코드를 결정한다. MDAC1의 캐패시터에 샘플링된 아날로그 신호와 FLASH1에서 결정된 디지털 코드에 상응하는 아날로그 신호의 차이, 즉 잔류 전압은 증폭되어 두번째

MDAC (MDAC2) 및 두번째 플래쉬 A/D 변환기 (FLASH2)로 전달되며 이후 같은 과정이 반복된다. 각 단의 신호 처리의 방향은 그림 5에 화살표로 나타내었다. 이와같이 FLASH1, FLASH2 및 FLASH3 으로부터 얻어진 디지털 출력은 디지털 교정 회로(digital correction logic)로 전달되어, SHA, MDAC 들, 및 플래쉬 A/D 변환기에 사용되는 증폭기들 간의 옵셋(offset) 또는 피드스루(feedthrough) 오차들에 의해 발생하는 오차를 디지털 영역에서 교정하고 최종 10 비트의 출력을 얻게 된다. 본 논문에서 제안하는 파이프라인 구조를 사용하는 10-비트 20-MHz CMOS A/D 변환기는 기존의 변환기와 달리 다음과 같은 특징을 가진다.

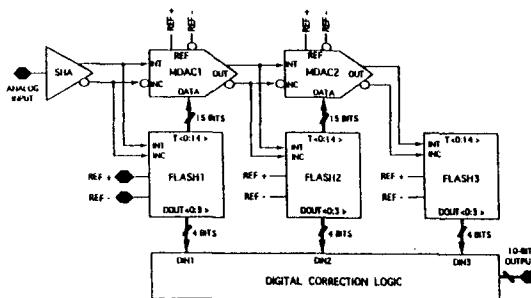


그림 5. 제안된 10 비트 20-MHz A/D 변환기의 전체 회로도

Fig. 5. Top schematic of the proposed 10-bit 20-MHz A/D converter.

첫째, 입력단에 SHA 회로를 내장하여 일반 상용 전자 기기 등에 즉각적인 응용이 가능하도록 하였고 single-ended 신호를 차동(differential) 신호로 변환하여 칩 내부에서 완전 차동(fully differential) 형태의 신호 처리를 가능하게 하였다. 동시에 차동 신호 입력도 처리할 수 있도록 설계되어 다른 대규모 시스템에 core 회로로서 사용이 가능하도록 하였다. 두번째, 디지털 출력의 코딩 기술에 mid-rise 코드 체계를 사용하여 각 단의 회로 구성이 동일하도록 하였고, 추후 8-비트 등의 저해상도 및 12 비트 이상의 고해상도 A/D 변환기 구현시 설계 및 레이아웃이 용이한 디지털 회로 부분만을 수정할 수 있도록 고려함으로써, 축소 및 확장이 용이하도록 하였다. 세번째, 각단의 4-비트 플래쉬 A/D 변환기에 내장된 래치형 비교기(latched comparator)는 래치 후 안정된 값을 갖게 되면, 즉시 전원 전압으로부터의 직류 전류 경로를 차

단하도록 설계하여 전체 A/D 변환기 시스템의 전력 소모를 최소화하였다. 네번째, 고해상도 영상 이미지 신호 처리에 필수적으로 고려되어야 하는 differential nonlinearity(DNL) 특성을 향상시키고, 생산시 수율을 높게 하기 위하여 단위 캐패시터(unit-capacitor : UC) 열로 구성된 MDAC을 사용하였다. 다섯째, 레이아웃시 집적된 A/D 변환기의 크기를 줄이고 변환기 인접 회로와의 연결을 단순화 함으로써, 멀티미디어 칩 등과 같은 대규모 시스템 내의 코어(core) 회로로 사용이 가능하도록 하였다. 여섯째, 10-비트 A/D 변환기 구현에 필수적인 MDAC 캐패시터의 부정합을 10-비트 수준 이상으로 선형성을 향상시키기 위해, 1차원적 [14], [15] 이 아닌 2차원적으로 동심원 구조를 갖도록 레이아웃 하였다.

IV. 회로 설계 및 시뮬레이션

1. Sample-and-Hold Amplifier(SHA)

SHA는 고해상도 A/D 변환기 시스템 설계시 매우 민감하고 중요한 부분중에 하나로서 전체 시스템 해상도의 정밀도와 성능을 크게 좌우한다. SHA는 그림 6 과 같이 스위치와 헀딩 캐패시터(C1, C2), SHA 증폭기 등으로 구성되어 있다. Q2와 Q2P가 high가 되고 Q1이 low로 되면 SHA는 샘플링 모드로 동작하며 캐패시터에 입력 전압을 charge 시킨다. Q2와 Q2P가 low로 되고 Q1이 high로 되면 회로는 헀딩 모드로 들어가게 된다. 이때 신호 의존적(signal dependent)인 피드스루 현상을 줄이기 위해 Q2P를 먼저 low로하고 Q2가 나중에 low로 되도록 클럭을 조정한다 [17].

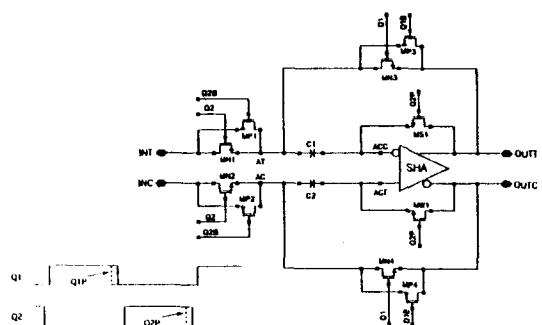


그림 6. SHA의 전체 회로도

Fig. 6. SHA schematic.

SHA에 사용되는 증폭기는 대역폭(bandwidth)이 비교적 넓은 folded cascode 구조의 증폭기를 사용하였으며, 증폭기 입력단에는 single-ended 신호와 차동 신호를 모두 받아들일 수 있도록 하기 위하여, complementary differential pair의 트랜지스터 스위치를 사용하였다^[18]. 설계된 SHA 회로는 완전 차동 구조 형태로 설계되어 있어, 활성 영역(dynamic range)이 넓어지고 공급 전원이나 클럭에서 발생하는 잡음을 경감시키는 등 특성을 개선시킨다. 샘플링 모드 보다 훌딩 모드에서의 부하 캐패시턴스가 크게 되며, 훌딩 모드에서 SHA 부하는 MDAC1의 캐패시터, 각종 스위치의 기생 캐패시턴스 및 FLASH1의 입력 캐패시턴스로 구성되며, 전체적으로 7.5 pF 정도의 크기를 갖는다. SHA의 입력 및 출력은 최소한 11 비트 이상의 정확도를 가져야 하므로, 25 MHz의 클럭을 사용한다고 가정할 때 약 20 ns 내에 settling을 완료시키기 위한 -3 dB 주파수는 다음의 식 (1)으로 부터 $f_{-3dB} = 62 \text{ MHz}$ 가 된다.

$$t = 11 \ln 2 \tau = 7.7 \tau = \frac{7.7}{2\pi f_{-3dB}} = 20 \text{ ns} \quad (1)$$

따라서, SHA 증폭기 입력단에 필요한 transconductance g_m 은 다음 식 (2)와 같이 계산된다.

$$g_m = 2\pi * 7.5 \text{ pF} * 62 \text{ MHz} = 0.003 (\text{f}\Omega) \quad (2)$$

공정상의 오차를 고려하여 설계상 여유를 두었으며, 시뮬레이션 결과 1단으로 구성된 증폭기를 사용하는 SHA의 DC 이득은 약 76 dB, 샘플링 모드 및 훌딩 모드에서의 unity-gain bandwidth는 각각 200 MHz, 85 MHz 정도이며 phase margin은 각각 70° 이상의 결과를 얻었다.

2. Multiplying Digital-to-Analog Converter (MDAC)

MDAC1 내부의 증폭기는 샘플링 모드와 증폭 모드에서 이득과 주파수 특성이 달라야 하므로 각 동작 모드에서 기능을 최적화시키기 위해 그림 7과 같이 2개의 증폭기, AMPX1 및 AMPX2로 구성된 형태를 갖도록 설계되었다^[15]. 그림 7에서 c_array1은 MDAC1의 UC 열로 구성된 캐패시터들이며, select1은 이 캐패시터에 연결된 MOS 스위치 및 스위치를 조정하는 디지털 회로이다. 샘플링 모드시에는 입력 전

압을 샘플링만 하므로 이득이 아주 크지 않아도 되지만, 증폭 모드시에는 10 비트 이상의 해상도를 얻기 위해 최소한 60 dB($= 2^{10}$) 이상의 DC 이득과 높은 대역폭이 요구된다. 따라서, 각각의 모드에서 대역폭이 서로 다른 2개의 증폭기를 선택적으로 사용하여 위 조건을 만족 시킬 수 있다. 이러한 AMPX1 및 AMPX2의 기본 구조는 SHA에 사용된 증폭기와 동일한 1단으로 된 folded cascode 구조를 갖는 증폭기로 구성되어 있으며, 필요한 대역폭을 얻기 위해 각 트랜지스터의 크기만 다르게 설계되었다.

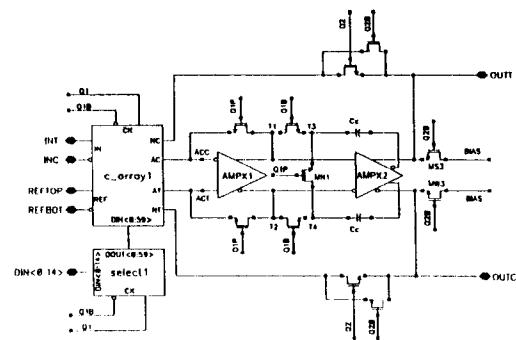


그림 7. MDAC1의 전체 회로도
Fig. 7. MDAC1 schematic.

샘플링 모드 동안에는 AMPX1만 동작을 하게 되고, AMPX2는 리셋 상태로 되어있다. AMPX1의 옵셋 전압은 전체 옵셋에 직접적인 영향을 주게 되고, AMPX2의 옵셋은 AMPX1의 open-loop 이득만큼 나누어서 그 값이 작아지므로 무시될 수 있다. 첫번째 증폭기 AMPX1의 옵셋 전압은 샘플링 모드 때 unity feedback으로 연결하여 MDAC 캐패시터에 저장된 후, 다음 증폭 모드에서 상쇄된다. 증폭 모드 동안에는 AMPX1과 AMPX2가 모두 동작하는 2단 증폭기가 되어 원하는 closed-loop feedback 이득을 얻는다. 주파수 보상용 밀리 캐패시턴스 C_c 는 AMPX2 상에 위치시키며, MDAC1은 closed-loop 이득 $2^3 (= 8)$ 으로 고정되어 있으므로, 고정된 이득에서 60° 이상의 phase margin을 얻도록 설계하면 된다.

첫번째 플래쉬 A/D 변환기에서 4 비트의 디지털 출력을 얻은 후, 첫번째 MDAC1의 출력은 적어도 7 비트의 정확도를 가져야 하므로, 25 MHz 클럭을 사용할 때, 20 ns 내에 settling을 해야 한다고 할 때, 다음의 식 (3)으로부터 $f_{-3dB} = 40 \text{ MHz}$ 가 된다.

$$t = 7 \ln 2 \tau = 4.9 \tau = \frac{4.9}{2\pi f_{-3dB}} = 20 \text{ ns} \quad (3)$$

주어진 20 ns 내에 7 비트 수준으로 출력이 settling 하기 위해 필요한 transconductance g_m 은 식 (4)와 같이 계산된다.

$$g_m = C_c * 2\pi f_u = 1.2 \text{ pF} * 2\pi f_{-3dB} * \frac{2^4 + 6}{2} = 0.003 (\text{ }/\Omega) \quad (4)$$

ⓐ 계산에서 주파수 보상용 캐패시터 C_c 는 1.2 pF, f_u 는 unity-gain 주파수이며, AMPX1의 입력 캐패시턴스를 대략 6 unit 캐패시터로 가정하였고, 이 가정은 시뮬레이션에 의해 확인되었다. 공정상의 오차를 고려하여 설계에 약간의 여유를 주었으며 0.8 μm CMOS 공정 변수를 이용하여 시뮬레이션한 결과, open-loop DC 이득은 100 dB 이상을 얻었고, 고정된 closed-loop 이득($2^3 = 18 \text{ dB}$)에서 50 MHz의 -3 dB 대역폭과 62°의 phase margin을 얻었다. 시간축 상에서 변화하는 신호를 시뮬레이션 수행한 결과, 클럭을 인가한 후, 약 18 ns 후에 필요한 출력 목표인 7 비트의 $\pm 1/4$ LSB 수준으로 settling 하였다.

두번째 MDAC은 첫번째 MDAC과 기본적 구조가 동일하고 사용되는 클럭의 위상과 증폭기를 구성하는 트랜지스터들의 크기만 다르다.

3. Subranging 플래쉬 A/D 변환기

제안된 A/D 변환기 전체 회로에는 3 개의 4 비트 플래쉬 A/D 변환기가 있으며, 각 플래쉬 A/D 변환기는 4 비트의 디지털 코드를 결정한다. FLASH1, FLASH2 및 FLASH3의 기본 구조는 동일하며, 사용되는 클럭 위상 및 출력단의 디지털 컨트롤 부분만 다르다.

본 연구에서 제안하는 플래쉬 A/D 변환기의 구조를 그림 8에 나타내었다. 4-비트 플래쉬 A/D 변환기는 15 개의 래치형 비교기와 15 개의 기준 전압을 제공하는 저항 열 (string) 등으로 구성되어 있다. 4-비트의 해상도가 요구되는 플래쉬 A/D 변환기의 비교기는 최대 기준 전압이 $2 V_{DD}$ 이므로, 각 비교기는 $2/2^4$ 즉 125 mV의 차이를 증폭하여 구별할 수 있어야 한다. 실제 SHA, MDAC1 및 MDAC2에 존재하는 옵셋이나 비교기 자체에서 생겨나는 옵셋 및 피드스루 오차 등을 고려할 때 125 mV의 1/4, 즉 약 32 mV 정도의

비교기 입력을 구별할 수 있도록 설계하였다.

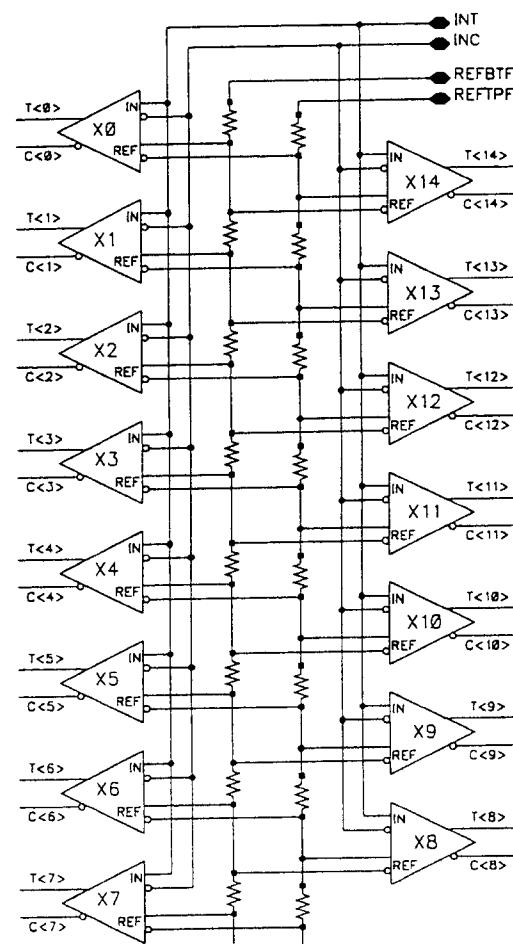


그림 8. 4-비트 플래쉬 A/D 변환기의 회로도

Fig. 8. Schematic of a 4-bit flash A/D converter.

그림 9에 플래쉬 A/D 변환기 내부에 사용된 비교기 회로를 제시하고 있다. Q2가 high 상태일 때 차동 기준 전압이 두개의 샘플링 캐패시터 C1, C2에 샘플링되며, C1, C2의 top plate는 공통 바이어스 전압에 연결된다. 동시에 ML1부터 ML9로 구성되는 래치 회로는 로직 1 또는 0 중 어느 한 상태로 래치되어 있다. Q2가 low 상태로 바뀌고 Q1이 high 상태가 되면, 차동 입력 신호와 차동 기준 전압과의 차이가 증폭기 A1의 입력단에 나타나며, ML1부터 ML9으로 구성된 래치는 리셋 상태로 들어간다. 입력 신호는 프리 앰프단 A1을 거쳐 증폭된 다음, 래치 입력단인 ML3 및 ML4의 게이트에 나타난다. Q1이 low 상태로 들어가기 직

전 그리고 Q2가 high 상태가 되기 직전, ML9이 켜지고 ML1 및 ML2 가 off 상태로 되면서 다음 단계의 논리 게이트에 유효한 입력 수준을 얻기 위해 래치된다. 프리 앰프 A1은 낮은 전원 전압에서 비교적 큰 전압 이득을 얻을 수 있는 cross-coupled 연결 구조를 가진 부하로 구성되어 있는 차동 증폭기이다.^[19]

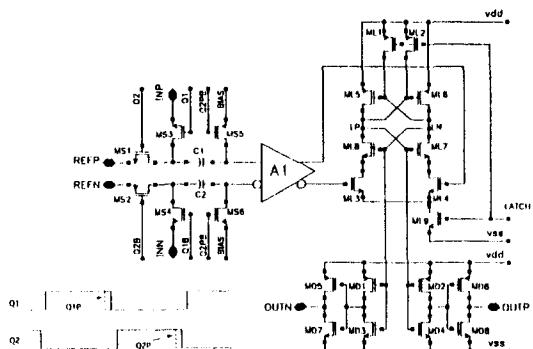


그림 9. 래치형 비교기 회로도

Fig. 9. Latched comparator schematic.

그림 9의 비교기 회로는 다음 두가지 특징이 있다. 첫째, 기준 신호 (REFT, REFC)의 샘플링 동안 입력 신호에 관련 있는 전하 피드스루 현상을 제거하기 위해 MS1 및 MS2가 꺼지기 전에 MS5 및 MS6가 먼저 꺼진다. 둘째, ML1부터 ML9으로 구성되는 래치는 신호 변환 상태에서만 전류를 소모하고 래치 on 상태나 래치 off 상태에서 전원 전압으로부터 직류 전류를 차단함으로써 전력 소비를 줄이며, ML3 및 ML4는 래치 입력단인 동시에 출력단에서의 신호 변환 동안 순간적인 잡음 (kickback 현상)이 증폭기 A1의 출력단으로 전달되는 것을 감소시킨다. 비교기의 HSPICE를 사용한 회로 시뮬레이션 결과, 앞단 증폭기의 이득은 20 dB정도이며 pole의 위치는 75 MHz 정도가 되었다.

V. 칩 제작 및 측정 결과

설계된 A/D 변환기 시스템은 삼성 0.8 μm p-well double-metal double-poly CMOS 공정으로 제작되었으며, 전체 A/D 시스템의 칩 사진은 그림 10과 같다. 전체 칩 크기는 출력 패드 및 온칩 바이어스 회로를 포함하여 약 2.7 mm × 2.6 mm이다. Full custom 방식으로 레이아웃을 수행하였으며 일부 디지털 블럭은 각 게이트를 표준 세팅 (standard cell)하여

완성하였다. 레이아웃 수행시, 아날로그 블럭과 디지털 블럭은 완전히 분리하였고 아날로그 전원 전압 (VDDA, VSSA)과 디지털 전원 전압 (VDDD, VSSD)도 모두 분리하였으며 외부에서 연결되도록 설계하였다. MDAC의 레이아웃시 캐패시터는 동심원 형태로 레이아웃 되었고, 주변 환경에 대한 영향을 최소화하기 위해 dummy 캐패시터를 외곽에 추가하였다. 가장 큰 잡음원인 클럭 발생기의 경우, substrate 및 전원 전압을 링 형태로 클럭 주변에 배치함으로써 다른 블럭에의 영향을 최소화하였다. 입력단의 기생 인더턴스의 영향을 줄이기 위하여 전원 전압 및 신호 입력 단의 패드에는 여러개의 패드를 병렬로 연결하여 사용하였다.

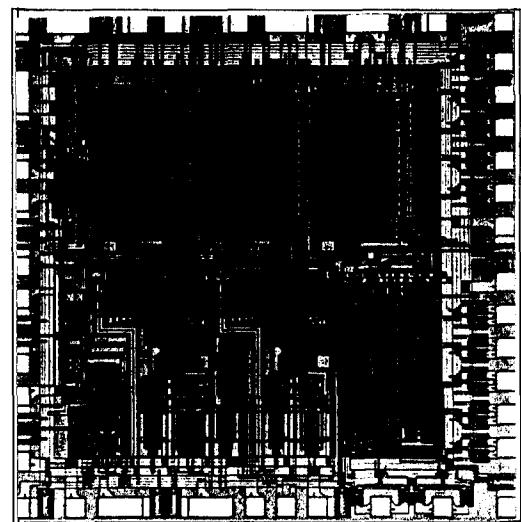


그림 10. 제안된 10-비트 A/D 변환기 칩 사진 (크기 : 2.7 mm × 2.6 mm)

Fig. 10. Chip photo of the prototype (size : 2.7 mm × 2.6 mm).

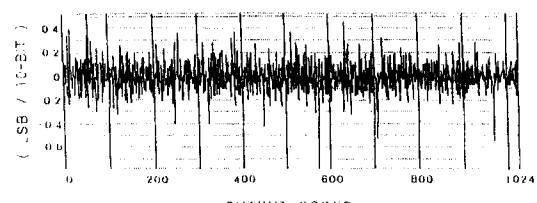


그림 11. 측정된 A/D 변환기 샘플의 DNL 결과.

Fig. 11. Typical DNL plot of an A/D converter sample.

그림 11 및 그림 12는 각각 제작된 A/D 변환기의 측정된 DNL 및 INL의 결과를 보여주고 있다. DNL은 대략 ± 0.6 LSB, INL은 ± 1 LSB의 결과를 보여준다. 표 1에 제안된 10-비트 A/D 변환기의 성능 측정 결과를 요약하였다.

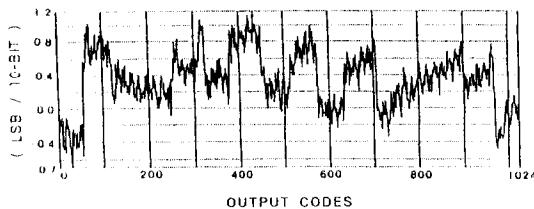


그림 12. 측정된 A/D 변환기 샘플의 INL 결과.
Fig. 12. Typical INL plot of an A/D converter sample.

표 1. 제작된 10-비트 A/D 변환기의 측정 결과.

Table 1. Measured performance of the proposed 10-bit A/D converter.

해상도	10비트
샘플링 주파수	20MHz (typical)
공급전압	5V
소모전력	160 mW(at 20 MHz)
D N L	± 0.6 LSB
I N L	± 1 LSB
입력전압	2 V _{p-p}
칩 크기	2.7 mm × 2.6 mm
공정	0.8 μ m p-well CMOS

VI. 결 론

전력 소모가 적고 칩 면적을 최소화한 파이프라인 A/D 변환기 구조를 사용하여 10-비트 20-MHz의 monolithic A/D 변환기를 설계, 제작 및 측정하였다. 영상 신호 처리가 가능한 10-비트 A/D 변환기는 세 개의 단으로 구성되어 있고 각 단은 4-비트 플래쉬 A/D 변환기와 4-비트 MDAC으로 구성되어 있어 4 비트 디지털 출력을 제공한다. 각 단의 옵셋 및 피드스루에 의해 발생하는 오차는 디지털 4 비트 출력으로 부

터 1 비트씩 중첩시켜 교정된다. 제안된 변환기 시스템은 완전 차동 회로로 구현되었고, 확장성이 용이한 mid-rise 코딩 체계를 채택하여 각단이 동일한 구조를 사용할 수 있도록 고려하였고, 추후 12-비트 이상의 고해상도 A/D 변환기 설계에 응용이 용이하게 하였다. 특히, 영상 이미지 처리에 중요한 DNL 특성을 향상시키고 생산시 수율을 향상시키기 위해 모든 MDAC에 단위 캐패시터 열을 사용하였다.

제작된 A/D 변환기는 0.8 μ m double-metal double-poly p-well CMOS 공정을 이용하였으며, 패드 및 변환기를 독립적으로 동작시키기 위한 온침 전류 회로를 포함하는 전체칩의 크기는 2.7 mm × 2.6 mm이며, 칩의 active area는 2.2 mm × 2.2 mm로써, 다른 멀티미디어 칩에 코아 블럭으로서 사용이 가능하도록 인접 회로와의 연결을 용이하도록 하였다. 단일 5 V 전원에서 동작시킬 경우 20 MHz 클럭에서 160 mW의 전력을 소비하였다. 향후 제안된 A/D 변환기 시스템은 INL 향상 및 입력 부분의 잡음 감소를 위한 연구가 좀더 지속되어야 하며, 저전력용 휴대용 전자기기의 응용을 위하여 5 V 전원 전압에서 뿐만 아니라 3 V 이하의 저전원 전압에서도 동작하는 새로운 변환기 시스템의 개발로 확장될 필요가 있다.

참 고 문 현

- [1] S. Sutarja and P. Gray, "A pipelined 13-bit, 250-Ks/s, 5 V analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 23, no.6, pp. 1316-1323, Dec. 1988.
- [2] B. Song, M. Tompsett, and K. Lakshmkumar, "A 12-bit 1-Msample/s capacitor error-averaging pipelined A/D converter," *IEEE J. Solid-State Circuits*, vol. 23, no.6, pp. 1324-1333, Dec. 1988.
- [3] Y. Lin, B. Kim, and P. Gray, "A 13-bit 2.5-MHz self-calibrated pipelined A/D converter in 3- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 26, no.4, pp. 628-636, Apr. 1991.
- [4] S. Lewis, H. Fetterman, G. Gross, Jr., R. Ramachandran, and T. Viswanathan, "A 10-bit 20-Msamples/s analog-to-digital converter," *IEEE J. Solid State Circuits*,

- vol SC-27, pp. 351-358, Mar. 1992.
- [5] C. Conroy, D. Cline, and P. Gray, "An 8-b 85-MS/s parallel pipelined A/D converter in 1- μm CMOS," *IEEE J. Solid-State Circuits*, vol. 28, pp. 447-454, Apr. 1993.
- [6] A. Karanicolas, H. Lee, and K. Bacrania, "A 15b 1Ms/s digitally self-calibrated pipelined ADC," *ISSCC Dig. Tech. Papers*, pp. 60-61, Feb. 1993.
- [7] W. Colleran, T. Phan, and A. Abidi, "A 10b 100Ms/s pipelined A/D converter," *ISSCC Dig. Tech. Papers*, pp. 68-69, Feb. 1993.
- [8] W. Colleran and A. Abidi, "A 10-bit 75-MHz two-stage pipelined bipolar A/D converter," *IEEE J. Solid-State Circuits*, vol. SC-28, pp. 1187-1199, Dec. 1993.
- [9] M. Ito, T. Miki, S. Hosotani, T. Kumamoto, Y. Yamashita, M. Kijima, and K. Okada, "A 10b 20Ms/s 3V-Supply CMOS A/D converter for integration into system VLSIs," *ISSCC Dig. Tech. Papers*, pp. 48-49, Feb. 1994.
- [10] M. Yotsuyanagi, T. Etoh, and K. Harata, "A 10-b 50-MHz pipelined CMOS A/D converter with S/H," *IEEE J. Solid-State Circuits*, vol. 28, pp. 292-300, Mar. 1993.
- [11] K. Kusumoto, K. Murata, A. Matsuzawa, S. Tada, M. Maruyama, K. Oka, and H. Konishi, "A 10b 20MHz 30mW pipelined interpolating CMOS ADC," *ISSCC Dig. Tech. Papers*, pp. 62-63, Feb. 1993.
- [12] T. Cho and P. Gray, "A 10-bit, 20- μs , 35-mW pipelined A/D converter," *Custom Integrated Circuits Conference*, pp. 499-502, May 1994.
- [13] S. Lee and B. Song, "A direct code error calibration technique for two-step flash A/D converters," *IEEE Trans. Circuits Syst.*, vol. 36, no. 6, pp. 919-922, Jun. 1989.
- [14] S. Lee and B. Song, "Digital-domain calibration of multistep analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 27, pp. 1679-1688, Dec. 1992.
- [15] B. Song, S. Lee, and M. Tompsett, "A 10-b 15-MHz CMOS recycling two-step A/D converter," *IEEE J. Solid-State Circuits*, vol. 25, no. 6, pp. 1328-1338, Dec. 1990.
- [16] S. Lim and S. Lee, "A pipelined A/D converter architecture for high linearity and high yield," *Proceedings of JTC-CSCC '94*, Vol. II, pp. 1102-1107, Jul., 1994.
- [17] P. Li, M. Chin, P. Gray, and R. Castello, "A ratio-independent algorithmic analog-to-digital conversion technique," *IEEE J. Solid-State Circuits*, vol. SC-19, no. 6, pp. 828-836, Dec. 1984.
- [18] R. Castello, and P. Gray, "A high-performance micropower switched-capacitor filter," *IEEE J. Solid-State Circuits*, vol. SC-20, no. 6, pp. 1122-1132, Dec. 1985.
- [19] D. J. Allstot, "A precision variable-supply CMOS comparator," *IEEE J. Solid-State Circuits*, vol. SC-17, no. 6, pp. 1080-1087, Dec. 1982.

저자소개



崔熙哲(正會員)

1968년 9월 30일생. 서강대학교 전자공학과 학사(1994), 서강대학교 전자공학과 석사(1996), 현재 삼성전자 연구원 주요 관심 분야는 반도체 집적 회로 설계, 데이터 변환기 설계, 샘플 앤 홀드 증폭기(sample and hold amplifier) 설계 등임.

李承勳(正會員) 第32卷 A編 第12號 參照
現在 西江大學校 電子工學科 助教授



安吉礮(正會員)

1971년 8월 13일생. 서강대학교 전자공학과 학사(1994), 서강대학교 전자공학과 석사(1996), 현재 삼성전자 연구원, 주요 관심 분야는 반도체 집적 회로 설계, 데이터 변환기(A/D) 설계 등임.



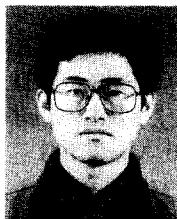
李成浩(正會員)

한양대학교 전자공학과 학사(1984), 1983년 ~ 현재 삼성전자 연구원. 주요 관심분야는 고분해능 데이터 변환기 설계 등임.



姜根淳(正會員)

1965년 8월 21일생. 중앙대학교 전자공학과 학사(1991), 1990년 ~ 현재 삼성전자 연구원. 주요 관심분야는 CMOS A/D 변환기 설계 등임.



崔命浚(正會員)

1965년 6월 2일생. 서울대학교 전자공학과 학사(1987), 서울대학교 전자공학과 석사(1989), 1989년 ~ 현재 삼성전자 연구원, 주요 관심분야는 아날로그 회로 설계, 혼성 모드 회로 설계 등임.