

論文96-33A-4-14

얇은 쏘오스/드레인 접합 깊이가 Deep Submicron CMOSFET 소자 특성에 미치는 영향

(Dependence of Deep Submicron CMOSFET
Characteristics on Shallow Source/Drain
Junction Depth)

盧光明*, 高堯煥*, 朴贊光*, 黃聖敏*, 鄭夏豐*, 鄭明俊*
(Kwang Myoung Rho, Yo Hwan Koh, Chan Kwang Park, Seong Min Hwang,
Ha Poong Chung, and Myoung Jun Chung)

요약

본 논문에서는 기존의 i-선 노광 장비와 동방식 습식 식각을 이용하는 MOSES(Mask Oxide Sidewall Etch Scheme) 공정에 의해 $0.1\mu m$ 또는 그 이하의 미세 게이트 패턴을 갖는 CMOSFET 소자를 제작하고 그 특성을 분석하였다. $0.1\mu m$ CMOSFET 소자의 얇은 채널 효과를 개선하기 위하여 얇은 쏘오스/드레인 접합을 형성하는 것이 필요하다. 이를 위해서 저에너지 이온 주입 공정전에 Screen용 절연막의 두께를 조절하는 방법과 이단계 Sidewall 형성 방법을 적용하였다. $0.1\mu m$ CMOSFET 소자의 특성을 분석한 결과, 얇은 채널 효과를 억제하는데 있어서 Screen용 절연막의 두께를 조절하는 것이 이단계 Sidewall 형성 방법보다 효과적임을 알 수 있었다. 200 \AA 두께의 Screen용 실리콘 산화막을 사용한 경우, NMOSFET과 PMOSFET이 모두 유효 채널 길이 $0.1\mu m$ 까지 양호한 Subthreshold 특성을 유지하였고, 드레인 포화전류의 감소가 크지 않았으며, 낮은 Impact 이온화율을 보여서 신뢰성 측면에서도 유리하게 나타났다.

Abstract

With the MOSES(Mask Oxide Sidewall Etch Scheme) process which uses the conventional i-line stepper and isotropic wet etching, CMOSFET's with fine gate pattern of $0.1\mu m$ or less are fabricated and characterized successfully. To improve the short channel effect of $0.1\mu m$ CMOSFET device, the screening oxide is deposited before the low energy ion implantation for source/drain extensions and two step sidewall scheme is adopted. Through the characterization of $0.1\mu m$ CMOSFET device, it is found that the screening oxide deposition scheme has larger capability of suppressing the short channel effects than two step sidewall scheme. In case of 200 \AA -thick screening oxide deposition, both NMOSFET and PMOSFET maintain good subthreshold characteristics down to $0.1\mu m$ effective channel lengths, and show affordable drain saturation current reduction and low impact ionization rates.

I. 서 론

* 正會員, 現代電子 產業株式會社 메모리研究所 基礎

素子 2室

(Advanced Device/P.I. Dept.2 Memory R&D Div.
Hyundai Elec. Industries Co., Ltd.)

接受日字: 1996年1月3日, 수정완료일: 1996年3月22日

시스템의 성능 향상과 집적도 증가를 위한 반도체
소자의 Scaling 과정은 지난 삼십여년 동안 지속적으
로 이루어져 왔다. 그 결과, 현재 시제품이 출시되기
시작한 64M DRAM 메모리 제품의 경우 한 Chip당

소자 집적도가 수 천만 개에 이르고, 소자의 동작 속도도 수십 GHz에 이르고 있다. 앞으로도 이러한 소자의 Scaling 과정은 지속돼, 게이트 선폭이 0.1μm인 소자를 사용하는 4G DRAM 또는 16G DRAM 제품이 향후 십년안에 개발되리라 예상된다.^[1]

게이트 선폭이 0.1μm인 CMOSFET 소자 제작시의 가장 큰 어려움은 미세한 게이트 패턴의 형성이다. 이것은 현재 운용가능한 사진 공정 기술의 한계 때문으로, 현재의 i-선 노광 장비로는 0.35μm 선폭의 게이트 패턴까지만 형성시킬 수 있기 때문에 0.1μm 선폭의 게이트 패턴을 제작하기 위해서는 별도의 방안을 강구해야 한다. 발표된 기존의 연구로는 플라즈마를 이용한 등방성 감광물질 Ashing을 통해 감광물질의 선폭을 감소시키는 감광물질 Ashing 법^[2], i-선 노광 장비보다 분해능이 우수한 전자선을 이용하여 미세 패턴을 감광물질위에 묘사하는 전자선 묘사방법^[3] 등이 있다. 하지만 감광물질 Ashing 법은 감광물질 Ashing 정도에 따른 게이트 선폭의 변화와 같은 공정 불균일성의 단점이 있으며, 전자선 묘사방법은 수 많은 게이트 패턴을 일일이 묘사하기 때문에 공정 시간이 크게 늘어나는 단점을 가지고 있다.

한편, 위의 방안들을 이용하여 0.1μm 또는 그 이하의 게이트 선폭을 갖는 Deep Submicron CMOSFET 소자에 대한 연구가 활발히 이루어져 왔다.^[4-6] 이들 연구의 결과로부터, 0.1μm CMOSFET 소자의 짧은 채널 효과를 개선하기 위해서는 매우 얕은 깊이의 쏘오스/드레인 접합을 형성하는 것이 필수적임이 알려졌다.

본 논문에서는 0.1μm 정도의 미세 게이트 패턴을 형성하기 위한 하나의 방법으로 기존의 i-선 노광 장비와 등방성 습식 식각을 이용하는 MOSES(Mask Oxide Sidewall Etch Scheme) 방식을 소개하고, MOSES 공정을 이용하여 제작한 0.1μm CMOSFET 소자의 특성 분석을 통해서 얕은 쏘오스/드레인 접합의 접합 깊이가 짧은 채널 효과, 드레인 포화 전류 그리고 Impact 이온화율등의 소자 특성에 미치는 영향에 대하여 살펴보았다.

II. 미세 게이트 패턴 형성 방법

0.1μm 정도의 미세 게이트 패턴을 형성하기 위하여 [그림1] 에서와 같은 MOSES(Mask Oxide Sidewall Etch Scheme) 방식을 도입하였다.

MOSES 공정은 실리콘 질화막과 실리콘 산화막의 식각 선택비를 이용하여 실리콘 질화막 아래 있는 실리콘 산화막의 측면을 습식 식각하여 게이트 패턴의 폭을 줄이는 방식이다. 개략적인 공정 순서는 다음과 같다. 폴리사이드 층위에 마스크 실리콘 산화막과 마스크 실리콘 질화막을 덮은 후, i-선 노광 공정과 전식 식각 공정으로 마스크 실리콘 질화막과 마스크 실리콘 산화막 구조의 0.35μm 선폭의 게이트 패턴을 형성한다. 마스크 산화막 게이트 패턴의 선폭은 마스크 실리콘 질화막을 식각 보호막으로 삼아 마스크 실리콘 산화막을 등방성 습식 식각하여 0.1μm 또는 그 이하까지 줄일 수 있다. 이 경우, 마스크 실리콘 산화막 게이트 패턴의 선폭은 등방성 습식 식각의 식각 정도를 조절함에 따라 조절이 가능하다. 다음으로 마스크 실리콘 질화막을 제거한 후, 이렇게 형성된 마스크 실리콘 산화막을 식각 보호막으로 삼아 폴리사이드층을 전식 식각하여 0.1μm 선폭의 최종 폴리사이드 게이트 패턴을 얻는다.

MOSES(Mask Oxide Sidewall Etch Scheme) Process

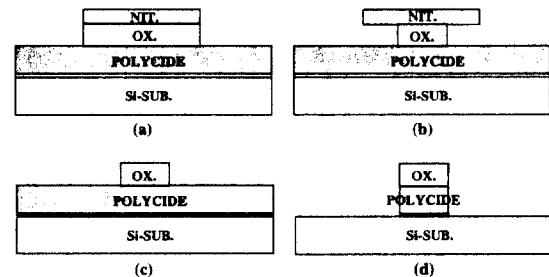


그림 1. MOSES(Mask Oxide Sidewall Etch Scheme) 공정의 개략도

Fig. 1. The schematic process flow of MOSES (Mask Oxide Sidewall Etch Scheme).

[그림2]는 최종 폴리사이드 게이트 패턴의 선폭과 마스크 실리콘 질화막과 마스크 실리콘 산화막 구조의 게이트 패턴의 선폭과의 관계를 서로 다른 등방성 습식 식각 정도에 따라 도시한 것이다. [그림2]를 볼 때, 최종 폴리사이드 게이트 패턴의 선폭과 마스크 실리콘 질화막과 마스크 실리콘 산화막 구조의 게이트 패턴의 선폭이 상당히 넓은 범위의 게이트 선폭과 습식 식각 정도에 대하여 직선성을 가지고 있어서, 최종 폴리사이드 게이트 패턴의 선폭 조절이 가능함을 알 수 있다. [그림3]은 마스크 실리콘 산화막 습식 식각

후와 게이트 폴리사이드 식각후의 단면 SEM 사진이다. [그림2] 와 [그림3]에서, 기존의 i-선 노광 공정과 등방성 습식 식각을 특징으로 하는 MOSES 공정을 이용하여 $0.1\mu\text{m}$ 또는 그 이하의 선폭을 갖는 미세 게이트 패턴을 형성하는 것이 가능함을 알 수 있다.

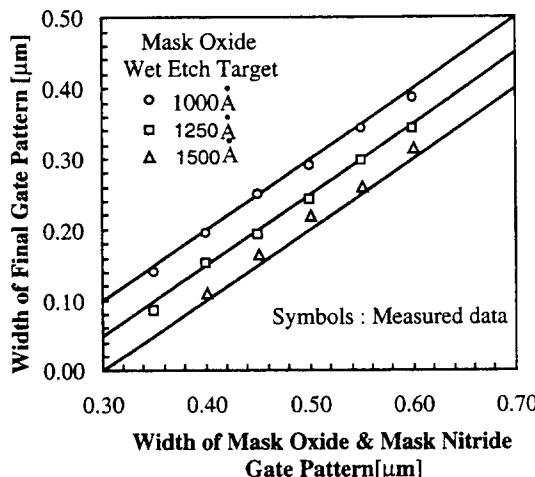
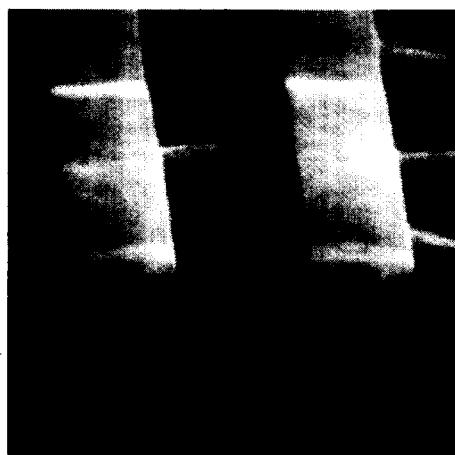
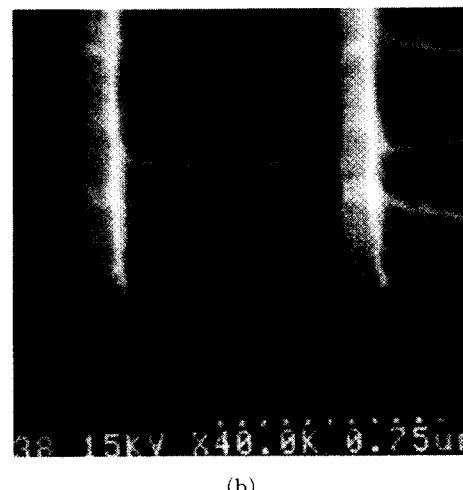


그림 2. 최종 폴리사이드 게이트 패턴의 게이트 선폭과 마스크 실리콘 질화막과 마스크 실리콘 산화막 구조의 게이트 패턴의 게이트 선폭과의 관계. 마스크 실리콘 산화막의 등방성 습식 식각 정도는 1000 \AA , 1250 \AA , 1500 \AA .

Fig. 2. The relationship between the width of final gate pattern and that of stack structure consists of mask oxide and mask nitride. The mask oxide wet etch target are 1000 \AA , 1250 \AA , 1500 \AA . The symbols are measured data.



(a)



(b)

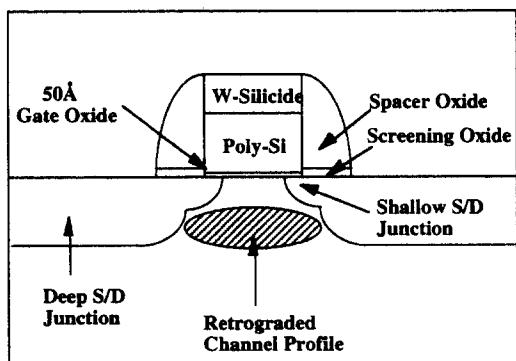
그림 3. MOSES 공정에 의하여 제작된 $0.1\mu\text{m}$ 게이트 선의 단면 SEM 사진. (a) 마스크 실리콘 산화막 습식 식각후 (b) 게이트 폴리사이드 건식 식각후

Fig. 3. SEM photograph showing $0.1\mu\text{m}$ gate lines fabricated by MOSES process. (a) After mask oxide isotropic wet etch (b) After gate polydelineation.

III. MOSFET 소자의 설계 및 제작

[그림4]는 $0.1\mu\text{m}$ CMOSFET 소자의 개략도와 제작 공정이다. 기존의 Twin Well 공정과 LOCOS 분리 공정을 거친 후, Vertical Doping Engineering 151 개념을 적용하여 결정된 최적의 채널 이온 주입 공정을 수행하였다. Vertical Doping Engineering 이란 채널 영역의 도핑 구조를 웨이퍼의 표면이 아닌 쟁오스/드레인 접합 깊이 정도에 최대 도핑 농도값을 갖도록 위치시킴으로써 소자의 짧은 채널 효과를 줄이는 기술이다. 채널 이온 주입 조건은 NMOSFET 소자와 PMOSFET 소자가 각각 BF_2 70keV $3.5 \times 10^{12} \text{ cm}^{-2}$ 과 As 140keV $6 \times 10^{12} \text{ cm}^{-2}$ 이었다. 게이트 실리콘 산화막의 두께는 50 \AA 이며, 게이트 폴리사이드는 게이트 선의 면적을 줄이기 위하여 1500 \AA 의 다결정 실리콘과 1000 \AA 의 텅스텐 실리사이드로 이루어진 적층 구조를 사용하였다. NMOSFET 소자와 PMOSFET 소자를 모두 표면 채널형 소자로 제작하기 위하여 두 가지 도핑 타입의 다결정 실리콘 게이트를 형성시켰는데, N형 다결정 실리콘을 위해서는 Ph31을, P형 다결정 실리콘을 위해서는 BF_2 를 이온 주입하였다. 다결정

실리콘의 도핑을 위한 이온 주입 조건은 NMOSFET 소자와 PMOSFET 소자가 각각 Ph31 40keV $3 \times 10^{15} \text{ cm}^{-2}$ 과 BF₂ 20keV $3 \times 10^{15} \text{ cm}^{-2}$ 이었다. 0.1μm 선폭의 미세 게이트 패턴을 형성하기 위하여 앞절에서 언급한 MOSES 공정을 수행하였다. 이때의 마스크 실리콘 산화막과 마스크 실리콘 질화막의 두께는 각각 1000Å 과 500Å 이었으며, 마스크 실리콘 산화막의 등방성 습식 식각량을 목표로 하는 최종 게이트 선폭에 따라 500Å 에서 1500Å 까지 변화시켰다.



- Twin well & LOCOS Isolation
- Optimized channel implantation
- Gate poly/polycide deposition & fine gate patterning (MOSES)
- Screen oxide deposition for shallow junction
- Low energy implant for source/drain extensions
- Single or two step sidewall formation
- High dose source/drain implantation
- Furnace annealing(825°C,30min) & metallization

그림 4. 0.1μm CMOSFET 소자의 개략도와 주요 공정 순서도

Fig. 4. The schematic diagram of 0.1μm CMOSFET and its fabrication process steps.

0.1μm CMOSFET 소자의 짧은 채널 효과를 줄이기 위해서는 쏘오스/드레인 접합의 접합 깊이를 줄이거나, 게이트와 쏘오스/드레인 접합사이의 포개지는 영역의 길이를 최소화하여 소자의 유효 채널 길이를 늘리는 방법이 있다. 이번 실험에서는 두 가지의 서로 다른 쏘오스/드레인 형성 방법을 도입하고 평가하였다. 첫번째 방법은 쏘오스/드레인 접합의 접합 깊이를 줄이기

위한 것으로, 얇은 쏘오스/드레인 접합을 형성하기 위해서 저에너지 이온 주입을 사용하였고 저에너지 이온 주입 공정전에 Screen용 실리콘 산화막을 덮었다. Screen용 실리콘 산화막의 두께는 0Å 에서 200Å 까지 변화시켰다. 얇은 쏘오스/드레인 접합을 형성하기 위한 이온 주입 조건은 N형 및 P형 접합의 경우 각각 As 20keV $2 \times 10^{13} \text{ cm}^{-2}$ 과 BF₂ 15keV $1 \times 10^{14} \text{ cm}^{-2}$ 이었다. 두번째 방법으로 소자의 유효 채널 길이를 늘리기 위하여 이단계 Sidewall^[6] 방식을 적용하였다. 이단계 Sidewall 방식은 너비가 400Å 인 첫번째 Sidewall을 형성하고 얇은 쏘오스/드레인 접합을 만든후 너비 1100Å의 두번째 Sidewall과 깊은 쏘오스/드레인 접합을 형성하는 방법이다. 비교를 위해서 너비가 1500Å인 Sidewall을 한번만 형성한 소자도 함께 제작하였다. 깊은 쏘오스/드레인 접합을 형성하기 위한 이온 주입 조건은 N형 및 P형 접합의 경우 각각 As 30keV $3 \times 10^{15} \text{ cm}^{-2}$ 과 BF₂ 20keV $2 \times 10^{15} \text{ cm}^{-2}$ 이었다. 쏘오스/드레인 접합의 활성화를 위해서 825°C, 30분의 열처리를 수행하였다.

IV. MOSFET 소자 특성 측정결과 및 검토

[그림5]는 Screen용 실리콘 산화막의 두께 변화에 따른 얇은 쏘오스/드레인 접합의 접합 깊이 변화를 보인 것으로 Screen용 실리콘 산화막의 두께를 증가시킬 경우 더 얕은 쏘오스/드레인 접합을 얻을 수 있음을 알 수 있다.

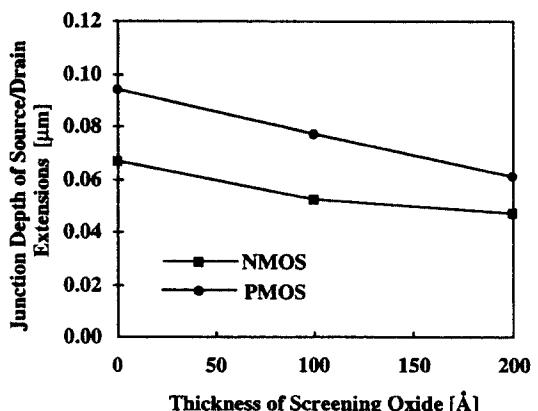


그림 5. Screen용 실리콘 산화막 두께에 따른 얕은 쏘오스/드레인 접합의 접합 깊이 변화

Fig. 5. Junction depths of source/drain extension as a function of screening oxide thickness.

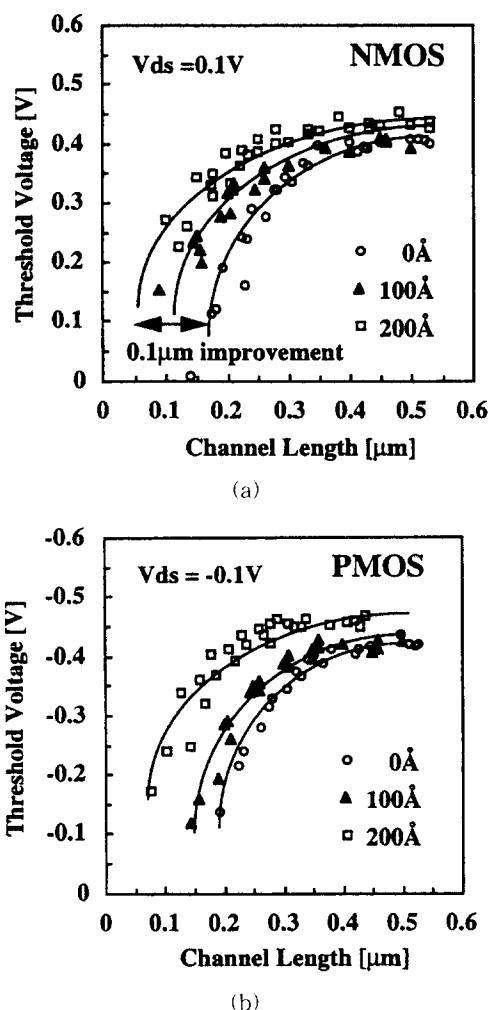


그림 6. Screen-용 실리콘 산화막의 두께가 CMOSFET 소자의 짧은 채널 효과에 미치는 영향. ($V_{DS} = \pm 0.1V$) (a) NMOSFET 소자 (b) PMOSFET 소자

Fig. 6. The influences of screening oxide thickness on the short channel effect of CMOSFET. ($V_{DS} = \pm 0.1V$) (a) NMOSFET (b) PMOSFET

접합 깊이는 SIMS 방법에 의해서 측정했는데, Screen-용 실리콘 산화막의 두께가 200 Å인 경우 N형 및 P형 접합의 접합 깊이가 각각 470 Å과 610 Å으로 나타났다. [그림6]은 Screen-용 실리콘 산화막의 두께를 0 Å에서 200 Å까지 변화시킨 경우에 대하여, NMOSFET 소자와 PMOSFET 소자의 채널 길이에 따른 문턱 전압 변화를 보인 것이다. Screen-용 실리콘 산화막의 두께를 증가시킬수록 얇은 쏘오스/드레인 접

합의 접합 깊이가 작아지며 이에 따라 소자의 짧은 채널 효과가 크게 개선된 것을 알 수 있다. 200 Å의 Screen-용 실리콘 산화막을 사용한 경우, NMOSFET 소자와 PMOSFET 소자 모두에서 채널 길이 0.1 μm 인 소자까지도, 채널 길이에 따른 문턱 전압 감소폭이 100mV 이하로 억제되었다. Screen-용 실리콘 산화막을 사용하지 않은 경우와 비교해 볼 때, 사용 가능한 소자의 채널 길이의 측면에서 약 0.1 μm 의 개선이 있었다. [그림7]은 각각의 Screen-용 실리콘 산화막의 두께에 대하여 채널 길이에 따른 Subthreshold 기울기

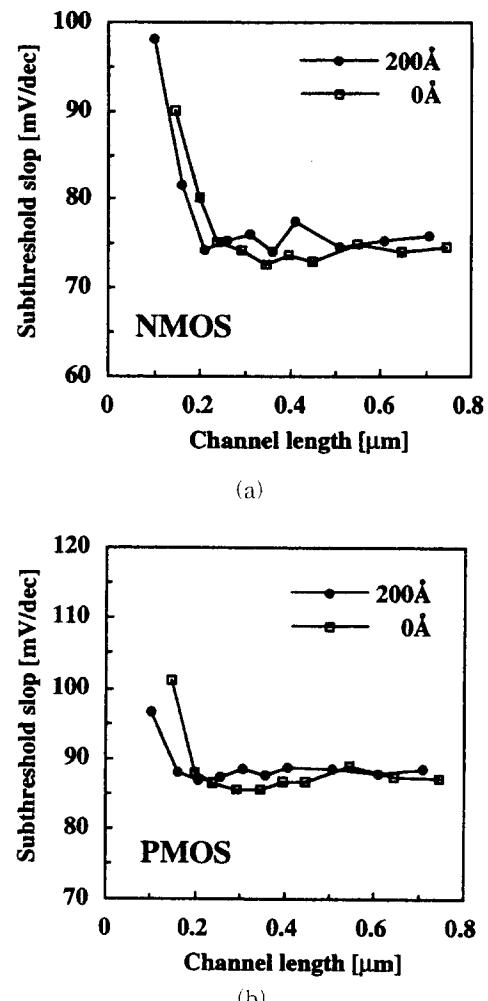


그림 7. Screen-용 실리콘 산화막의 두께가 CMOSFET 소자의 Subthreshold 기울기에 미치는 영향. (a) NMOSFET 소자 (b) PMOSFET 소자

Fig. 7. Subthreshold slopes of (a) NMOSFET and (b) PMOSFET as a function of screening oxide thickness.

를 보여 준다. 200Å의 Screen용 실리콘 산화막을 사용한 경우, NMOSFET 소자와 PMOSFET 소자 모두, 채널 길이 0.1μm인 소자까지 양호한 Subthreshold 특성을 유지하고 있음을 알 수 있다.

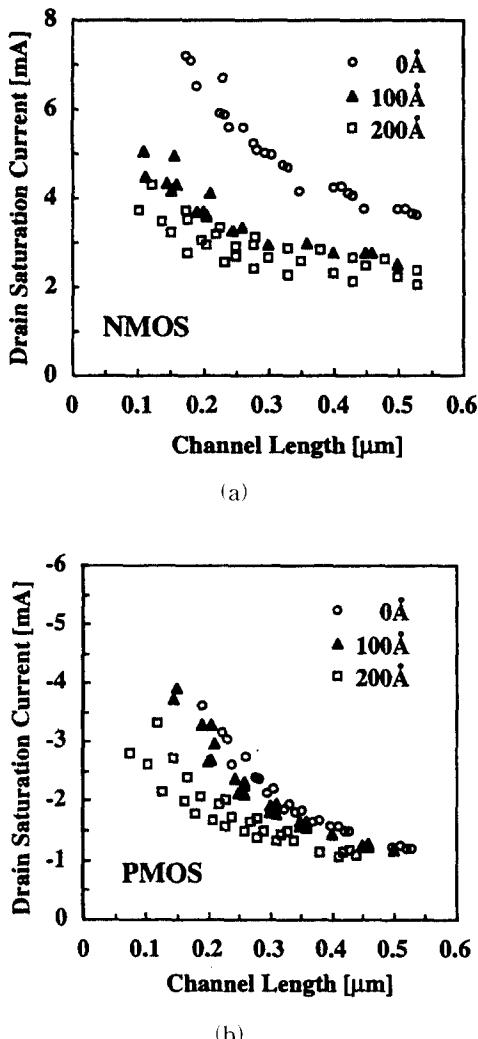


그림 8. Screen용 실리콘 산화막의 두께가 CMOSFET 소자의 드레인 포화 전류에 미치는 영향 ($V_{DS}=V_{GS}=\pm 2.5V$, 채널폭 $W=10\mu m$) (a) NMOSFET 소자 (b) PMOSFET 소자

Fig. 8. Drain saturation currents of (a) NMOSFET and (b) PMOSFET as a function of screening oxide thickness. ($V_{DS}=V_{GS}=\pm 2.5V$ and width $W=10\mu m$)

짧은 채널 소자 제작시 고려되어야 할 또 다른 사항은 드레인 포화 전류로 대표되는 소자 성능의 문제이다. [그림8]은 각각의 Screen용 실리콘 산화막의 두

께에 대하여 채널 길이에 따른 드레인 포화 전류의 변화를 나타낸 것이다. Screen용 실리콘 산화막 두께를 증가시키는 경우 드레인 포화 전류가 감소하는 것으로 나타났는데, 이것은 얇은 쏘오스/드레인 접합의 접합 깊이 감소에 따른 쏘오스/드레인 기생저항의 증가때문으로 여겨 진다. 그러나, 200Å 두께의 Screen용 실리콘 산화막을 사용한 경우에도 드레인 포화 전류의 감소가 크게 심각한 정도는 아닌 것으로 보이며, 게이트 길이를 줄일 경우 원하는 정도의 드레인 포화 전류를 얻을 수 있다.

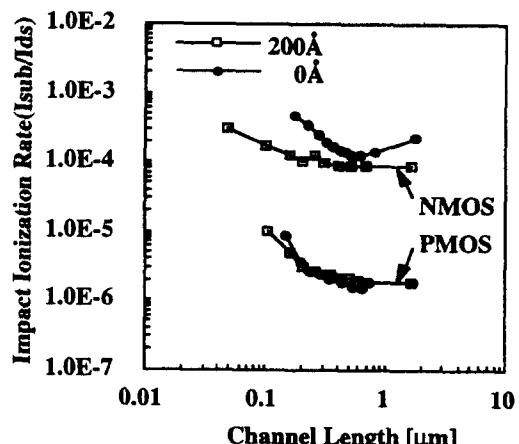
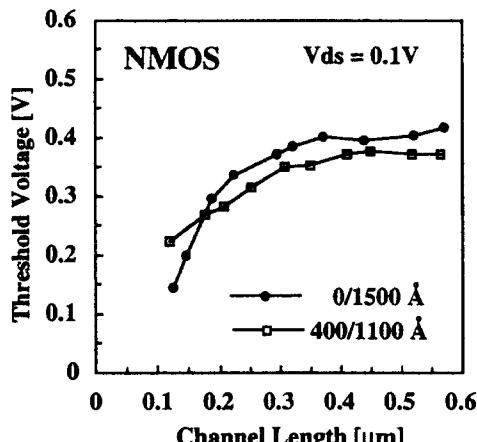


그림 9. Screen용 실리콘 산화막의 두께 변화에 따른 MOSFET 소자의 Impact 이온화율 특성. ($V_{DS}=\pm 2.0V$)

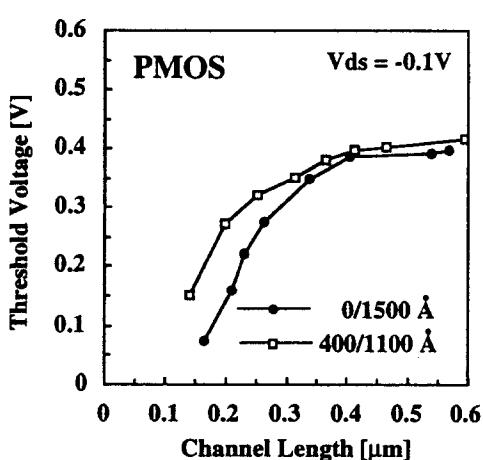
Fig. 9. Impact ionization rates as a function of gate length. ($V_{DS}=\pm 2.0V$)

[그림9]는 Screen용 실리콘 산화막의 두께에 따른 0.1μm CMOSFET 소자의 Hot Carrier 신뢰성 특성을 살펴 보기 위한 것으로 유효 채널 길이에 따른 Impact 이온화율을 보여 준다. Impact 이온화율 측정 시의 드레인 전압은 2V이고 게이트 전압은 기판 전류가 최대가 되는 때의 값으로 정하였다. NMOSFET 소자 및 PMOSFET 소자에서 200Å 두께의 Screen용 실리콘 산화막을 사용한 경우가 Screen용 실리콘 산화막을 사용하지 않은 경우보다 더 낮은 Impact 이온화율을 나타내었다. 이것은 200Å 두께의 Screen용 실리콘 산화막을 사용하는 경우, 얇은 쏘오스/드레인 접합의 도핑 농도가 감소하고 Retrograde 모양의 채널 도핑 구조에 따라 얇은 쏘오스/드레인 접합이 기판과 만나는 부분의 기판 도핑 농도도 감소하여 채널의 드레

인쪽 가장 자리에서의 전계가 줄어들었기 때문으로 생각된다. [그림9]의 결과로부터 Screen용 실리콘 산화막 두께를 증가시킬 경우 짧은 채널 효과 개선과 함께 Hot Carrier 신뢰성 측면에서도 유리하다는 것을 알 수 있다.



(a)

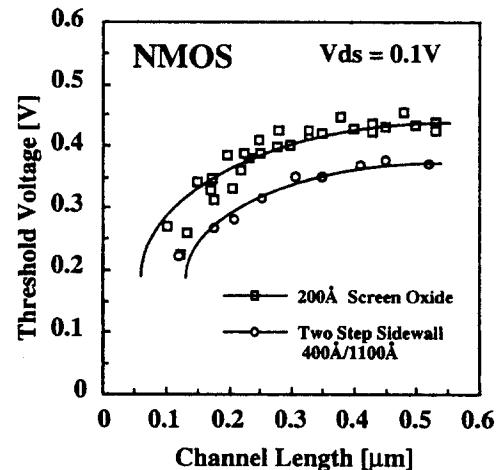


(b)

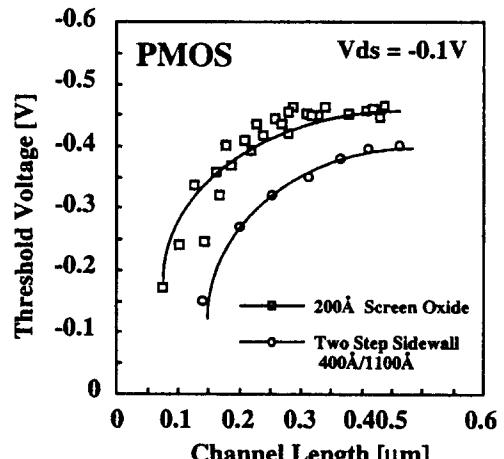
그림 10. 이단계 Sidewall 방식과 기존의 일단계 Sidewall 방식의 비교. 이단계 Sidewall 방식이 CMOSFET 소자의 짧은 채널 효과에 미치는 영향. ($V_{DS} = \pm 0.1V$) (a) NMOSFET 소자 (b) PMOSFET 소자

Fig. 10. The influences of two step sidewall scheme on the short channel effect of CMOSFET. ($V_{DS} = \pm 0.1V$) (a) NMOSFET (b) PMOSFET

이단계 Sidewall 방식도 짧은 채널 효과를 개선하는 것으로 나타났다. [그림10]은 이단계 Sidewall 방식과 기존의 일단계 Sidewall 방식에 의해 제작된 소자의 짧은 채널 효과를 비교한 것이다. 너비가 1500Å인 일단계 Sidewall 소자와 비교하여 볼 때, 첫번째 및 두 번째 Sidewall의 너비가 각각 400Å 과 1100Å 인 소자의 경우, 사용 가능한 소자의 채널 길이의 측면에서 약 0.05μm의 개선이 있었다.



(a)



(b)

그림 11. Screen용 실리콘 산화막을 덮는 방식과 이단계 Sidewall 방식의 비교. ($V_{DS} = \pm 0.1V$) (a) NMOSFET 소자 (b) PMOSFET 소자

Fig. 11. The comparison of screening oxide deposition method and two step sidewall scheme. ($V_{DS} = \pm 0.1V$) (a) NMOSFET (b) PMOSFET

[그림11]은 Screen-용 실리콘 산화막을 덮는 방식과 이단계 Sidewall 방식을 비교한 것이다. Screen-용 실리콘 산화막을 덮는 방식의 경우, 실리콘 산화막의 두께는 200Å이고, Sidewall의 너비는 1500Å이었다. 이단계 Sidewall 방식의 경우, Screen-용 실리콘 산화막의 두께는 100Å이고, 두 개의 Sidewall의 너비는 각각 400Å과 1100Å이었다. [그림11]에서 알 수 있듯이, 이단계 Sidewall 방식은 Screen-용 실리콘 산화막을 덮는 방식에 비해서 짧은 채널 효과를 방지하는 면에서 훨씬 효과적이다. 이러한 결과로부터, 0.1μm CMOSFET 소자의 짧은 채널 효과를 감소시키기 위해서는 유효 채널 길이를 증가시키는 것만으로는 불충분하고 얇은 쏘오스/드레인 접합의 접합 깊이를 낮추는 것이 필요하다는 것을 알 수 있었다.

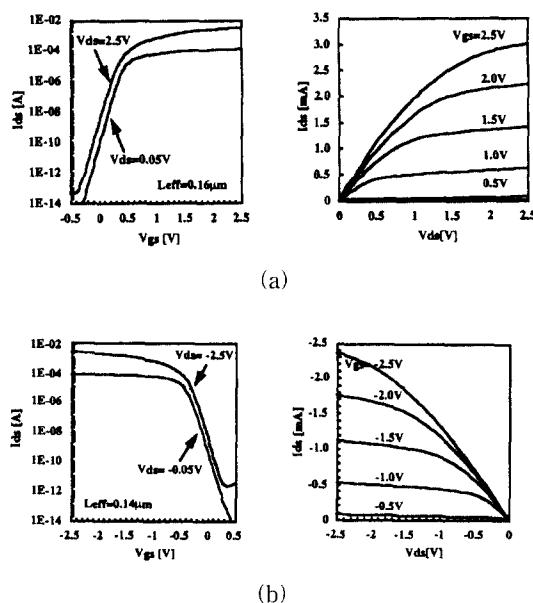


그림 12. 유효 채널 길이가 각각 0.16μm 와 0.14μm인 (a) NMOSFET 과 (b) PMOSFET 소자의 입출력 전류 전압 특성

Fig. 12. The input (IDS-VGS) and output (IDS-VDS) characteristics of (a) 0.16μm NMOSFET and (b) 0.14μm PMOSFET.

이상의 공정에 의해, 4G DRAM 세대 이후에 사용될 수 있는 유효 채널 길이가 0.15μm인 CMOSFET 소자를 제작하였다. 0.15μm CMOSFET 소자의 예상 동작전압은 1.5~2.0V이며, 이에 따라 문턱 전압값은 0.3~0.4V 근처가 되도록 설계하였다. [그림12]는 유효 채널 길이가 각각 0.16μm, 0.14μm인 NMOSFET

및 PMOSFET 소자의 입출력 전류 전압 특성을 나타낸다. NMOSFET과 PMOSFET 소자의 문턱 전압은 각각 0.34V와 -0.35V 이었고, Subthreshold 기울기는 각각 74mV/dec 및 84mV/dec로 양호한 특성을 보였다. 게이트와 드레인 전압이 2.5V 또는 -2.5V에서 측정한 NMOSFET과 PMOSFET 소자의 드레인 포화 전류는 각각 320μA/μm 와 -240μA/μm 이었다.

V. 결 론

기존의 i-선 노광 장비와 등방성 습식 식각을 이용하는 MOSES(Mask Oxide Sidewall Etch Scheme) 공정에 의해 0.1μm 또는 그 이하의 미세 게이트 패턴을 갖는 CMOSFET 소자를 제작하고 그 특성을 분석하였다. 0.1μm CMOSFET 소자의 짧은 채널 효과를 개선하기 위해서는 저에너지 이온 주입시의 Screen-용 절연막의 두께를 조절하여 얇은 쏘오스/드레인 접합의 접합 깊이를 낮추는 것이 이단계 Sidewall을 형성하는 것보다 더 효과적임을 알 수 있었다. 200Å의 Screen-용 실리콘 산화막을 사용한 경우, NMOSFET과 PMOSFET이 모두 유효 채널 길이 0.1μm까지 양호한 Subthreshold 특성을 유지하였고, 드레인 포화전류의 감소가 크지 않았으며, 낮은 Impact 이온화율을 보여서 Hot Carrier 신뢰성 측면에서도 유리하게 나타났다.

참 고 문 헌

- [1] M.Hirose, "MOS Memory Road Map," *Proc. of VLSI Technology Workshop, Sym. on VLSI Tech.*, 1994.
- [2] J.Chung, M.C.Jeng, J.E.Moon, A.T.Wu, T.Y.Chan, P.K.Ko, and C.Hu, "Deep-Submicrometer MOS Device Fabrication Using a Photo-resist Ashing Technique," *IEEE Electron Device Lett.*, vol. EDL-9, pp.186-188, 1988.
- [3] M.A.Gesley, F.J.Hohn, R.G.Viswanathan, and A.D. Wilson, "A Vector-Scan Thermal Field Emission Nanolithography System," *J. Vac. Sci. Technol. B6*, p.2014, 1988.
- [4] M. Ono et al., "Sub-50nm Gate Length

- n-MOSFETs with 10nm Phosphorus Source and Drain junctions," *IEDM Tech Dig.*, p.119, 1993.
- [5] R.H.Yan, A.Ourmazd, and K.F.Lee, "Scaling the Si MOSFET : From Bulk to SOI to Bulk," *IEEE Trans. on Electron Devices*, vol. ED-39, pp.1704-1710, 1992.
- [6] K.F.Lee et al., "0.1μm p-channel MOSFETs with 51 GHz f_T," *IEDM Tech Dig.* p.1012, 1992.

저자 소개

盧光明(正會員) 第 32 卷 A 編 第 6 號 參照
현재 현대전자 산업주식회사 메
모리 사업부에 근무중

高堯煥(正會員) 第 32 卷 A 編 第 6 號 參照
현재 현대전자 산업주식회사 메모
리 사업부에 근무중

朴贊光(正會員) 第 32 卷 A 編 第 6 號 參照
현재 현대전자 산업주식회사 메
모리 사업부에 근무중

黃聖敏(正會員) 第 32 卷 A 編 第 6 號 參照
현재 현대전자 산업주식회사 메모
리 사업부에 근무중

鄭夏豐(正會員) 第 32 卷 A 編 第 6 號 參照
현재 현대전자 산업주식회사 메
모리 사업부에 근무중

鄭明俊(正會員) 第 32 卷 A 編 第 6 號 參照
현재 현대전자 산업주식회사 메모
리 사업부에 근무중