

論文96-33A-3-12

Submicron EPROM/Flash EEPROM의 프로그램 특성에 대한 소오스 바이어스의 영향

(Effects of Source Bias on the Programming Characteristics of Submicron EPROM/Flash EEPROM)

朴根淑*, 李在浩**, 朴根亨***

(Geun Sook Park, Jae Ho Lee, and Keun Hyung Park)

요 약

최근에 비휘발성 반도체 메모리의 일종인 flash EEPROM이 세계적으로 반도체 메모리 시장에서 큰 관심을 끌고 있다. 이는 장차 이 메모리가 mass storage device로서 응용이 될 것으로 예상되기 때문이다. 이러한 flash EEPROM이나 standard EPROM과 같이 simple stacked-gate 구조를 갖고 있는 셀들의 미세화에 가장 큰 장애 요소는 프로그램 시에 선택된 셀의 비트선에 연결된 선택되지 않은 셀에서 흐르는 큰 subthreshold leakage이다. 이러한 subthreshold leakage는 주로 선택된 셀의 비트선과 선택되지 않은 셀들의 부유게이트들과의 용량성접합으로 인해 발생한다. 여기서, 우리는 이러한 subthreshold leakage를 방지하기 위하여, 소오스를 접지하여 프로그램하는 기존의 방식과는 달리 소오스에 약간의 양(+)의 바이어스를 인가하면서 프로그램하는 새로운 프로그램 방식을 제안하였다. 유효채널 길이가 $0.35\mu\text{m}$, 유효 채널 너비가 $1.0\mu\text{m}$ 인 standard EPROM에 대하여 실시한 PISCES 전산모사와 전기적인 측정 결과는 소오스를 접지하고 프로그램할 때는 선택되지 않은 셀에서의 subthreshold leakage는 심각하게 컸지만, 소오스에 0.5V 를 인가하고 프로그램하는 경우에는 이러한 subthreshold leakage는 극적으로 접합 leakage 수준으로 떨어지는 것을 보여주었다. 한편으로, 이러한 소오스 바이어스는 프로그램 속도에는 거의 영향을 미치지 않는 것으로 관찰되었다.

Abstract

Recently, the flash memory has been abstracting great attention in the semiconductor market in the world because of its potential applications as mass storage devices. One of the most significant barriers to the scaling-down of the stacked-gate devices such as EPROM's and flash EEPROM's is the large subthreshold leakage in the unselected cells connected with the bit line of a selected cell in the array during programming. The large subthreshold leakage is majorly due to the capacitive coupling between the floating gates of the unselected cells and the bit line of selected cell. In this paper, a new programming method to reduce significantly the drain turn-on leakage in the unselected cells during programming has been studied, where a little positive voltage ($0.25\text{--}0.75\text{V}$) is applied to the source during programming unlike the conventional programming method in which the source is grounded. The results of the PISCES simulations and the electrical measurements for the standard EPROM with $0.35\mu\text{m}$ effective channel length and $1.0\mu\text{m}$ effective channel width show that the subthreshold leakage in the unselected cells is significantly large when the source is grounded, whereas it is negligibly small when the source is biased to a little positive voltage during programming. On the other hand, the positive bias on the source is found to have little effects on the programming speed of the EPROM.

* 正會員, ** 學生會員, 韓國科學技術院, 電氣 및 電子
工學科 (KAIST, Dept. of Elec. Engineering)

*** 正會員, 忠北大學校 半導體科學科

(Chungbuk National Univ., Dept. of Semi-
conductor Science)

接受日字: 1995年7月16日, 수정완료일: 1996年2月29日

I. 서 론

최근 세계 메모리 시장에서는 비휘발성 반도체 메모리의 일종인 flash 메모리가 크게 주목을 받고 있다¹⁾. 그 주된 이유는 장차 flash 메모리가 컴퓨터 시스템에서 현재 가장 널리 쓰이고 있는 외부 기억장치인 hard disk drive (HDD)를 대체할 것으로 예상되기 때문이다.

현재 컴퓨터 시스템에서는 cashe 메모리와 주 기억장치로는 전기적으로 바꾸어쓰기 (read/write)가 가능한 SRAM과 DRAM이 거의 대부분 쓰이고 있으나, 이들은 휘발성 메모리이기 때문에 전원을 끄면 저장된 자료를 소실하는 결점을 갖고 있다. 그렇기 때문에, 현재의 컴퓨터 시스템은 전원이 끊어진 상태에서도 계속하여 데이터를 저장할 수 있는 비휘발성 메모리로 구성된 외부 기억장치들을 갖고 있다. 현재 이러한 외부 기억장치로는 HDD와 같은 자기 디스크 또는 자기 테이프 등의 자기 메모리가 주로 쓰이고 있다. 이는 자기 메모리가 반도체 메모리에 비해서 데이터를 읽는 속도가 느리고, 소비전력이 크고, 무겁고, 외부 충격과 먼지에 약하고, 소형화가 어려운 단점들을 갖고 있으나, flash 메모리가 나오기 전에 유일하게 전기적으로 바꾸어쓰기가 가능하고 비휘발성 반도체 메모리였던 EEPROM 보다는 단위 비트당 가격이 월등히 싼 것이었다. 그러나, 최근에 portable 컴퓨터가 점차 널리 보급됨에 따라 소형화, 경량화, 저전력화, 높은 내충격성 등의 특성을 갖고 있는 외부기억장치 개발의 필요성이 크게 증대되고 있던 차에 전기적으로 바꾸어쓰기가 가능하고 비휘발성 반도체 메모리이면서도 기존의 EEPROM 보다는 가격이 월등히 싼 flash 메모리가 개발됨에 따라 HDD를 flash 메모리로 대체하려는 움직임이 전 세계적으로 강하게 일고 있다¹²⁾.

그러나, 아직까지는 컴퓨터 시스템의 외부 기억장치로서의 flash 메모리의 사용은 미미한 수준에 불과하다. 그 주된 이유 중의 하나는 HDD와 flash 메모리의 가격차가 크다는 점이다. 예를 들면, 1993년에 40MB HDD의 가격은 \$ 350-400 였는데 비해, 40MB flash 메모리 card의 가격은 \$ 1900 -2000 이었다. 따라서, 컴퓨터 시스템의 외부기억장치로서 flash 메모리가 본격적으로 사용되기 위해서는 flash 메모리의 비트당 가격이 더 낮아져야 하며, 그렇기 위해서는 flash 메모리의 집적도가 높아져야 한다. 그러

나, Floating-gate avalanche-injection MOS (FAMOS)라고 불리는 EPROM이나 flash EEPROM을 비롯한 poly-gate 비휘발성 메모리의 셀은 보통의 MOSFET 소자에 비해 scaling-down하는 것이 훨씬 어렵다. 그 주된 이유는 FAMOS 셀 어레이에서는 channel hot electron injection (CHE) 방식으로 한 셀을 프로그램 하기 위하여 선택된 셀의 워드선 (게이트)에 약 12V를, 비트선 (드레인)에 7-8V의 전압을 인가할 때, 선택된 셀과 같은 비트선에 연결된 선택되지 않은 셀에서 비록 워드선이 접지되었다고 할지라도 드레인과 부유 게이트 사이의 용량성 정합률 (coupling ratio: 약 0.1)로 인하여 부유 게이트에 0.7V-0.8V가 인가됨으로 많은 subthreshold 누설전류가 흐를 수 있기 때문이다 (소위, drain turn-on 문제)¹³⁾. 프로그램시에 선택되지 않은 셀의 subthreshold 전류로 인하여 발생하는 이러한 비트선의 누설전류는 같은 비트선에 매달려 있는 셀의 수가 많을수록 그만큼 증가하게 된다. 이러한 drain turn-on leakage가 지나치게 클 경우에는 비트선을 따라서 무시할 수 없을 만큼의 전압강하를 가져와 선택된 셀의 드레인에 인가되는 프로그램 전압을 크게 떨어뜨려, 결국 프로그램 속도를 심각하게 낮추는 결과를 초래하게 된다. 만일 FAMOS 셀의 유효채널 길이가 sub-halfmicron 이하인 경우에는 short channel effect 까지 겹쳐 나타나기 때문에 드레인 turn-on leakage는 더욱 심각해지므로 EPROM의 FAMOS 셀 소자의 유효채널 길이(Leff)는 0.55 μm 이상이어야 하는 것으로 알려지고 있다¹⁴⁾. 그러므로, EPROM이나 flash EEPROM 셀을 scaling-down 하기 위해서는 먼저 프로그램시 선택되지 않은 셀에서의 subthreshold leakage를 줄일 수 있는 방법을 개발하여야 한다.

여기서, 우리는 위에서 언급한 FAMOS 셀의 프로그램 시에 발생하는 drain turn-on leakage 문제를 해결하기 위한 방안으로 FAMOS 셀을 프로그램 할 때 소오스에 약간의 양(+)의 바이어스 (0.25V - 0.75V)를 가하면서 프로그램하는 방법을 연구하였다.

II. 실험 과정

이 실험을 위하여 사용된 소자는 simple stacked-gate 구조를 가진 standard EPROM 셀

소자로서, 이 소자를 제작하기 위하여 twin well과 LOCOS isolation 기술을 포함한 전통적인 n⁺-polysilicon 게이트 CMOS 공정을 사용했다. 또한 EPROM 셀의 프로그램 특성을 좋게 하기 위하여 소오스/드레인 접합은 비소만을 5×10¹⁵/cm²의 dose로 이온 주입하여 형성하였다. 이 소자의 게이트 옥사이드 두께는 200Å 유효 ONO 두께는 240Å 유효 채널 너비(Weff)는 약 1μm(DW=0.4μm), 유효채널 길이(Leff)는 0.25μm부터 0.85μm까지 (ΔL=0.15μm) 다양했다. 우리는 먼저 제작된 소자의 용량성 정합률을 전기적으로 측정하여 그 결과와 소자 모의 실험 기구 중의 하나인 PISCES^[5]를 사용하여 프로그램 시 선택되지 않은 셀에서의 subthreshold 전류와 선택된 셀에서의 프로그램 속도를 결정하는 채널 영역에서의 수평방향전계가 소오스 바이어스에 따라 어떻게 영향을 받는가를 평가하였다. 이 때, 채널 영역에서의 불순물 농도는 제작된 소자의 측정된 문턱 전압(1.05V)과 문턱 전압이 일치하도록 조정하였으며, 소오스와 드레인 영역의 접합깊이도 제작된 소자의 접합깊이(0.3μm)와 일치하도록 하였다. 그 다음으로는, 반도체 소자의 전기적 특성 측정 기구의 일종인 HP4145B를 사용하여 제작된 소자들에서 소오스 바이어스가 subthreshold 전류와 프로그램 특성에 미치는 영향을 전기적으로 측정하고 그 결과를 PISCES 전산 모사의 결과와 비교하였다.

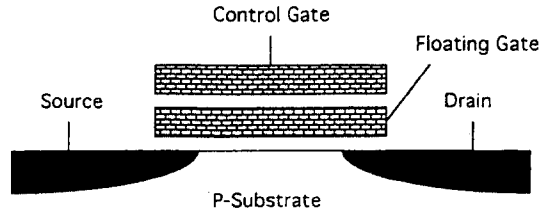
III. 실험 결과 및 고찰

1. EPROM 셀 소자의 용량성 정합률 측정 결과

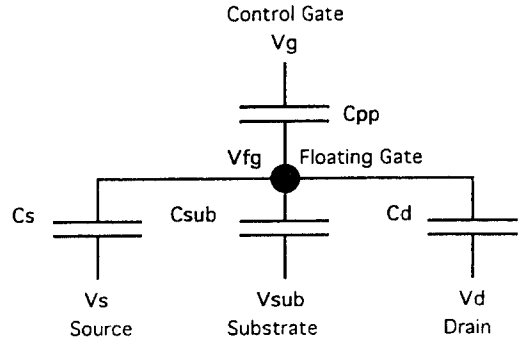
그림 1(a)에서는 이 실험에서 사용된 standard EPROM 셀 구조의 단면도와 그림 1(b)에서는 그에 대응하는 capacitor 등가 회로를 보여주고 있다. 여기서, Cpp는 콘트롤 게이트와 부유 게이트 사이의 ONO capacitance이고, Cs와 Cd는 각각 부유 게이트와 소오스 접합 또는 드레인 접합 사이의 overlap 게이트 옥사이드 capacitance이며, Csub는 부유 게이트와 기판 사이의 게이트 옥사이드 및 depletion capacitance이다.

이 때, total 부유 게이트 capacitance (Ct)는 다음과 같이 정의된다. 즉,

$$C_t = C_{pp} + C_s + C_{sub} + C_d \quad (1)$$



(a)



(b)

그림 1. (a) standard EPROM 셀 구조의 단면도, (b) standard EPROM 셀의 capacitor 등가 회로

Fig. 1. (a) Cross-sectional view of a standard EPROM cell, (b) Capacitive equivalent circuits of the standard EPROM cell.

또한, 각 단자의 용량성 정합률은 각 단자의 capacitance와 Ct 사이의 비율을 나타내는데, 예를 들어 게이트, 드레인, 소오스, 기판의 용량성 정합률, acf, ad, as, asub를 각각 표시하면,

$$acf = C_{pp} / C_t \quad (2)$$

$$ad = C_d / C_t \quad (3)$$

$$as = C_s / C_t \quad (4)$$

$$asub = C_{sub} / C_t \quad (5)$$

이다. 이러한 경우에서 각 단자에 어떤 전압이 인가되었고, 프로그램에 의해 부유 게이트에 전하, Qfg가 저장되어 있을 때 부유 게이트의 전압(Vfg)을 나타내면^[6],

$$V_{fg} = acf V_g + ad V_d + as V_s + asub V_{sub} + Q_{fg} / C_t \quad (6)$$

이다. 우리는 먼저 이 실험에서 사용된 모든 EPROM

셀 소자들 (유효 채널 길이: $0.25\mu\text{m}$ - $0.85\mu\text{m}$, 유효 채널 너비: $1.0\mu\text{m}$)의 용량성 정합물들을 HP4145B를 사용하여 측정하였다. 측정 방법은 문헌¹⁷⁾에 나와 있는 방법을 사용하였다. 그림 2에서는 $0.35\mu\text{m}$ 의 유효 채널 길이와 $1.0\mu\text{m}$ 의 유효채널 너비를 갖고 있는 EPROM 셀의 ad 측정 결과를 보여 주고 있다.

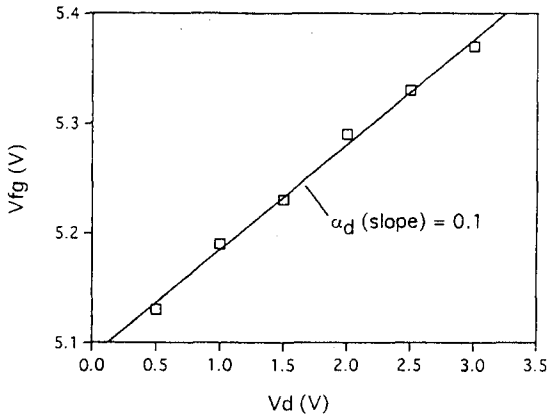


그림 2. $0.35\mu\text{m}$ Leff, $1.0\mu\text{m}$ Weff EPROM 셀의 드레인 용량성 정합률
 Fig. 2. Measurements of capacitive coupling ratio between the floating gate and the drain in the EPROM cell with $0.35\mu\text{m}$ Leff and $1.0\mu\text{m}$ Weff.

이것을 측정하기 위하여 먼저 이 셀의 콘트롤 게이트에 8V를 인가하고, 소오스와 기판을 접지하고 나서 드레인 전압에 따라 드레인 전류의 값을 측정하였다. 이 때, 이 셀이 프로그램되는 것을 방지하기 위하여 드레인에 인가되는 전압은 3.5V 이하로 제한하였다. 그리고 나서, 이 셀과 채널 길이와 채널 너비가 똑 같으나 콘트롤 게이트와 부유 게이트가 단락된 소자를 사용하여 위의 셀의 드레인에 인가된 각 전압에 대하여 게이트 전압을 변화시키면서 어떤 게이트 전압에서 이 소자의 드레인 전류가 위의 셀에서의 드레인 전류와 일치하는가를 측정하였다. 여기에서 구한 게이트 전압이 위의 셀에서의 부유 게이트의 전압이 될 것이다. 그래서, 그림 2에서 보여주는 것과 같이 이 셀에서 드레인 전압의 변화에 따라 부유 게이트의 전압이 어떻게 변하는가를 측정하면 ad를 구할 수 있다. 이와 유사한 방법에 의하여 이 셀의 acf, as, asub는 각각 0.63, 0.18, 0.09로 측정되었다.

2. 프로그램 시 Source 바이어스가 Subthreshold 전류에 미치는 영향에 대한 PISCES 전산모사 결과

위에서 언급하였듯이, EPROM 셀 프로그램 시에 선택되지 않은 셀에서의 subthreshold 전류가 소오스 바이어스에 따라 어떻게 변하는가를 소자 모의 실험 기구 중의 하나인 PISCES를 사용하여 분석하였다.

먼저, $0.35\mu\text{m}$ 의 유효채널 길이를 갖고 있는 EPROM의 선택되지 않은 셀에서 소오스와 드레인 바이어스에 의한 subthreshold 전류의 변화에 대한 PISCES 전산모사의 결과가 그림 3에 나타나 있다. 이 PISCES 전산모사에서는 기판은 접지되었고, 게이트 전압은 위의 식 (6)에서 보이는 바와 같이 adVd가 인가되었다. 여기에서 ad는 capacitive ratio의 측정 결과인 0.1이 사용되었다.

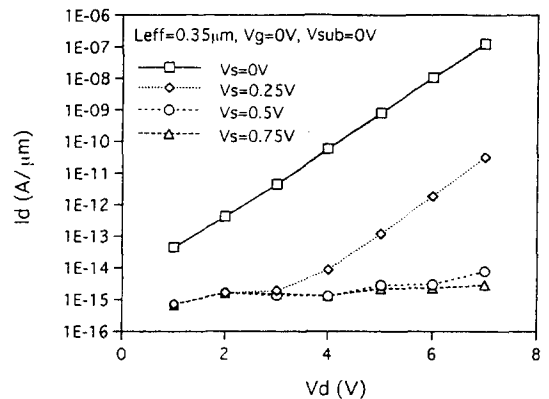


그림 3. EPROM의 선택되지 않은 셀 (Leff= $0.35\mu\text{m}$)에서 소오스와 드레인 바이어스에 의한 subthreshold 전류의 변화에 대한 PISCES 전산모사 결과
 Fig. 3. Results of PISCES simulations of the subthreshold current in the unselected EPROM cells with $0.35\mu\text{m}$ Leff.

그림 3에서 보는 바와 같이, 기존의 방식대로 프로그램 시에 소오스를 접지하면 드레인 전압이 증가함에 따라 subthreshold 전류가 급격히 증가하여, 일반적인 프로그램 조건인 7V 드레인 전압에서는 약 $100\text{nA}/\mu\text{m}$ 의 많은 subthreshold 누설전류가 흐른다. 이 때, 프로그램 시에 단지 드레인 전압만을 낮추는 경우에는 subthreshold 누설전류는 그렇게 뚜렷하게 감소하지는 않는다. 그러나, 소오스에 약간의 양

(+)의 바이어스를 인가하면 이러한 subthreshold 누설전류는 급격히 감소하여 소오스에 0.5V를 인가하는 경우에는 7V를 드레인에 인가한 경우에도 subthreshold 누설전류가 완전히 접합 누설전류의 수준으로 떨어져 있는 것을 볼 수 있다.

이미 잘 알려져 있는 바와 같이, MOSFET에서 만일 V_{ds} (드레인과 소오스 간의 전압차)가 $3kT/q$ 보다 큰 경우에는 weak inversion의 상태에서 subthreshold 전류,

$$I_{ds} = I_0 \exp [q(V_{gs} - V_t) / nkT] \quad (7)$$

로 나타낼 수 있다^[8]. 이 때, V_{gs} 는 게이트와 소오스 간의 전압차, V_t 는 문턱 전압, n 은 상수, k 는 볼트만 상수, T 는 절대온도, I_0 는 V_{gs} 가 V_t 일 때의 드레인 전류를 뜻한다. 이 식에서 우리는 subthreshold 전류가 주로 V_{gs} 의 크기에 좌우된다는 것을 알 수 있다. 기존의 방식대로 EPROM 셀을 프로그램 할 경우에, 즉 기판과 common source-line을 접지하고, 비트선에 7-8V, 워드선에 12V를 인가하는 하는 경우에 선택되지 않은 셀에서는 드레인에 7 - 8V가 인가되고 부유 게이트에 드레인 용량성정합에 의해 adV_d , 즉 0.7-0.8V가 인가된다. 이 때, 만일 소오스에 약간의 양(+)의 바이어스를 인가하면 V_{gs} 의 값이 소오스에 인가된 전압 만큼 떨어지므로 subthreshold 전류는 급격히 감소할 것이다. 예를 들어 $n=1$ (L_{eff} 가 half-micron 이하인 경우에는 n 의 값은 1에 가까움) 이고 실내 온도에서는, 소오스의 전압이 0.1V 상승할 때마다 subthreshold 전류는 약 1/50 만큼 감소하여 소오스 전압이 0.5V 일 때 8 orders of magnitude 만큼 줄어든다. 이러한 결과를 기초로 할 때, 만일 EPROM의 셀에 프로그램 시에 소오스에 약 0.5V를 인가하면 선택되지 않은 셀에 흐르는 subthreshold 누설전류는 극적으로 줄어들 것으로 판단된다.

3. 프로그램 시 Source Bias가 프로그램 특성에

미치는 영향에 대한 PISCES 전산모사 결과

여기서는, 프로그램 시 소오스에 약간의 양(+)의 바이어스(약 0.5V)를 인가하고 프로그램할 경우에, 소오스 바이어스가 프로그램 속도에 어떻게 영향을 미치는가를 분석하였다. 이 때, 프로그램은 simple-stacked gate 구조를 갖고 있는 EPROM/ Flash EEPROM (예, Intel의 ETOX Flash cell) 셀들에서 가장 널리 사용되고 있는 CHE 방식에 의해 프로그램을 실시하는

경우를 고려하였다. 1984년에 S. Tam 등은 CHE 방식에 의해 EPROM을 프로그램할 때, 프로그램에 관여하는 게이트 전류에 대해 학술지를 통하여 "Lucky-electron model"을 제안하였는데^[8], 그들의 model에 따르면 채널 영역에서 소오스로부터 드레인으로 이동하는 전자가 채널 영역에 형성되어 있는 수평방향전계에 의해 가속을 받아 전자의 운동 에너지가 실리콘과 옥사이드 사이의 에너지 장벽 높이 (3.2eV) 이상으로 되고 나서 채널에서 scattering에 의해 전자의 이동 방향이 게이트 옥사이드를 향하게 될 때 이러한 전자들은 옥사이드를 통과하여 게이트 전류를 형성하는 것으로 알려져 있다. EPROM 셀의 경우에는 이러한 게이트 전류가 부유 게이트로 들어가서 거기에 저장됨으로 프로그램이 진행된다. Lucky-electron model에 따르면 게이트 전류,

$$I_g \approx C I_d \exp (-\phi_b / qE_m \lambda) \quad (8)$$

로 나타낼 수 있다. 여기서, C 는 상수, ϕ_b 는 드레인 전류, ϕ_b 는 실리콘과 옥사이드 사이의 에너지 장벽 높이, λ 은 채널 영역에서의 수평방향전계, l 은 채널 영역에서 hot electron들의 자유행정거리를 나타낸다. 이 식에 따르면, EPROM 셀의 프로그램 시의 경우와 같이 게이트 전압이 드레인 전압보다 큰 경우에는 드레인 전압이 증가함에 따라 게이트 전류가 급속히 증가하는데, 그 이유는 드레인 전압이 증가함에 따라 채널 영역에서의 수평방향전계가 증가하기 때문이다.

그림 4에서는 0.35 μm 의 유효채널 길이를 갖고 있는 EPROM의 선택된 셀에서 프로그램 시에 드레인에 인가되는 바이어스의 크기의 함수로서 소오스 접합면 (distance = 0 μm)에서부터 드레인 접합면 (distance = 0.35 μm)까지 채널 표면에서 수평방향전계의 분포에 대한 PISCES 전산모사의 결과를 보여주고 있다. 이는, 예상했던 바와 같이 드레인 바이어스 전압이 낮아짐에 따라서 수평방향전계는 아주 심각하게 감소하는 것을 보여주고 있다. 이는, EPROM 셀 프로그램 시 드레인 (또는 비트선) 바이어스 전압을 낮추는 것은 심각한 프로그램 속도의 감소를 초래할 수 있음을 보여주고 있다.

이와 반면에, 그림 5에서 보여주는 것처럼 프로그램 시에 드레인 바이어스 전압은 7V로 그냥 유지하고 소오스에 약간의 양(+)의 바이어스 (< 0.75V)를 가하는 경우에는 채널 표면에서의 수평방향전계는 거의 변하

지 않았다. 이는, EPROM 셀 프로그램 시에 common source line에 약간의 양(+)의 바이어스를 가하여 프로그램한다고 할지라도 프로그램 속도에는 큰 영향이 없을 것임을 보여주고 있다.

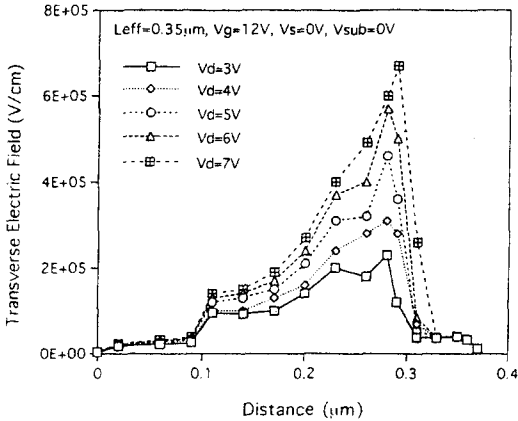


그림 4. EPROM의 프로그램 시에 선택된 셀에서 드레인 바이어스 전압의 함수로서 채널 표면에서의 수평방향전계의 분포에 대한 PISCES 전산모사의 결과

Fig. 4. Results of PISCES simulations of the transverse electric field at the surface of the channel as a function of the drain voltage in the EPROM cell with $0.35\mu m$ L_{eff} .

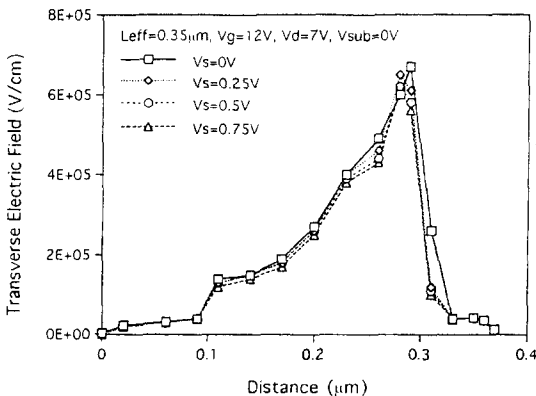


그림 5. EPROM의 프로그램 시에 선택된 셀에서 소오스 바이어스 전압의 함수로서 채널 표면에서의 수평방향전계의 분포에 대한 PISCES 전산모사의 결과

Fig. 5. Results of PISCES simulations of the transverse electric field at the surface of the channel as a function of the source voltage in the EPROM cell with $0.35\mu m$ L_{eff} .

4. EPROM 셀 소자의 subthreshold 특성 측정 결과

우리는 반도체 소자의 전기적 특성 측정 기구의 일종인 HP4145B를 사용하여 W_{eff} 가 $1\mu m$ 이고 L_{eff} 가 $0.25\mu m$ 으로부터 $0.85\mu m$ 사이인 EPROM 셀 소자들의 subthreshold 전류 특성이 드레인과 소오스의 여러가지 바이어스 조건에 따라 어떻게 변하는가를 측정하였다.

먼저, 그림 6에서는 콘트롤 게이트와 부유 게이트가 단락 되고 L_{eff} 가 $0.35\mu m$ 인 EPROM 셀 소자의 subthreshold 특성을 보여주고 있다. 이 측정을 위하여 드레인에 1V부터 1V씩 증가하여 6V까지 인가하였고, 소오스와 기판은 접지하였다.

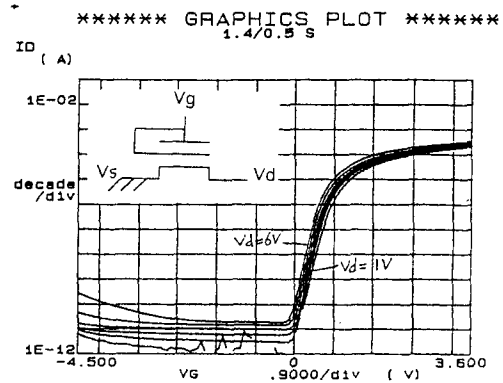


그림 6. $L_{eff}=0.35\mu m$, $W_{eff}=1.0\mu m$ 인 shorted-EPROM 셀 소자의 subthreshold 특성
Fig. 6. Subthreshold characteristics of the shorted-EPROM cell with $0.35\mu m$ L_{eff} and $1.0\mu m$ W_{eff} .

여기에서 볼 수 있듯이, L_{eff} 가 $0.35\mu m$ 인 shorted-EPROM 셀 소자에서는 short channel effect가 크게 인식될 만큼 나타나고 있지 않았다. 즉, 드레인 전압의 증가에 따라 subthreshold 전류는 약간씩만 증가하고 있다. 그 이유는, 이 EPROM 셀 소자의 채널 doping 농도가 일반적인 nMOS보다 높기 때문일 것이다. Long channel을 갖고 있는 shorted-EPROM 셀 소자의 문턱 전압은 약 1.05V로 측정되었는데, 이는 일반적인 nMOS의 문턱전압, 0.7V보다 월등히 높았다. 잘 알려져 있듯이, 일반적으로 EPROM 셀에서는 프로그램 속도를 높이고, drain turn-on leakage를 낮추기 위해 채널의 doping 농도를 높게 하고 있다. 결국, 그림 6은 L_{eff} 가 $0.35\mu m$

m인 shorted- EPROM 셀 소자에서는 게이트가 접지되어 있을 때, 다른 말로하면 드레인과 부유 게이트 사이에 용량성 정합이 없는 경우에는 비록 드레인에 6V의 전압을 인가한다고 할지라도 subthreshold 전류는 문제가 되지 않을 만큼 충분히 낮은 것을 명백히 보여주고 있다.

한편으로, 그림 7은 프로그램이 되어 있지 않고, L_{eff} 가 $0.35\mu\text{m}$ 이며, 콘트롤 게이트와 부유 게이트가 단락가 되지 않은 normal (unshorted) EPROM 셀 소자의 subthreshold 특성을 보여주고 있다. 이 측정을 위하여 드레인에 1V부터 1V씩 증가하여 6V까지 인가하였고, 소오스와 기판은 접지하였다.

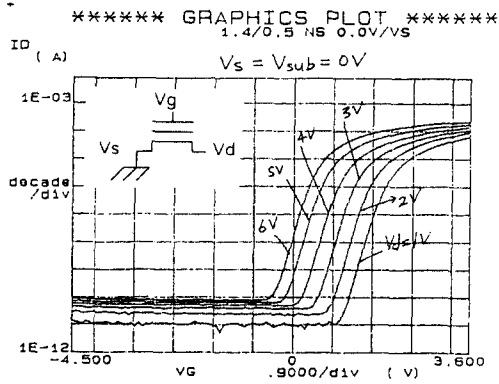


그림 7. $L_{eff}=0.35\mu\text{m}$, $W_{eff}=1.0\mu\text{m}$ 인 unshorted-EPROM 셀 소자의 subthreshold 특성

Fig. 7. Subthreshold characteristics of the normal (unshorted) EPROM cell with $0.35\mu\text{m}$ L_{eff} and $1.0\mu\text{m}$ W_{eff} .

이 경우에는, 드레인 전압이 1V일 때는 그림 6에서 나타나 있는 shorted-EPROM 셀 소자의 경우에 비해서 subthreshold 전류가 약 7.5 orders of magnitude 만큼 작지만, 드레인 전압이 1V씩 증가함에 따라서 subthreshold 전류가 약 2 orders of magnitude 씩 증가하여 드레인 전압이 6V가 되었을 때에는 오히려 shorted-EPROM 셀 소자보다 2 orders of magnitude 더 커서, 결국 게이트가 비록 접지되었다고 할지라도 드레인에 6V를 인가하면 10nA의 큰 subthreshold 전류가 흐르는 것을 보여주고 있다. 드레인 전압이 낮을 때에 normal EPROM 셀 소자의 subthreshold 전류가 shorted-EPROM 셀 소자보다 낮은 이유는 normal EPROM 셀 소자의 문턱전압 (약 2.2V)이

shorted-EPROM 셀 소자의 문턱전압 (약 1.05V)보다 높기 때문이며, normal EPROM 셀 소자의 드레인 전압이 1V 씩 증가함에 따라서 subthreshold 전류가 약 2 orders of magnitude 씩 증가하는 이유는 드레인과 부유 게이트간의 capacitive coupling으로 인하여 드레인 전압이 증가함에 따라 부유 게이트의 전압도 증가하기 때문이라고 생각된다. 앞에서 L_{eff} 가 $0.35\mu\text{m}$ 인 이 EPROM 셀 소자의 경우에 drain의 용량성 정합률이 0.1로 측정되었으므로 드레인 전압이 1V씩 증가함에 따라 부유 게이트의 전압도 약 0.1V씩 증가할 것이다. 앞에서 이미 언급하였듯이, 식 (7)을 사용하여 계산하면 부유 게이트의 전압이 0.1V씩 증가하면 subthreshold 전류는 약 50배씩 증가할 것으로 예상되었다. 실제 측정된 subthreshold 전류는 부유 게이트의 전압이 0.1V씩 증가할 때 식 (7)로부터 예상된 것보다 더 크게 약 100배씩 증가하였는데, 이는 이 소자의 채널 길이가 짧아서 drain-induced barrier lowering (DIBL) effect가 subthreshold 전류에 영향을 미친 것으로 판단된다.

다른 한편으로, 그림 8은 프로그램이 되어 있지 않고, L_{eff} 가 $0.35\mu\text{m}$ 이며, 콘트롤 게이트와 부유 게이트가 단락가 되지 않은 normal EPROM 셀 소자에서 소오스에 0.5V를 인가하였을 때의 subthreshold 특성을 보여주고 있다. 앞서서와 같이, 이 측정을 위하여 드레인에 1V부터 1V씩 증가하여 6V까지 인가하였고, 기판은 접지하였다.

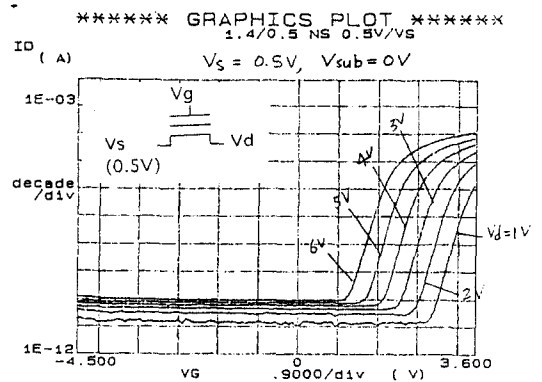


그림 8. $L_{eff}=0.35\mu\text{m}$, $W_{eff}=1.0\mu\text{m}$ 인 normal EPROM 셀 소자에서 소오스에 0.5V 인가하였을 때의 subthreshold 특성

Fig. 8. Subthreshold characteristics of the normal (unshorted) EPROM cell with $0.35\mu\text{m}$ L_{eff} and $1.0\mu\text{m}$ W_{eff} at 0.5V of V_s .

이 그림에서 볼 수 있는 바와 같이 소오스에 0.5V를 인가하였을 때, subthreshold 전류는 소오스를 접지하였을 때에 비해 약 8 orders of magnitude 만큼 극적으로 크게 감소하였다. 이러한 결과는 식 (7)로부터 예상했던 것과 감소량이 일치하였다. 그러므로, 이 L_{eff} 가 $0.35\mu\text{m}$ 의 deep submicron EPROM 셀 소자라고 할지라도 소오스에 0.5V를 가하고 프로그램을 실시하면, 선택되지 않은 셀에서의 "drain turn-on"으로 인한 subthreshold 누설전류 문제는 완전히 해결될 수 있음을 보여주고 있다.

그림 9는 L_{eff} 가 $0.55\mu\text{m}$ 인 normal EPROM 셀 소자에서 드레인에 1V부터 1V씩 증가하여 6V까지 인가하고 소오스와 기판은 접지하였을 때의 subthreshold 특성을 보여주고 있다. 이 소자의 경우에는 L_{eff} 가 충분히 커서 비록 프로그램 시에 소오스를 접지한다고 할지라도 선택되지 않은 셀에서의 "drain turn-on"으로 인한 subthreshold 누설전류는 거의 무시할 수 있을 만큼 작은 것을 알 수 있다.

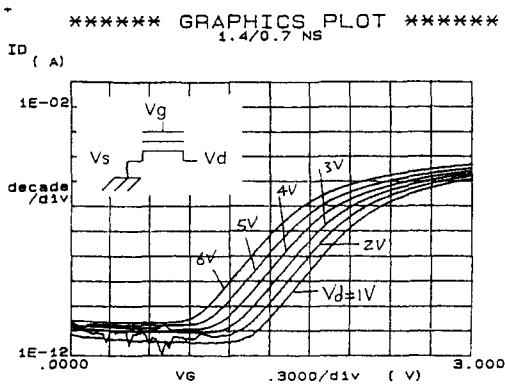


그림 9. $L_{eff}=0.55\mu\text{m}$, $W_{eff}=1.0\mu\text{m}$ 인 normal EPROM 셀 소자의 subthreshold 특성
 Fig. 9. Subthreshold characteristics of the normal EPROM cell with $0.55\mu\text{m}$ L_{eff} and $1.0\mu\text{m}$ W_{eff} .

그림 10에서는 여러가지 L_{eff} 를 갖고 있는 normal EPROM 셀 소자들의 펀치스루 전압을 L_{eff} 의 함수로서 나타내었다. 이 때, 펀치스루 전압 (VTDO)은 콘트롤 게이트와 기판을 접지하고, 드레인의 전압을 증가시키면서 드레인 전류가 1 nA가 흐를 때의 드레인 전압을 나타낸다.

이 그림에서 보면, 소오스를 접지하였을 때는 L_{eff} 가

$0.45\mu\text{m}$ 이상인 경우에는 VTDO가 드레인접합항복전압으로 L_{eff} 에 관계없이 일정하였지만, L_{eff} 가 $0.45\mu\text{m}$ 이하로 떨어지면 급격히 VTDO가 감소하는 것을 보여주고 있다. 한편으로, 소오스에 0.5V를 인가하는 경우에는 L_{eff} 가 $0.25\mu\text{m}$ 까지도 VTDO가 변함없이 드레인접합항복전압을 유지하고 있는 것을 볼 수 있다. 이러한 결과는 앞에서 논의된 결과와 일치된 것이다.

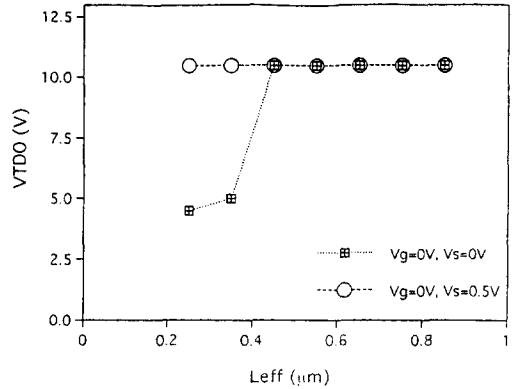


그림 10. Normal EPROM 셀 소자들의 L_{eff} 의 함수로서의 펀치스루 전압
 Fig. 10. Punch-through voltage of normal EPROM cells as a function of L_{eff} .

5. EPROM 셀의 프로그램 특성 측정 결과

우리는 HP4145B를 사용하여 W_{eff} 가 $1\mu\text{m}$ 이고 L_{eff} 가 $0.25\mu\text{m}$ 으로부터 $0.85\mu\text{m}$ 사이인 normal EPROM 셀 소자들의 프로그램 특성이 드레인과 소오스의 여러가지 바이어스 조건에 따라 어떻게 변하는가를 측정하였다.

그림 11에서는 L_{eff} 가 $0.55\mu\text{m}$ 인 EPROM 셀 소자의 DC 프로그램 특성을 보여주고 있다. 이 때, 소오스와 기판은 접지되었다.

이 그림은 이 소자를 프로그램 하기 위해서는, 콘트롤 게이트에 인가된 전압이 11 - 14V 범위 내에서는 콘트롤 게이트 전압의 크기에 관계없이 드레인 전압은 4.5V 이상으로 인가해야 하는 것을 보여주고 있다. 다른 말로 표현하면, 프로그램 특성은 드레인 전압에 비해 상대적으로 콘트롤 게이트의 전압에 적게 영향을 받는 것을 보여주고 있다. 앞으로의 모든 실험에서 우리는 항상 EPROM 셀 소자의 프로그램 시에 콘트롤 게이트에 12V를 인가하였다.

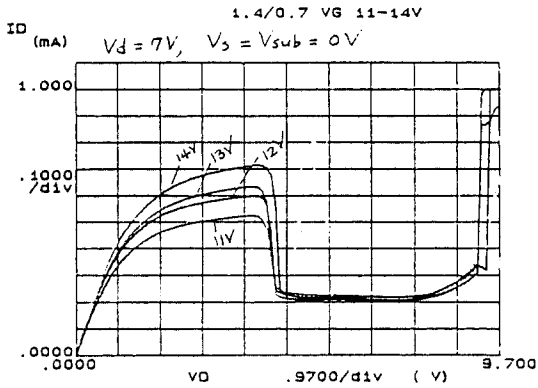


그림 11. $Leff$ 가 $0.55\mu\text{m}$ 인 EPROM 셀 소자의 DC 프로그램 특성
 Fig. 11. DC programming characteristics of EPROM cell with $0.55\mu\text{m}$ $Leff$.

그림 12에서는 기존의 방식대로 소오스와 기판은 접지하고, 콘트롤 게이트와 드레인에 각각 12V, 7V를 인가하고 프로그램을 하였을 경우에 프로그램 시간에 따라서 문턱전압이 어떻게 변하는가에 대한 측정 결과를 보여주고 있다.

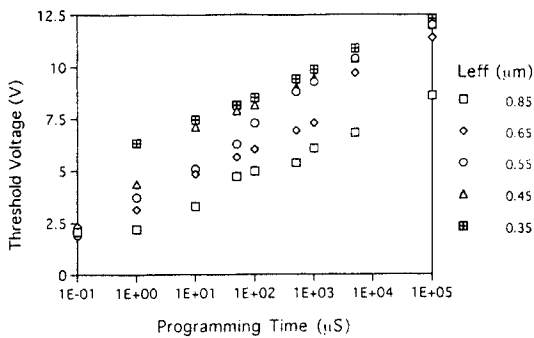


그림 12. 여러가지 $Leff$ 를 갖고 있는 EPROM 셀 소자들의 프로그램 특성
 Fig. 12. Programming characteristics of EPROM cells with various $Leff$.

위의 그림에서 볼 수 있듯이 $Leff$ 가 작은 소자일수록 프로그램 속도가 훨씬 빠르다. 이는 같은 드레인 전압을 인가했을 경우에 $Leff$ 가 작을수록 프로그램 시에 채널에 형성되는 수평방향전계가 크기 때문이다. 일반적으로 반도체 메모리 시장에서 받아들일 수 있는 프로그램 특성은 100ms동안 프로그램 했을 때 문턱전압이 7V 이상으로 되어야 한다. 이러한 관점에서 볼 때에 $Leff$ 가 $0.65\mu\text{m}$ 이상인 위의 EPROM 셀 소자

들은 위의 프로그램 조건에서 지나치게 프로그램 속도가 낮은 것을 알 수 있다.

그림 13에서는 기판은 접지하고, 게이트에 7V를 인가하고, 소오스와 드레인 전압을 여러가지 바이어스를 가했을 경우에 $Leff$ 가 $0.35\mu\text{m}$ 인 EPROM 셀 소자에서 프로그램 특성이 어떻게 변하는가에 대한 측정 결과를 보여주고 있다.

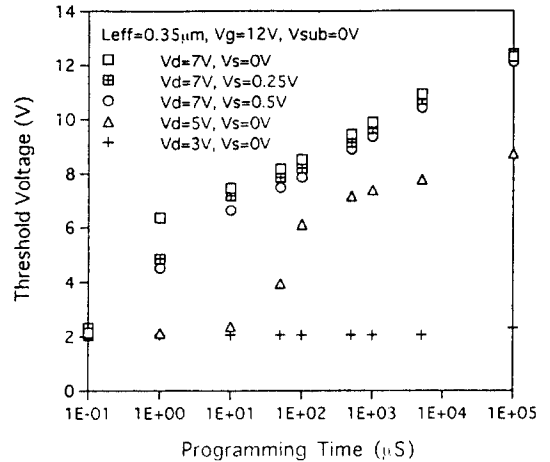


그림 13. $Leff$ 가 $0.35\mu\text{m}$ 인 EPROM 셀 소자에서 프로그램 시 소오스에 양(-)의 바이어스를 가했을 때의 프로그램 특성
 Fig. 13. Programming characteristics of the EPROM cell with $0.35\mu\text{m}$ $Leff$ and $1.0\mu\text{m}$ $Weff$ as a function of source voltage.

그림 11의 결과를 살펴보면, 프로그램 시 채널에서의 수평방향전계에 대한 PISCES 전산모사 결과로부터 (그림 5) 예측할 수 있었듯이, 프로그램 시 드레인에 7V를 인가하고 소오스에 0.25, 0.5, 0.75V를 각각 인가하였을 경우에 프로그램의 속도에는 거의 변화가 없었다. 이는 프로그램 시 소오스에 약간의 바이어스를 가한다고 하더라도 채널 표면에서의 수평방향전계는 거의 변화가 없기 때문이라고 생각된다. 반면에 프로그램 시 소오스를 접지시키고 드레인 전압을 낮추는 경우에는 프로그램 속도가 급격히 떨어지는 것을 볼 수 있다. 이는 드레인 전압의 감소와 함께 채널 표면에서의 수평방향전계가 따라서 감소하기 때문일 것이다. 예를 들어, 드레인에 5V를 인가하는 경우에 100ms 동안 프로그램을 실시하였을 때 문턱전압은 약 6V에 불과했고, 드레인에 3V를 인가하는 경우에는 0.1s 동

안 프로그램을 하여도 문턱전압은 거의 변하지 않았다.

IV. 결 론

0.35 μ m Leff 를 갖고 있는 EPROM 셀에 대한 PISCES 전사모사 결과와 전기적인 특성 측정결과 모두, 프로그램시 소오스에 0.5V를 인가하면 선택되지 않은 셀에서의 누설전류는 모두 접합누설전류의 수준으로 떨어지는 반면, 프로그램의 속도에는 거의 변화가 없었음을 보여 주었다. 이러한 결과는 분명하게, half-micron 이하의 유효채널을 갖고 있는 EPROM 셀을 비롯한 FAMOS 셀을 기존의 방법(즉, 소오스 접지상태)으로 프로그램 할 때 선택되지 않은 셀에서 발생하는 심각한 누설전류의 문제가 위의 새로운 프로그램방식(즉, 소오스에 약간의 양(+))의 바이어스 인가로 해결될 수 있음을 보여주고 있다.

참 고 문 헌

- [1] F. Masuoka, "Technology Trend of Flash-EEPROM", *1992 Symposium on VLSI Technology Digest of Technical Papers*, p. 6, 1992.
- [2] S. Wells and D. Clay, "Flash Solid-State Drive with 6MB/s Read/Write Channel and Data Compression", *ISSCC Digest of Technical Papers*, p. 52, 1993.
- [3] K. Yoshikawa et.al., "0.6 μ m EPROM Cell Design Based On A New Scaling Scenario", *IEDM Technical Digest*, p. 587, 1989.
- [4] Boaz Eitan, "Short Course: Non-Volatile Memory Technologies" Manuscript, IEEE, 1990.
- [5] Silvaco International, *ATLAS-Version.2*, 1994.
- [6] C. Chang, "Reliability Issues of Flash EPROM Cell," Manuscript of Tutorial Classes of International Reliability Physics Symposium, 1993.
- [7] W. Choi, Ph.D. Thesis, Department of Electrical Engineering, Pohang University of Science and Technology, 1994.
- [8] N. Einspruch and G. Gildenbalt, "Advanced MOS Device Physics," *VLSI Electronic Microstructure Science*, Volume 18, 1989.

저 자 소 개



朴 根 亨(正會員)

1954년생. 1984년 한양대학교 전자공학과 졸업(학사). 1987년 University of Michigan (Ann Arbor) 전기공학과(석사). 1992년 University of Texas at Austin 대학 전기공학과(박사). 1992년 ~ 1993년 미국 Cypress Semiconductor에서 Senior Technology Engineer. 1993년 ~ 1994년 LG 반도체의 중앙연구소에서 책임연구원으로서 Flash EEPROM 개발. 현재 충북대학교 반도체과 학과 조교수. 약 20여편의 기술논문 발표. 주관심분야는 Flash EEPROM과 FRAM의 공정 및 셀 개발과 초박막 유전체의 신뢰성 향상 등임



朴 根 淑(正會員)

1996년 충북대학교 졸업(학사). 현재 한국과학기술원 전기 및 전자공학과 석사과정



李 在 浩(學生會員)

1975년생. 1993년 충북대학교 반도체과학과에 입학. 현재 3학년에 재학중