

論文96-33A-3-11

# PNP 게이트를 가지는 폴리 실리콘 박막 트랜지스터의 전기적 특성 (Electrical Characteristics of Polysilicon Thin Film Transistors with PNP Gate)

閔炳赫\*, 朴喆民\*, 韓民九\*

(Byung-Hyuk Min, Cheol-Min Park, and Min-Koo Han)

### 요 약

다결정 실리콘 박막 트랜지스터의 경우에 단결정 실리콘이나 비정질 실리콘에 비하여 off 상태에서의 소자의 누설전류가 크다는 것이 가장 큰 단점으로 부각되고 있다. 따라서, 소자의 구조를 LDD나 오프셋 게이트 구조로 제작하여 게이트와 드레인간의 전계를 감소시키므로써 누설전류를 줄이는 방법이 널리 이용되고 있다. 그러나, 이 구조들은 누설전류를 감소시키는데는 효과적이거나 on 전류가 동시에 감소하는 단점이 있다. 본 논문에서는 off 상태에서는 오프셋 게이트 소자로 동작하여 누설전류를 감소시키면서 on 상태에서는 오프셋 구조가 아닌 기존의 자기정합 소자로 동작하여 on 전류가 감소되지 않는 새로운 구조의 다결정 실리콘 박막 트랜지스터를 제안하였다. 소자 시뮬레이션을 통하여 제안된 소자 구조의 실현 가능성을 검증하였으며 이를 기본으로 기존의 소자 구조와 새로운 소자 구조를 제작하였다. 새로운 소자를 측정된 결과 오프셋 게이트 구조가 아닌 소자에 비하여 on 전류는 거의 유사하고 off 상태에서의 누설전류만 2 order 정도 감소하여 on/off 전류비가 상당히 개선됨을 보였다. 또한, 본 논문에서 제안된 구조를 multi-channel 소자로 제작하여 single-channel 소자에서 나타난 개선 효과와 유사한 특성을 얻었다.

주요 단어 : 다결정 실리콘, 박막 트랜지스터, 오프셋 구조, 누설전류, 전류비

### Abstract

One of the major problems for poly-Si TFTs is the large off state leakage current. LDD (Lightly Doped Drain) and offset gated structures have been employed in order to reduce the leakage current. However, these structures also reduce the ON current significantly due to the extra series resistance caused by the LDD or offset region. It is desirable to have a device which would have the properties of the offset gated structure in the OFF state, while behaving like a fully gated device in the ON state. Therefore, we propose a new thin film transistor with pnp junction gate which reduce the leakage current during the OFF state without sacrificing the ON current during the ON state.

KEY WORDS : polycrystalline silicon, thin film transistor, offset structure, leakage current, current ratio

### I. 서론

현재까지 active matrix LCD의 핵심 소자인 박막

트랜지스터 (Thin Film Transistor, TFT) 재료는 비정질 실리콘(amorphous Si, a-Si)이 주로 사용되고 있다. 비정질 실리콘은 저온에서 대면적화가 가능하여 비교적 저가인 유리기판을 사용하므로 생산 단가를 줄일 수 있는 반면에 박막 트랜지스터의 이동도가 0.1 ~ 1.0 cm<sup>2</sup>/V<sub>s</sub> 로 작아 LCD의 구동회로를 구성하지 못하고 TFT LCD array의 화소 소자로만 사용되는 단점이 있다. 반면에 다결정 실리콘 박막 트랜지스터

\* 正會員, 서울대학교 工科大学 電氣工學科  
(Department of Electrical Engineering, Seoul National University)

接受日字:1995年12月21日, 수정완료일:1996年2月22日

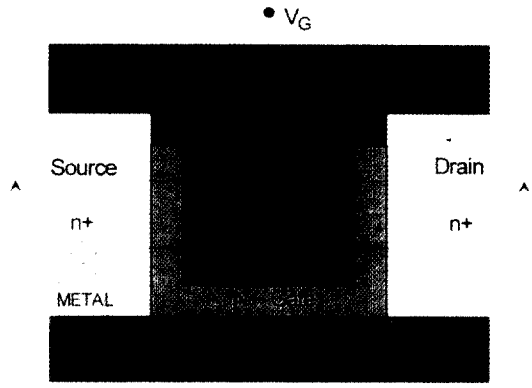
(poly-Si TFT)는 이동도가  $30 \text{ cm}^2/\text{Vs}$  이상으로 크기 때문에 TFT array 및 구동 회로를 하나의 기판 위에 형성시킬 수 있는 장점이 있다.

그러나, 폴리 실리콘 박막 트랜지스터가 위와 같은 장점을 가진 반면에 화소의 스위칭 소자로 사용시에 누설전류가 비정질 실리콘 박막 트랜지스터에 비하여 크게 되어 화소에 가해진 전압을 일정하게 유지하기 곤란하다. 이로 인하여 디스플레이의 선명도가 감소하고 화면이 미세하게 깜박거리는 현상이 발생하여 화질이 떨어지는 문제점이 발생한다.<sup>[11][12]</sup> 지금까지 다결정 실리콘 박막 트랜지스터의 누설전류는 드레인과 게이트의 전계 분포와 밀접한 관계가 있는 것으로 지금까지의 실험 과 수치 해석 결과들에 의해서 알려져 왔다. 일반적으로 LDD (Lightly Doped Drain) 와 오프셋 게이트 (Offset Gate) 구조 등이 드레인쪽의 전계를 줄여서 누설 전류를 줄이고자 이용되어 왔으나 위의 구조들은 기생 저항을 이용하는 구조이기 때문에 ON 상태의 전류 역시 현저하게 줄어들게 되고 LDD 나 오프셋의 길이에 상당히 민감한 특성을 나타내게 된다. 그러므로 OFF 상태일 때는 오프셋 구조의 특성을 보이고 ON 상태일 때는 일반적인 자기 정합 구조의 다결정 박막 트랜지스터 (TFT) 의 특성을 가진다면 바람직할 것이다. 이러한 특성의 소자를 구현하기 위해 부동 게이트 (floating gate) 나 능동 게이트 (active gate) 와 같은 구조의 박막 트랜지스터들이 제안되었다.<sup>[31][4]</sup> 그러나 그러한 소자들은 저 전압 동작을 위한 SRAM이나 DRAM 등의 응용에 적합하다고 전압 동작이 요구되는 AMLCD용 TFT에는 적합하지 않다.

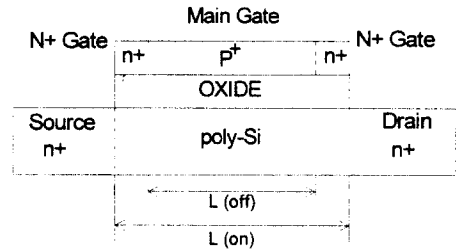
본 논문에서는 OFF 상태에서는 오프셋 게이트 구조의 특성을 보이고 ON 상태에서는 전류의 감소가 없는 새로운 구조의 다결정 실리콘 박막 트랜지스터를 새로운 구조의 폴리 실리콘 박막 트랜지스터를 제안하였으며 소자를 제작하여 기존의 박막 트랜지스터와 특성을 비교, 분석하였다.

## II. 소자의 구조

새로운 소자의 중요 개략도는 그림 1에 도시되어 있다. 소자의 게이트 부분은 pnp 접합 구조로 이루어져 있다. 게이트의  $N^+$  도우핑된 부분 ( $N^+$  게이트) 소오스와 드레인 쪽의 활성영역위에 위치하고 있다.



(a) Top View

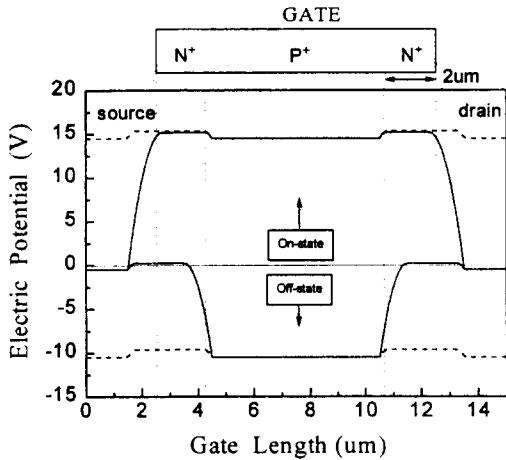


(b) Cross-section

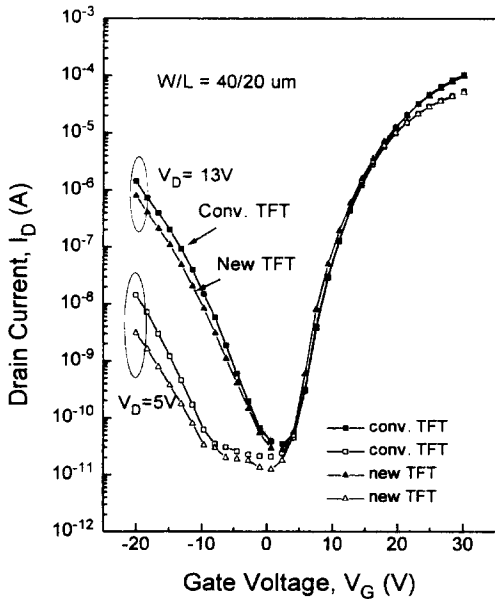
그림 1. PN 접합 게이트 다결정 박막 트랜지스터의 개략도

Fig. 1. The schematic view of pn junction gated poly-Si TFTs.

주 게이트와 부 게이트는  $P^+$  도우핑된 영역으로 이루어져 있다. 게이트 전압은 주 게이트로 인가 되고 부 게이트 전극은 소오스 전극으로 연결되어 있다. OFF 상태 ( $V_s > V_G$ ) 일 때는, 소오스의 전압이 순방향 pn 접합을 넘어  $N^+$  게이트 까지 인가 되게 된다.  $P^+$  도우핑된 주 게이트와  $N^+$  게이트와의 사이에 있는 pn 접합에는 역방향 전압이 인가되기 때문에 소오스의 전압은 주 게이트의 전압과 분리된다. 따라서 게이트 인가 전압이 하강하게 되더라도  $N^+$  게이트 영역은 소오스 전압과 일치하게 되어 언제나 일정한 값을 유지하게 되고 이로 인해 드레인과 게이트의 수직방향 전계가 증가하는 것도 방지하게 된다. 그리고 게이트 전압에 따라 증가하는 누설 전류도 일정한 상수 값을 유지하게 된다. ON 상태 ( $V_s < V_G$ ) 일 때는, 게이트 전압은 순방향 pn 접합을 넘어서  $N^+$  게이트까지 인가되게 되고 역방향 전압이 걸리는  $N^+$  게이트와 소오스간에는 전류가 흐르지 않기 때문에 부 게이트의 전압은 소오



(a)



(b)

그림 2. (a) ON상태와 OFF 상태에서 게이트 내에서 전위 분포. 점선은 부 게이트가 전극에 연결되지 않았을 때 (b) 부게이트가 전극에 연결되지 않았을 때 일반소자와 새로운 소자의  $I_D-V_G$  특성

Fig. 2. (a) The potential distribution within the gate electrode of ON state and OFF state. The dot line represents the potential distribution when the sub-gate electrode is disconnected to the source electrode. (b) The measured  $I_D-V_G$  characteristics of the conventional device and the new device in the case that the sub-gate is floated.

스의 전압과 같게 유지 된다. 이때  $N^+$  게이트의 전압은 게이트 전압과 거의 일치하게 되므로 오프셋이나 LDD를 이용하지 않은 일반적인 구조의 자기 정렬 구조의 소자와 같은 특성을 나타내게 된다.

본 논문에서는 새로운 소자의 개연성을 MEDICI 시뮬레이션을 이용하여 확인하였다. 활성층의 두께는 1000Å 전계 게이트의 길이는  $10\mu m$ , 게이트 절연막의 두께는 1000Å 그리고  $N^+$  게이트 길이 (게이트 오프셋)는  $2\mu m$  으로 가정하였다. ON 상태일 때와 OFF 상태일 때의 게이트 폴리 실리콘에서의 전위 분포를 해석하였다. (그림 2). 게이트 전압은 ON 상태일 때 예상했던대로  $N^+$  게이트까지 인가되었고, OFF 상태에서는  $P^+$  영역인 주 게이트까지만 인가되었다. 이 사실은 OFF 상태에서의 유효한 게이트의 길이가 줄어들었다는 것을 나타낸다. 또한 우리는 부 게이트의 전극이 소오스와 연결되지 않은 부동 게이트 (floating gate) 일 때 (그림 2의 점선)의 전위를 조사했다. 이 경우에는  $N^+$  영역의 전위는 게이트 전압의 방향과 상관 없이 인가된 게이트 전압과 유사함이 관찰되었다. 그림 2(b)에 나타나 있는 부 게이트의 전극이 다른 어느 전극과도 연결되지 않았을 경우(floated)의 실험 결과도 역시 시뮬레이션 분석과 마찬가지로  $N^+$  게이트 영역이 누설 전류를 줄이는 데 별다른 역할을 하지 못했음을 보여주고 있다.

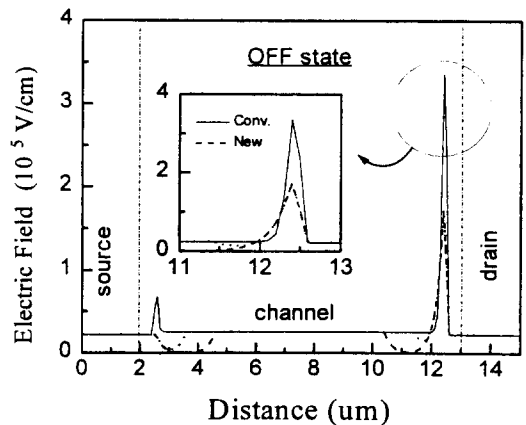


그림 3. 일반적인 소자와 새로운 소자의 OFF상태일 때 전계 분포

$V_D = -10V$   $V_G = 0V$ ,  $L_{ch} = 10\mu m$ ,  $Gate(offset) = 2\mu m$

Fig. 3. The electric field distribution along the channel in OFF state for the conventional device and the new device.

$V_D = -10V$   $V_G = 0V$ ,  $L_{ch} = 10\mu m$ ,  $Gate(offset) = 2\mu m$

그림 3은 OFF 상태에서 게이트 절연막 근처의 활성영역의 전계분포 시뮬레이션 결과이다. 새로운 소자의 드레인 근방의 전계의 최고치는 일반적인 소자의 최고 전계의 약 절반 값이고  $2\mu\text{m}$  길이를 가지는 오프셋 소자의 전계값과 근사한 값을 보인다. 이 사실은 새로운 소자와 오프셋 소자의 누설 전류가 일반적인 구조의 소자의 누설전류에 비해서 적을 것이라는 것을 말해주고 있다.  $N^+$  게이트의 길이에 따라 최고 전계값을 살펴 보았을 때  $1\mu\text{m}$ 와  $2\mu\text{m}$ 의 사이에서는 현격한 차이를 보였지만  $2\mu\text{m}$ 를 넘는 길이에서는 더이상의 전계감소는 없음을 발견하였다. ON 상태에서의 전자의 채널에서의 밀도 분포는 새로운 소자의 경우에는 오프셋 소자보다는 100배 가량 높고 일반적인 소자와는 비슷한 분포를 보이고 있음을 그림 4에서 설명하고 있다. 이것은 새로운 소자의 ON 전류가 LDD나 오프셋을 쓰지 않는 일반적인 소자의 ON 전류와 거의 같을 것임을 암시하고 있다.

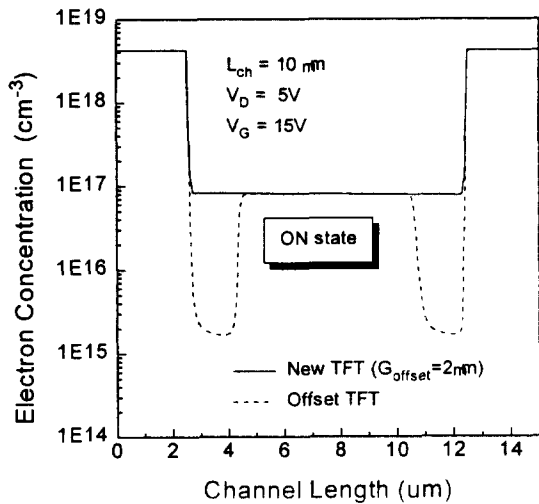


그림 4. 일반적인 오프셋 소자와 새로운 소자의 ON 상태에서 채널의 전자 농도 분포

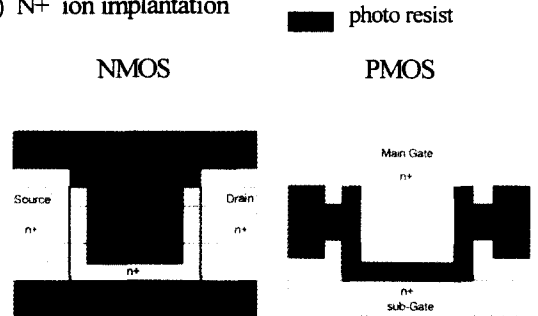
Fig. 4. The electron concentration along the channel in ON state for the conventional offset device and the new device.

우리는 오프셋을 이용하지않는 일반적인 구조의 다결정 실리콘 박막 트랜지스터와 새로운 다결정 실리콘 박막 트랜지스터를  $N$ 형 게이트의 길이에 따라 저온 공정을 이용하여 제작하였다. 새로운 박막 트랜지스터의

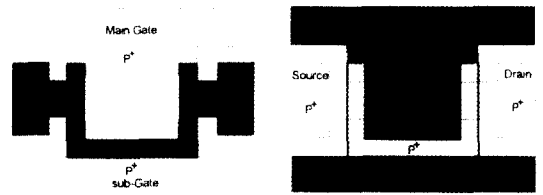
공정 흐름도는 그림 5에 도시되어 있다.

(1) The previous processes are same as the conv. TFT

(2)  $N^+$  ion implantation



(3)  $P^+$  ion implantation



(4) The remaining processes are same as the conv. TFT

그림 5. PN접합 게이트 다결정 박막 실리콘의 중요 공정 흐름  
Fig. 5. The key process sequences of pn junction gated poly-Si TFTs.

5000Å 두께의 열 산화막이 형성되어 있는 실리콘 웨이퍼가 공정에 사용되었다. 1000Å 두께의 비정질 실리콘 박막이  $550^\circ\text{C}$ 에서 저압화학기상증착(LPCVD)에 의해 증착되었다. 비정질 실리콘 박막은  $600^\circ\text{C}$ 에서 30시간 동안 질소 분위기에서 결정화(crystallize)되었다. 활성층 영역이 형성된 후 게이트 절연막이 상압 화학기상증착(APCVD)에 의해서, 게이트전극용 비정질 실리콘이 LPCVD에 의해서 증착되었다. 게이트 패터닝이 식각된후  $N^+$ 형 불순물( $\text{As}^+$ ,  $5 \times 10^{15} \text{cm}^{-2}$ )이  $N$ 형 형성 영역에 (NMOS 경우 : 소오스, 드레인, 게이트의  $N^+$  게이트 부분 PMOS 경우 :  $N$ 형 주게이트, 부게이트) 주입되고, 그동안에 NMOS의  $P$ 형 주게이트, 부게이트와 PMOS의 주게이트와 부게이트 사이의  $P^+$  게이트 부분, 소오스/드레인 영역 등은 photoresist에 의해 가리워진다. 그후에  $P^+$ 형 불순

물이 N형 이온 주입 영역이 photoresist에 의해 가리워진 채 P형 형성영역에 주입된다. Passivation 절연막이 증착된 후 주입된 불순물의 활성화가 600°C 에서 24 시간동안 수행되었다. Contact 식각이 끝난 후 전극으로 알루미늄이 증착되고 lithography 공정을 거쳐 식각 되었다. 알루미늄은 450°C 에서 30분동안 Alloy 공정을 수행하였다.

### III. 소자의 특성

게이트 오프셋의 길이가 2 $\mu$ m인 새로운 구조의 NMOS 박막 트랜지스터의  $I_D$ - $V_G$  특성 곡선이 그림 6에 일반적인 구조의 박막 트랜지스터의 특성곡선과 비교되어 있다. 두가지 소자 모두 채널의 길이와 너비가 20 $\mu$ m와 40 $\mu$ m 이고 60분 동안 수소화 처리를 거쳤다.

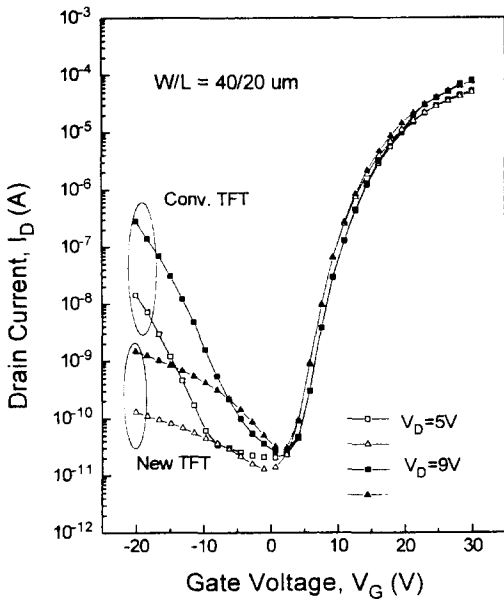


그림 6. 일반적인 소자와 새로운 소자의 NMOS TFT  $I_D$ - $V_G$  특성 곡선

Fig. 6.  $I_D$ - $V_G$  characteristics for the conventional and new n-channel poly-Si TFTs.

게이트 전압이 감소할 수록 그리고 드레인에 인가된 전압이 증가할 수록 일반적인 소자의 누설전류는 증가하였고 새로운 소자와 일반적인 소자와의 누설 전류의 차이는 더욱 증가되는 현상을 보이고 있다. 새로운 소자의 누설 전류는 게이트 전압이 -20 볼트일 때 일반

적인 소자보다 Two Order 가량 적음을 관찰할 수 있다. 반면에 새로운 소자의 ON 전류는 일반 소자와 거의 같았다. 게이트 전압이 -10 볼트, 드레인 전압이 5 볼트 일 때 새로운 소자의 누설전류는 100 pA 이고 일반 소자는 약 10 nA 이었다. 드레인 전압이 9 볼트 일 때 새 소자의 누설 전류는 드레인 전압이 5 볼트일 때보다 급격히 증가하는데 이것은 드레인 전압이 증가하면서 같이 증가하는 드레인에서의 전계에 누설 전류가 영향을 받는것을 의미한다. P 채널 박막 트랜지스터경우에도  $I_D$ - $V_G$  특성은 N 채널 박막 트랜지스터경우와 비슷한 경향을 그림 7에서 보인다.

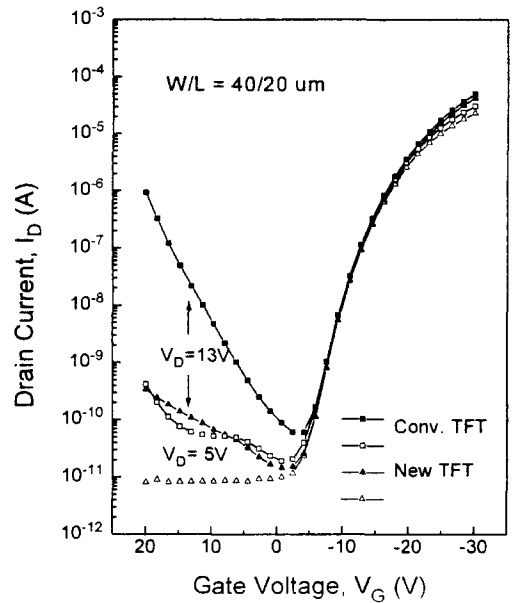


그림 7. 일반적인 소자와 새로운 소자의 PMOS TFT  $I_D$ - $V_G$  특성 곡선

Fig. 7.  $I_D$ - $V_G$  characteristics for the conventional and new p-channel poly-Si TFTs.

### IV. 다중 채널 다결정 실리콘 박막 트랜지스터

다결정 박막 트랜지스터에서는 반송자의 이동도 (carrier mobility)가 그레인 경계(grain boundary) 근처의 전위장벽(potential barrier)에 의해 제한된다. 최근에는 레이저 빔의 조사를 통한 재결정화를 이용해 트랩 밀도(carrier trap density)를 감소시키려는 연구가 활발히 진행 중이다. 그러나 이 방법

은 생산효율이 좋지않은 문제가 대두되고 있다. 수소 플라즈마에 의한 수소화 공정은 그레인 경계에서의 트랩 상태 밀도를 감소시킴으로써 소자의 특성을 향상시킬 수 있다. 수소화는 소자의 특성에 현격한 변화를 유도하지 못하기 때문에 효과를 증대시키기 위한 다중 채널 (multi channel) 다결정 박막 트랜지스터가 다른 논문에서 보고되고 있다.<sup>15) 16)</sup> 이 장에서는 제안된 새로운 구조의 다결정 박막 트랜지스터를 다중 채널 구조로 제작하여 수소화의 영향을 고찰 하였다.

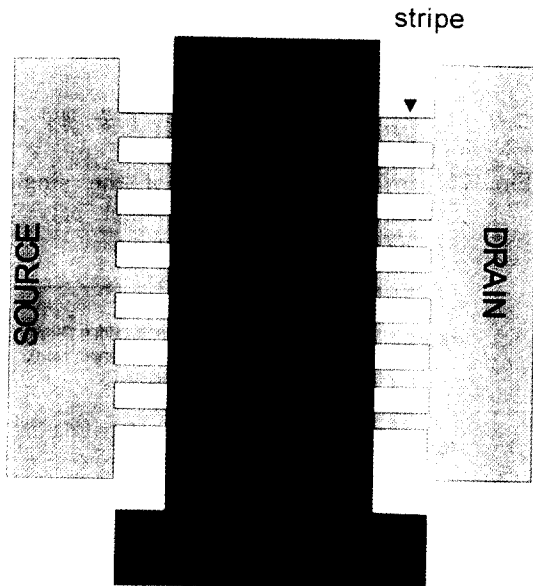


그림 8. 다중 채널 소자의 평면도  
Fig. 8. The schematic top view of multi-channel poly-Si TFT.

그림 8은 전형적인 다중 채널 다결정 박막 트랜지스터를 보여주고 있다. 본 연구에서는 격자(stripe)의 너비가 각각 3 $\mu\text{m}$ 와 5 $\mu\text{m}$ 인 채널의 전체 너비 20 $\mu\text{m}$ , 전체 길이 40 $\mu\text{m}$ 인 박막 트랜지스터를 제작하여 분석 하였다. 그림 9에서는 새로운 구조의 다중 채널 소자와 일반적인 구조의 다중 채널 소자의 특성이 나타나 있다. 새로운 소자의 게이트 오프셋 길이(Goffset)는 2 $\mu\text{m}$ 와 4 $\mu\text{m}$ 이다. 새로운 구조의 다중 채널 소자의 누설 전류는 드레인의 전압이 5 볼트일 때 게이트전압의 크기에 상관없이 100pA 이하의 값을 보이고 ON 상태의 전류는 일반적인 구조의 다중 채널 소자의 값과 거의 일치하고 있다. 게이트 전압이 30 볼트일 때(ON 상태)와 -20볼트일 때 (OFF 상태)의 ON/OFF 전류

비는 새로운 소자 경우  $2.2 \times 10^5$  이고 일반 소자의 경우는  $1.2 \times 10^3$  이었다. 또한 게이트 오프셋 길이가 2 $\mu\text{m}$ 인 소자와 4 $\mu\text{m}$ 인 거의 일치하는 특성을 보이는 것이 관찰되었다. 이것은 새로운 소자가 공정상에서 오정렬 (mis-align) 문제가 발생하더라도 특성이 변하지 않을 것임을 보여주고 있다. 그림 9의 결과는 그림 6의 결과와 같은 경향을 보이고 있다.

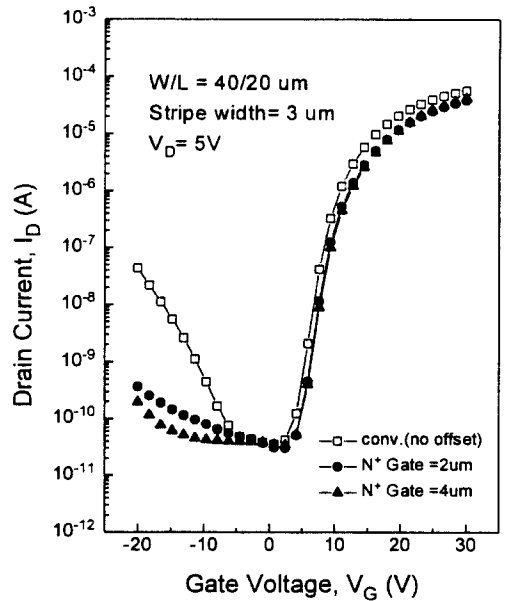


그림 9. 일반적인 소자와 새로운 소자의 다중 채널 NMOS TFT  $I_D$ - $V_G$  특성 곡선. 격자의 너비는 3 $\mu\text{m}$ . 새로운 소자의 게이트 오프셋 길이는 각각 2 $\mu\text{m}$ 와 4 $\mu\text{m}$ 이다.  
Fig. 9.  $I_D$ - $V_G$  characteristics for the conventional and new multi-channel TFTs. The stripe width is 3 $\mu\text{m}$ . The new devices have the lengths of gate offset are 2 $\mu\text{m}$  and 4 $\mu\text{m}$  respectively.

그러나 다중 채널 박막 트랜지스터 (새로운 소자와 일반적인 소자 모두를 포함하여) 의 전기적인 특성이 단일 채널 박막 트랜지스터의 경우보다 그림 10에서처럼 더욱 우수함을 발견하였다. 격자의 너비가 3 $\mu\text{m}$ 인 다중 채널 박막 트랜지스터는 문턱이전 기울기 (subthreshold slope)는 1.74 V/decade로 1.29 V/decade 인 단일 채널 박막 트랜지스터보다 개선되었다. 그림 11은 일반적인 구조의 다중 채널 박막 트랜지스터와 단일 채널 박막 트랜지스터  $I_D$ - $V_D$  특성 곡

선이다. 게이트 전압이 13 볼트일 때 드레인 전류는 다중 채널 박막 트랜지스터가 단일 채널 박막 트랜지스터의 3배의 값을 보이고 있다. 반송자의 이동도(carrier mobility)는 다음의 식과 같이 나타낼 수 있다. [7]

$$I_{DS} = \left(\frac{W}{2L}\right) \cdot \mu \cdot C_{ox}(V_G - V_T)^2 \quad (1)$$

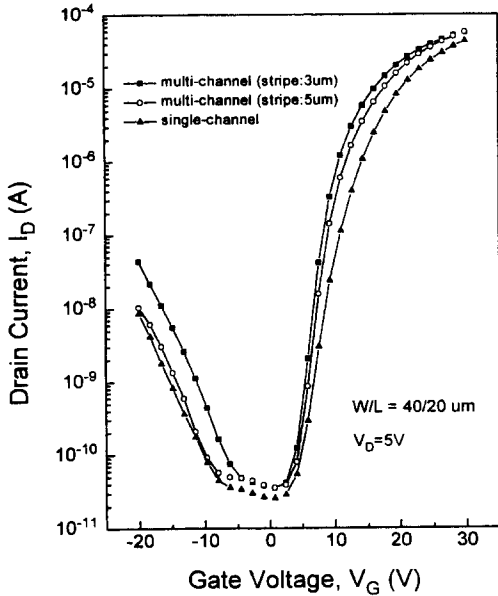


그림 10. 수소화 이전의 단일 채널과 다중 채널 소자의 ID-VG 특성

Fig. 10. ID-VG characteristics for the single channel and multi-channel poly-Si TFTs before hydrogenation.

IDS 는 드레인 전류, L 는 채널의 길이, Cox 는 단위 면적당 게이트 절연막의 유전용량, W 는 채널의 너비이다. 다중채널 소자의 전체 너비는 격자의 너비와 갯수의 곱(widths of a stripe × total number of stripes)으로 나타내어진다. 식 (1)에서 구해진 다중 채널 소자와 단일 채널 소자의 이동도는 각각 9.2 cm<sup>2</sup>/Vs 와 10.5 cm<sup>2</sup>/Vs 이었다. 또한 다중 채널 소자와 단일 채널 소자의 문턱 전압은 6.8 볼트와 8.6 볼트 이었다.

다중 채널 박막 트랜지스터와 단일 채널 박막 트랜지스터와의 차이점을 조사하기 위해 우리는 두가지 소자의 활성화 에너지와 소자의 특성, 격자의 너비와 전위 장벽의 상관 관계를 고찰하였다. 그림 12는 log(ID/VG) 대 (1/VG) 의 그림이다.

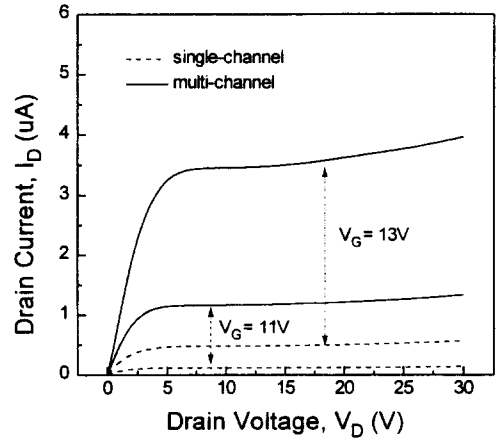


그림 11. 수소화 이전의 단일 채널과 다중 채널 소자의 ID-VD 특성

Fig. 11. ID-VD characteristics of the single channel and multi-channel poly-Si TFTs before hydrogenation.

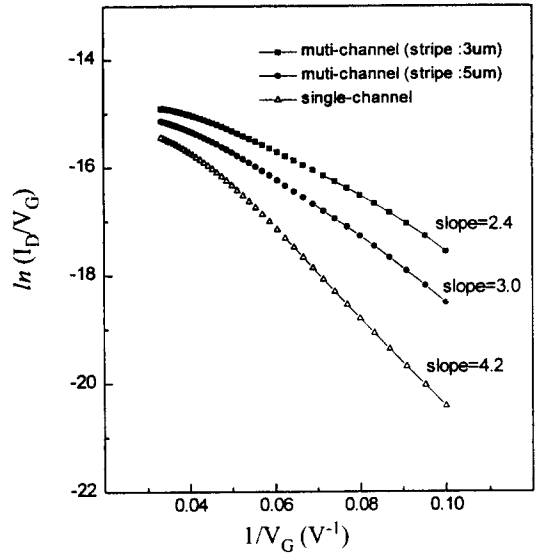


그림 12. 단일 채널과 다중 채널 소자의 ln(ID/VG) vs (1/VG) 특성. 다중 채널 소자의 격자 너비는 각각 3μm 와 5μm 이고 전체 너비는 단일 채널 소자의 40μm 와 같다.

Fig. 12. Plot of ln(ID/VG) vs (1/VG) for the multi-channel TFT and single channel TFT. The stripe width of the multi-channel TFTs are 3μm and 5μm respectively and that of the single channel is 40μm.

다중 채널 박막 트랜지스터의 기울기가 단일 채널의

기울기 보다 작았다. 그러므로 단위 면적당 트랩 상태 밀도( $N_{st}$ )는  $\log(I_D/V_G)$  대  $(1/V_G)$  의 특성 기울기로 부터 식 (2)에서 도출된다.

$$I_D = \left(\frac{W}{L}\right) C_{ox} \cdot V_D \cdot V_G \cdot \mu_0 \cdot \exp\left[\frac{-q \cdot N_{st}^2 \cdot d}{8} \cdot k \cdot T \epsilon_s \cdot C_{ox} \cdot V\right] \quad (2)$$

$C_{ox}$  는 게이트의 유전용량,  $q$  는 단위 전자의 전하량,  $\mu_0$  는 비례 상수,  $\epsilon_s$  는 반도체의 유전율,  $d$  는 폴리 실리콘의 채널의 깊이,  $k$  는 볼츠만 상수,  $T$  는 절대 온도 이다. 우리의 실험에서 구해진 트랩 상태 밀도는  $3.94 \times 10^{11}$  으로 얻어 졌고 단일 채널과 다중 채널 소자의 값은 거의 같았다.

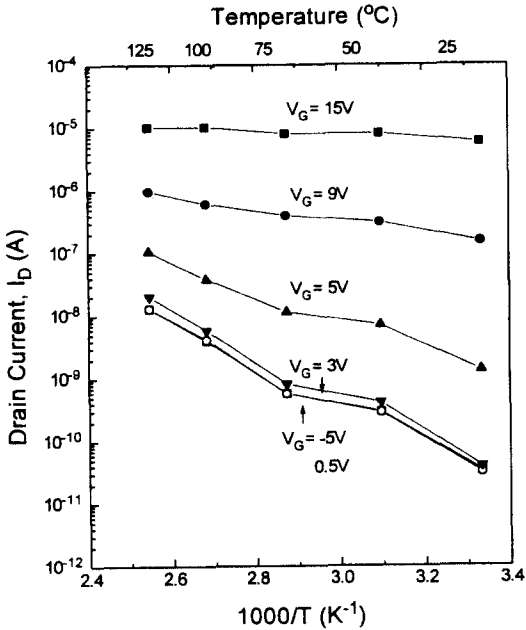


그림 13. 여러 가지 게이트 전압에 따른 드레인 전류의 Arrhenius 곡선. 그림에서 다중 채널 소자의 격자 너비는  $3\mu\text{m}$

Fig. 13. Arrhenius plot of the drain current for different gate voltages. The multi-channel TFT has a  $3\mu\text{m}$  stripe width.

그림 13 여러가지의 게이트 전압에 따른  $3\mu\text{m}$ 의 격자 너비를 가지는 다중 채널 박막 트랜지스터의 드레인 전류이다. 온도가  $25^\circ\text{C}$  에서  $120^\circ\text{C}$  까지 올라가는 동안 드레인 전류는 증가하고 있다. 서로 다른 게이트 전압에서 얻어진 직선은 Arrhenius 곡선의 전형적인

모습을 보이고 있다. 전류의 흐름은 열 방출 전류 (thermionic emission current)에 의해 좌우되는 것이다. 그림 14는 게이트 전압 인가에 따른 단일 채널과  $3\mu\text{m}$ 와  $5\mu\text{m}$ 의 격자 너비를 가지는 다중 채널 박막 트랜지스터의 활성화 에너지를 나타낸 것이다. 활성화 에너지는 Arrhenius 곡선의 기울기로 부터 구해진 것이다. 활성화 에너지는 게이트 전압이 높아질 수록 모두 급격히 낮아지나 격자의 너비가 작아질 수록 활성화 에너지는 더욱 빨리 작아진다. 이 현상은 그림 11에서 처럼 다중 채널 박막 트랜지스터의 드레인 전류가 단일 채널 소자 보다 더 큰 것과는 부합된다.

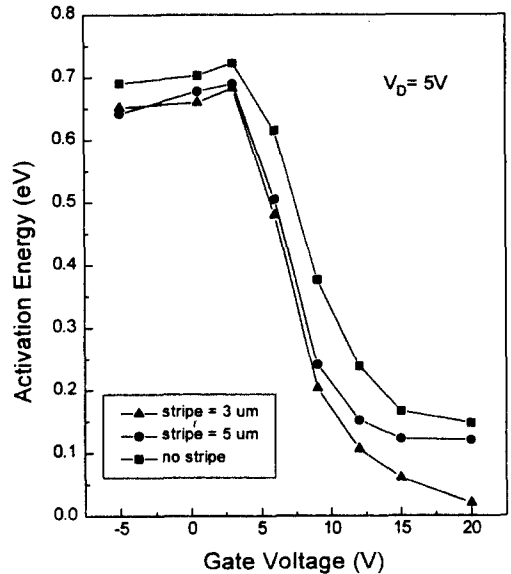


그림 14. 게이트 전압에 따른 다중 채널과 단일 채널 소자의 활성화 에너지 의존도

Fig. 14. Dependence of the activation energy on gate voltage for the multi-channel TFTs and single-channel TFT.

단일 채널 소자의 전위 장벽은 아래와 같은 식으로 표현 된다.<sup>19)</sup>

$$\psi_B = \frac{q \cdot N_{st}^2}{8 \cdot \epsilon_s \cdot n_c} \quad (3)$$

$q$  는 전하량,  $N_{st}$  는 단위 면적당 트랩 상태 밀도,  $\epsilon_s$  반도체의 유전 상수,  $n_c$  는 단위 면적당 반송자의 평균 농도(average carrier concentration) 이다.



다중 채널 소자의 반송자의 평균 농도는 일반 소자의 농도  $n_c$  에  $p$ 배 만큼 높다고 가정한다면 아래와 같이 표현 할 수 있다.

$$n_m = p \cdot n_c \quad (4)$$

그렇다면 다중 채널 소자의 전위 장벽  $\psi_{Bm}$  는 다음과 같이 표현 될 것이다.

$$\psi_{Bm} = \frac{q \cdot N_{st}^2}{8 \cdot \epsilon_s \cdot p n_c} \quad (5)$$

$V_G=15V$  일 때 전위장벽의 높이는 다중 채널 경우에는 0.06 eV (격자 너비= $3\mu m$ ) 이고 단일 채널 소자는 0.166 eV 이었다(그림 14). 식 (4) 와 식 (5) 의 관계에서  $p$  값은 2.7 로 얻어지고 이것은 반송자의 평균 농도 증가로 인한 전위 장벽의 감소로 부터 기인된다고 설명할 수 있다. 채널의 위 쪽에 있는 게이트와 채널의 수직 벽에 있는 게이트 전극으로 부터의 전계가 채널에 집중되어 반송자의 농도 증가 현상이 격자의 너비가 작을 수록 심화 되는 것으로 생각된다. 그림 15는 Arrhenius의 기울기에서 구한 전위 장벽의 높이를 보여주고 있다. 전위 장벽의 높이는 격자의 너비가 작아질 수록 낮아진다.

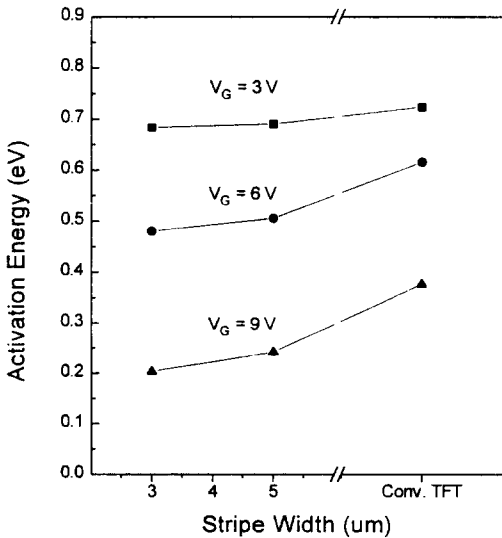


그림 15. Arrhenius곡선으로 부터 도출한 활성화 에너지의 격자 너비에 대한 의존도

Fig. 15. Stripe width dependence of the activation energy obtained from the Arrhenius plot.

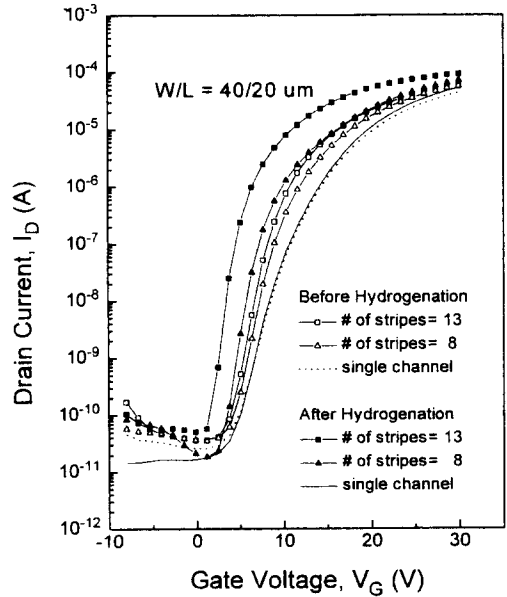


그림 16. 수소화 이전과 이후의 단일 채널 소자와 다중 채널 소자의  $I_D-V_G$  특성 곡선. 수소화 시간은 60분이고 새로운 구조의 소자의 격자 너비는  $3\mu m$  와  $5\mu m$

Fig. 16.  $I_D-V_G$  characteristics for the conventional and new multi-channel TFTs before and after hydrogenation. The hydrogenation time is 60 min.. The new devices have the stripe width of  $3\mu m$  and  $5\mu m$ , respectively.

본 논문에서는 다중 채널 박막 트랜지스터와 기존의 단일 채널 박막 트랜지스터의 수소화 효과의 차이를 분석하기 위하여 수소화 진행후 소자의 특성을 분석해 보았다. 수소 플라즈마에 의한 수소화는 다중 채널 소자와 단일 채널 소자모두에게 동일한 조건으로 기판 온도  $300^\circ C$ , 압력 0.5 Torr, 출력  $0.25 W/cm^2$  그리고 RF 주파수 13.56 MHz 에서 수행했다. 단일 채널 소자의 특성이 거의 변화가 없음에도 불구하고 다중 채널 소자의 문턱 전압, 전계 효과 이동도 (field effect mobility), 그리고 드레인 전류 등의 전기적인 특성들은 현격한 변화를 보였다(그림 16). 특히 격자의 너비가  $3\mu m$ 인 소자의 경우에 이동도는 그림 17에서 보이듯이  $10.4 cm^2/Vsec$  에서  $11.6 cm^2/Vsec$  개선되었고 문턱 이전 기울기(subthreshold slope)는  $1.29 V/dec$  에서  $0.86 V/dec$  로 개선 된 것을 그림 18에서 보여주고 있다.

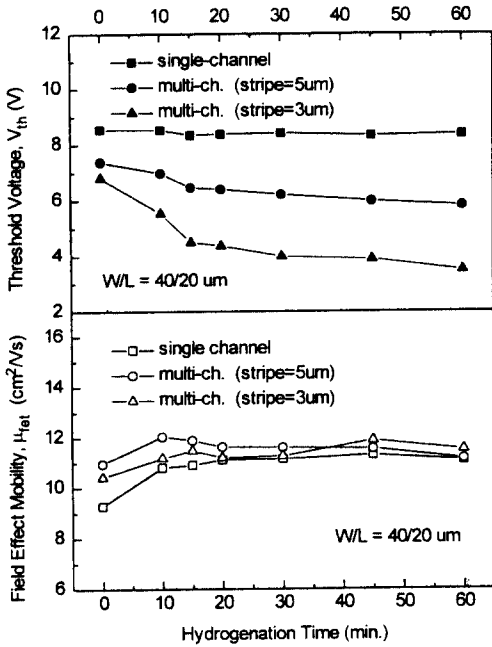


그림 17. 수소화 시간에 따른 문턱 전압과 이동도의 변화  
 Fig. 17. The dependence on the hydrogenation time of the threshold voltage and the field effect mobility for the single and multi-channel TFTs.

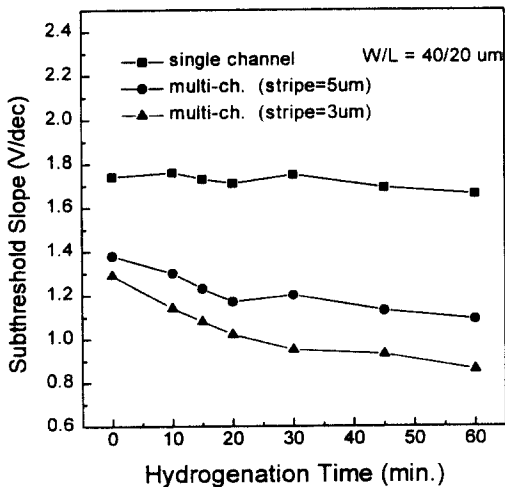


그림 18. 수소화 시간에 따른 문턱 이전 기울기의 변화  
 Fig. 18. The dependence on the hydrogenation time of subthreshold slope for the single and multi-channel TFTs.

이것은 수소 원자가 폴리 실리콘 채널의 위쪽에서 뿐만 아니라 격자의 양쪽 옆에서도 들어오기 때문에 채

널 내의 트랩 밀도를 좀 더 효율적으로 줄여주기 때문으로 설명할 수 있다.

### V. 결 론

본 논문에서는 소자의 게이트가 pn junction으로 이루어진 poly-Si TFT를 제작하였다. 기존의 LDD나 오프셋 게이트 소자가 누설전류를 감소하면서 ON 전류도 감소하는 문제점이 있는데 비하여 새로운 소자는 ON 전류를 감소시키지 않으면서 누설 전류만을 감소시키는 장점을 가지고 있다. 소자 시뮬레이션을 통하여 제안된 소자의 구현 가능성을 검증한 후 소자를 제작하였으며 누설 전류가 10 pA 이하로 감소하는 특성을 보였다. 제작된 새로운 소자의 ON/OFF 전류의 비율은 일반적인 구조의 소자에 비해서 Two Order 이상 개선되었음을 확인하였고 특히 ON 전류의 경우는 일반적인 소자와 거의 같은 수준의 값을 나타내었다.

다중 채널 소자를 동시에 제작하여 박막 트랜지스터의 전반적인 구조에 대해 연구를 수행하였다. 단일 채널 박막 트랜지스터의 이동도는  $9.2 \text{ cm}^2/\text{Vs}$  이었던 것에 비해 다중 채널 소자의 이동도는  $10.5 \text{ cm}^2/\text{Vs}$  의 값을 나타 내었다. 더불어서 다중 채널 소자의 문턱 전압은 6.8 볼트의 값을 나타내어서 8.6 볼트의 값을 보인 단일 채널 소자 경우 보다 우수한 특성을 보였다. 이 현상을 분석하기 위해서 실험으로 부터 구한 특성으로 부터 제작된 소자의 활성화 에너지와 전위 장벽의 값을 계산 하였다. 게이트 인가 전압이 15 볼트 일 때 다중 채널 박막 트랜지스터의 활성화 에너지는 0.06 eV 이었고 단일 채널 소자는 0.17 eV 이었다. 활성화 에너지가 다중 채널 소자에서 낮아진 이유는 채널의 위 쪽에 있는 게이트와 채널의 수직 벽에 있는 게이트 전극으로 부터의 전계가 채널에 집중되어 반송자의 농도가 증가되었기 때문인 것으로 분석하였다. 다중 채널 박막 트랜지스터의 격자 너비가 작을 수록 활성화 에너지가 낮아지는 것을 확인하고 현상에 대한 고찰을 입증하였다.

본 논문에서는 또한 다중 채널 박막 트랜지스터와 기존의 단일 채널 박막 트랜지스터의 수소화 효과의 차이를 분석하기 위하여 수소화 진행후 소자의 특성을 분석해 보았다. 단일 채널 소자의 특성이 거의 변화가 없음에도 불구하고 다중 채널 소자의 문턱 전압, 전계 효과 이동도 (field effect mobility), 그리고 드레인

전류 등의 전기적인 특성들은 현격한 변화를 보였다. 특히 격자의 너비가  $3\mu\text{m}$ 인 소자의 경우에 이동도는  $10.4 \text{ cm}^2/\text{Vsec}$  에서  $11.6 \text{ cm}^2/\text{Vsec}$  로 문턱 이전 기울기(subthreshold slope)는  $1.29 \text{ V/dec}$  에서  $0.86 \text{ V/dec}$  로 개선 되었다.

### 참 고 문 헌

- [1] Seki, O. Kogure, and B.tsujiyama, "Laser-Recrystallized Polycrystalline-Silicon Thin-Film Transistors with Low Leakage Current and High Switching Ratio." IEEE Electron Device Lett., vol. 8, p.434, 1987.
- [2] Tanaka, H. Arai, S. Kohda, "Characterization of offset-structure polycrystalline-silicon thin-film transistors." IEEE Electron Device Lett., vol. 9, p. 23, 1988.
- [3] Zaho, M. Cao, J. D. Plummer, and K. C. Saraswat, "A Novel Floating Gate Spacer Polysilicon TFT", IEDM Tech. Digest, p.393, 1993.
- [4] Lifshitz, S. Luryi, M. R. Pinto, and C. S. Rafferty, "Active-Gate Thin-Film Transistor", IEEE Electron Device Lett, vol. 14, p.394, 1993.
- [5] Unagami and O. Kogure, "Large On/Off Current ratio and Low Leakage Current Poly-Si TFT's with Multichannel Structure", IEEE Trans. Electron Devices, vol. 35, p.1986, 1988.
- [6] Unagami, "High-voltage poly-Si TFT's with multichannel structure", IEEE Trans. Electron Devices, vol. 35, p.2363, 1988.
- [7] K. Lim and J. G. Fossum, "Threshold voltage of thin-film silicon-on-insulator (SOI) MOSFET's", IEEE Trans. Electron Devices, vol. ED-30, p. 1244, 1983.
- [8] Y. W. Seto, "The electrical properties of polycrystalline silicon films", *J. Appl. Phys.* vol. 46, p. 5247, 1975.

---

### 저 자 소 개

---

閔炳赫(正會員) 第31卷 A編 第5號 參照

朴喆民(正會員) 第31卷 A編 第5號 參照

韓民九(正會員) 第31卷 A編 第5號 參照

현재 서울대학교 전기공학과  
교수