

두 단계 열처리에 의해 제작된 다결정 실리콘 박막트랜지스터의 전기적 특성의 분석

論文

45~4~16

Analysis of Electrical Properties of Two-step Annealed Polycrystalline Silicon Thin Film Transistors

崔權永* · 韓民九** · 金容商***
(Kwon-Young Choi · Min-Koo Han · Yong-Sang Kim)

Abstract - The amorphous silicon films deposited by low pressure chemical vapor deposition are crystallized by the various annealing techniques including low-temperature furnace annealing, excimer laser annealing and two-step annealing. Two-step annealing is the combination of furnace annealing at 600 [°C] for 24 h and the sequential furnace annealing at 950 [°C]/1 h or the excimer laser annealing. It is found that two-step annealings reduce the in-grain defects significantly without changing the grain boundary structure. The performance of the poly-Si thin film transistors (TFTs) produced by employing the two-step annealing has been improved significantly compared with those of one-step annealing.

Key Words : Polycrystalline Silicon, Thin Film Transistors (TFTs), Furnace Annealing, Excimer Laser Annealing, Two-step Annealing, Grain Boundary, In-grain Defects

1. 서 론

다결정 실리콘 박막트랜지스터 (polycrystalline silicon thin film transistors)는 액정 표시소자(liquid crystal display)분야에 이용됨에 따라 많은 연구가 이루어져왔다. 다결정 실리콘 박막에는 그레인(grain)과 그레인사이에 존재하는 많은 그레인 경계들 (grain boundaries)로인해 생기는 전위장벽 (potential barrier)때문에 운송자들의 전달특성이 나빠지는 현상이 있다고 발표되었다[1, 2]. 따라서, 다결정 실리콘 박막내의 그레인크기를 크게 함으로써 그레인 경계들의 갯수를 줄여 전위장벽의 영향을 감소시키는 여러가지 방법이 연구되어져 왔다[3, 4]. 이러한 방법들 중에 가장 유력한 것으로서 550 [°C]에서 저압 기상 증착 (low pressure chemical vapor deposition, LPCVD)으로 비정질 실리콘 (amorphous silicon)을 증착한 후 600 [°C] 부근에서 결정화 (solid phase crystallization, SPC)를 하는 것이 큰 그레인을 가질 수 있는 것으로 알려져 있다[4]. 그러나, 이 방법은 큰 그레인을 형성시켜 전위 장벽의 영향을 줄어들게 하나, 저온에서 결정화가 이루어지기 때문에 그레인내부에 많은 결함이 존재하며, 이로 인해 이동도 및 소자 특성의 향상에는 한계가 있다.

저온에서 결정화가 이루어진 다결정 실리콘 박막내의 많은 그레인내부 결함들을 제거하기 위해서 다결정 실리콘 박막위에 고온 열처리를 하거나[5], 엑시머 레이저 (excimer laser)를 조사시켜[6] 우수한 특성을 가지는 박막트랜지스터를 제작한 것이 발표되었다. 그러나, 이러한 논문에서는 여러가지 열처리 방법들이 그레인내부 결함들의 감소와 수소화에 미치는 영향에

관한 체계적이며 정량적인 분석이 거의 이루어지지 않은 실정이다. 최근에 저온 열처리에 의해 제작된 다결정 실리콘 박막에 엑시머 레이저를 조사한 경우의 그레인크기 변화와 내부결함의 구조변화를 투과전자현미경 (transmission electron microscope)으로 분석한 결과 그레인크기는 큰 변화가 없으나, 그레인 내부에 존재했던 많은 결함들, 주로 미세쌍성 (microtwin)들이 현저히 줄어든다는 보고가 있었다[7]. 즉, 박막의 단면에서 레이저 흡수에 따른 녹는 깊이가 바닥의 실리콘과 산화막사이의 계면에까지 이르지 못하게 되면, 바닥에 남아있는 그레인 형태를 유지하면서 재결정화가 이루어지기 때문에 그레인 경계의 변화는 일어나지 않으나, 높은 온도로 결정화가 진행됨에 따라 그레인내부에 존재하는 많은 결함들은 급격히 감소하는 결과를 가져온다. 그러나, 다결정 실리콘 박막의 결함분포의 변화 및 박막트랜지스터의 특성에 대한 두 단계 열처리의 영향을 구체적으로 반영하지는 못했다.

이 논문에서는 소자의 특성과 수소화에 중대한 영향을 미치는 그레인내부 결함을 줄이면서 큰 그레인크기를 유지하는 다결정 실리콘 박막 형성을 위해 저온 고상결정화한 다결정 실리콘 박막을 고온 열처리와 엑시머 레이저로 열처리한 박막 및 박막트랜지스터를 제작하고 열처리 조건에 따른 박막의 결함분포 및 소자의 특성변화를 분석하였다. 그리고, 이를 한 단계 열처리된 다결정 실리콘 박막과 박막트랜지스터의 경우와 비교하였다.

2. 실험 방법

비정질 실리콘을 결정화하여 다결정 실리콘으로 만드는 방법은 현재 크게 2가지 방법이 가장 유력한 것으로 알려져 있다. 첫 번째는 레이저 열처리에 의한 결정화 방법이며 재결정시 높은 온도 (>1000 [°C])에서 이루어지기 때문에 그레인내부에서는 거의 단결정 실리콘처럼 결함이 없는 막질을 형성한다. 그

* 正會員 : 서울大 大學院 電氣工學科 博士課程

** 正會員 : 서울大 工大 電氣工學科 教授 · 工博

*** 正會員 : 明知大 工大 電氣工學科 教授 · 工博

接受日字 : 1995年 11月 22日

最終完了 : 1996年 2月 29日

러나, 작은 그레인크기가 한계이며 조사면적을 주사방식으로 연속적으로 열처리할 때 생기는 겹침 부분 (overlapped region)으로 인한 박막내의 그레인크기의 비균일성도 심각한 문제이다. 두 번째는 고상결정화 (solid phase crystallization, SPC)에 의한 결정화가 많이 사용된다. 저온 고상결정화의 경우 낮은 결정핵 생성속도 (nucleation rate)때문에 큰 그레인이 생성되며 결정성장속도 (growth rate)가 레이저 열처리에 비해 매우 낮기 때문에 균일한 그레인을 가진 박막을 만들 수 있으나, 낮은 온도로 인해 그레인내부에 생기는 많은 결함들이 소자의 이동도 및 전기적 특성을 나쁘게 만드는 단점이 있다.

이 논문에서는 실리콘 웨이퍼위에 5000 [Å]의 산화막을 상압기상증착 (Atmospheric Pressure CVD) 방법으로 증착한 다음, 비정질 실리콘을 저압기상증착 (Low Pressure CVD) 방법으로 550 [°C]에서 500, 750, 1000, 2000 [Å]씩 증착하였다. 이는 레이저 열처리에 의한 그레인 형성이 박막의 두께에 민감하게 영향을 받기 때문이다. 따라서, 우리는 박막트랜지스터의 활성층 박막으로 다음의 두 종류를 사용하였다. 첫 번째는, 증착된 비정질 실리콘 박막을 600 [°C]에서 24 시간 동안 노 (furnace)에서 가열하거나 진공에서 레이저를 조사하는 한 단계 열처리에 의한 형성된 다결정 실리콘 박막이다. 두 번째는, 증착된 비정질 실리콘을 600 [°C]에서 24 시간동안 열처리하여 만들어진 다결정 실리콘 박막을 고온에서 열처리를 하거나, 레이저로 한번 더 열처리하는 두 단계 열처리에 의해 만들어진 박막이다. 고온 열처리는 950 [°C]에서 1 시간동안 노에서 가열하였으며, 레이저 열처리는 레이저 에너지 밀도를 200 [mJ/cm²]부터 350 [mJ/cm²]까지 변화시키면서 박막에 조사하였다. 활성층 영역을 정의한 후 게이트 절연막으로는 상압기상증착 방법으로 산화막을 1000 [Å]두께로 증착하고 연속해서 게이트막을 증착한 후 다결정 실리콘 박막트랜지스터를 제작하였다. 수소화는 플라즈마 반응 챔버에서 300 [°C]의 온도에서 이루어졌다. 소자제작공정과 수소화 조건에 대해서는 이전 발표에 상세하게 설명되었다[8].

3. 결과 및 고찰

3.1 다결정 실리콘 박막의 열처리효과

그림 1은 레이저 열처리와 저온 고상결정화로 형성된 다결정 실리콘 박막의 그레인의 평면 구조를 전자주사현미경 (scanning electron microscope, SEM)으로 나타낸 그림이다. 레이저 열처리한 것은 그레인의 크기는 작고 균일하지는 않지만 그레인내부에는 결함이 보이지 않는 반면 고상결정화된 다결정 실리콘에는 크고 균일한 그레인내부에 수 많은 결함이 존재함을 볼 수 있다.

저온 고상결정화한 후 레이저 열처리를 하는 경우 박막의 짙은 레이저 에너지 밀도와 다결정 실리콘 박막의 두께에 따라 민감하게 영향을 받는다고 발표되었다[7]. 즉, 레이저 조사시에는 빛이 박막의 표면에서 흡수되어 표면부터 녹으면 점차 아래로 진행되는 데 에너지가 낮으면 녹는 깊이가 너무 얕아서 막 질에 영향을 미치지 못하고, 너무 큰 경우는 녹는 깊이가 바닥의 Si/SiO₂계면까지 이르러 박막 전체에서 재결정화가 이루어 지므로 고상결정화에 의해 형성된 그레인 경계구조가 소멸된다. 따라서, 바닥의 Si/SiO₂계면 바로 위까지 녹는 과정이 진행

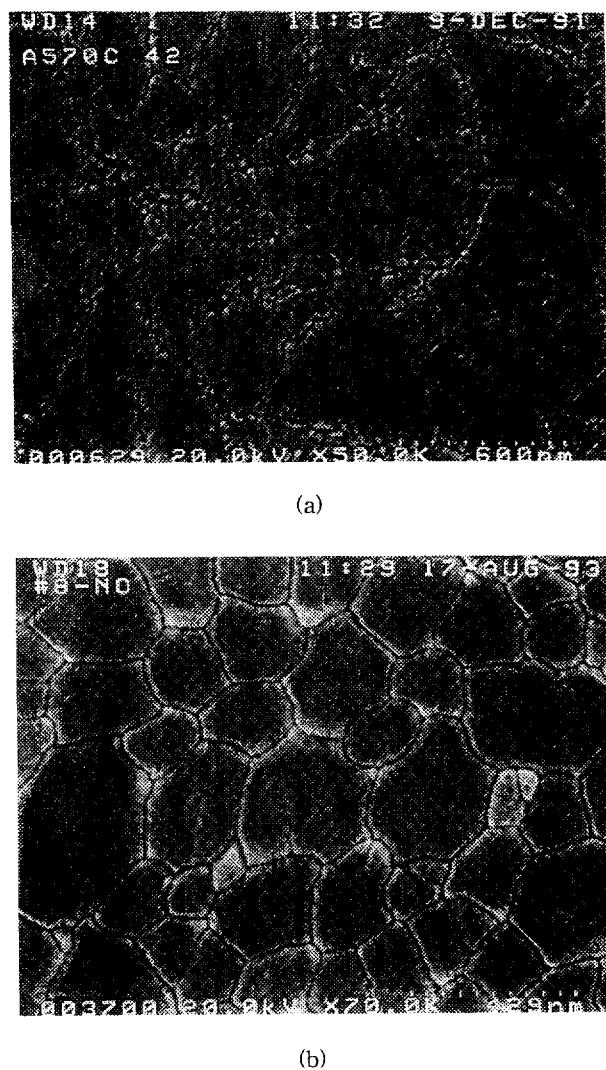


그림 1 결정 방법에 따른 다결정 실리콘 박막의 평면 구조 SEM 사진

- (a) 저온 고상결정화된 다결정 실리콘 박막의 크지만 결함이 많은 그레인 구조
- (b) 엑시머 레이저 열처리된 다결정 실리콘 박막의 적고 결함이 거의 없는 그레인 구조

Fig. 1 The scanning electron micrographs of grain structure in the polysilicon films. (a) large but heavily defected grain of furnace annealed polysilicon film, (b) small but defect-free grain of laser annealed polysilicon film

될 경우에만 그레인내부의 결함이 효과적으로 제거되어 막질의 혁신적인 향상이 발생한다.

그림 2에서 자외선 반사도 (UV reflectance)로부터 구해진 결정화정도 (crystallinity)를 비정질 실리콘 박막과 저온 고상결정화된 다결정 실리콘 박막의 경우에 대해서 레이저 에너지 밀도와 박막의 두께에 대해 각각 나타내었다. 비정질 실리콘에 레이저 열처리를 할 때 박막이 너무 두꺼운 경우 즉, 2000 [Å]의 경우는 레이저 흡수가 잘 일어나지 않는다. 1000 [Å] 이하

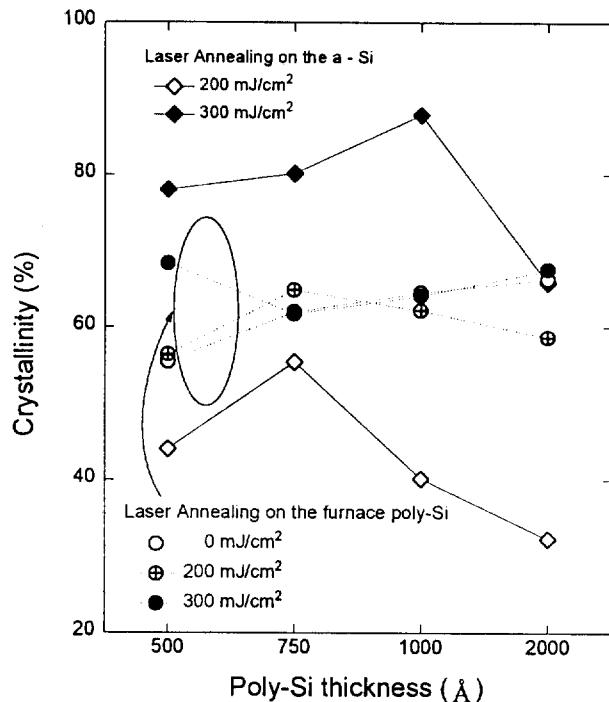


그림 2 열처리조건과 박막 두께의 변화에 따른 결정화도
Fig. 2 The crystallinity as functions of film thickness and annealing technique

의 박막에서는 두께가 증가할 수록 결정화도는 향상되며 이는 결정 성장이 아래 Si/SiO₂계면에서부터 시작하므로 표면에서의 그레인크기는 박막이 두꺼울 수록 커지기 때문이다. 레이저 에너지가 200 [mJ/cm²]일 때 1000 [Å] 박막의 결정화도는 감소하는 데 이는 녹는 깊이가 바닥까지 이르지 못했기 때문인 것으로 생각되어진다. 이에 반해 고상결정화된 다결정 실리콘 박막의 레이저 조사의 경우는 마찰의 변화는 박막의 두께에 심각하게 영향을 받는다. 박막의 두께가 750 [Å] 이상일 때는 레이저 에너지 밀도 및 박막의 두께에 관계없이 고상결정화된 다결정 실리콘 박막의 결정화도는 거의 변화하지 않는다. 이는 다결정 실리콘의 높은 녹는점(1150[°C] 이상)때문에 녹는 부분이 매우 줄어들어 두꺼운 박막에서는 거의 영향을 미치지 못하게 되기 때문이다. 500 [Å]의 다결정 실리콘 박막에서는 레이저 에너지 밀도에 따라 결정화도가 민감하게 변화하며 특히 300 [mJ/cm²]의 레이저 조사는 결정화도의 급격한 증가를 가져오게 된다. 이는 열전달시뮬레이션(heat flow simulation)의 계산[11]에 의해 구해진 300 [mJ/cm²]의 레이저 에너지 밀도에서 녹는 깊이의 값이 약 440 [Å] 정도였음을 보아 거의 바닥까지 녹는 부분이 진행된 것을 알 수 있다.

열 전달 시뮬레이션에 의하면 350 [mJ/cm²]일 때 녹는 깊이가 700 [Å]가 되어 500 [Å]의 다결정 실리콘 박막은 완전히 녹게 되는 데 이러한 시뮬레이션 결과를 그림 3에서 비정질 실리콘의 레이저 열처리와 비교하여 입증하였다. 1000 [Å]의 다결정 실리콘 박막은 레이저 에너지가 증가해도 거의 변화가 없는 반면, 500 [Å]의 다결정 실리콘 박막의 경우는 300 [mJ/cm²]에서 급격한 증가가 있으며, 350 [mJ/cm²]에서는 비정질 실리콘의 레이저 열처리와 거의 비슷한 결정화도를 가지게 된다. 이는 300 [mJ/cm²]일 때 녹는 면이 거의 바닥의 계면

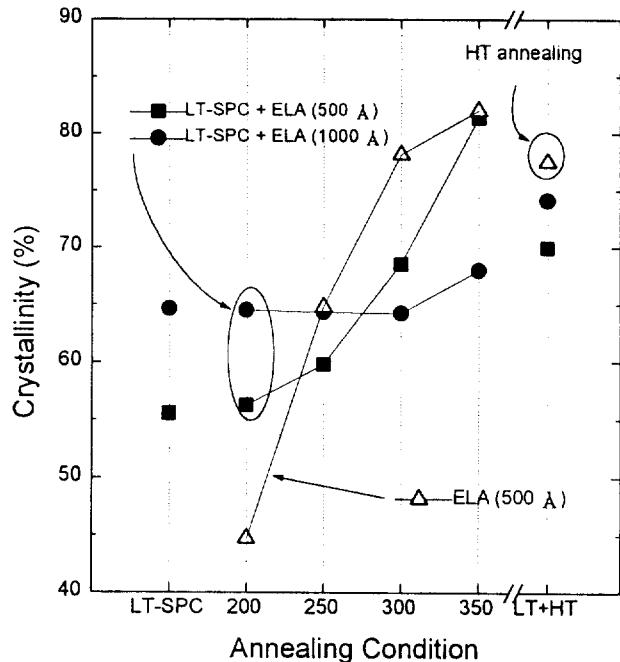


그림 3 레이저 열처리에 의한 비정질 실리콘박막과 고상결정화된 다결정 실리콘 박막의 결정화도의 변화
Fig. 3 The crystallinity behavior of FA polysilicon films (filled symbol) and amorphous silicon films (open symbol) according to laser energy density

에까지 이르게되어 그레인내부결함이 급격히 감소하게되고 350 [mJ/cm²]에서는 녹는 면이 박막 전체에 이르러 그레인이 재형성되므로 비정질 실리콘의 경우와 같아지게 됨을 의미한다. 따라서, 500 [Å] 두께의 고상결정화된 다결정 실리콘 박막을 300 [mJ/cm²]의 레이저 열처리할 때 큰 그레인을 유지하면서 내부의 결함도 현격히 줄어들게 할 수 있으며, 이 값은 시뮬레이션에 의해 계산된 값과 정확히 일치하는 결과이다. 그리고 저온 고상결정화된 박막에 고온 열처리를 할 경우 비정질 실리콘을 고온 열처리한 것보다는 작지만, 열처리전의 결정화도보다는 증가한 값의 결정화도를 가짐을 확인하였다.

3.2 다결정 실리콘 박막트랜지스터에 대한 여러가지 열처리의 효과

3.2.1 한 단계 열처리된 다결정 실리콘 박막트랜지스터의 특성

저온 고상결정화 된 다결정 실리콘 박막트랜지스터는 그림 4에서처럼 큰 문턱전압과 낮은 전개효과이동도를 가지며, 낮은 on 전류값을 가지게 된다. 비정질 실리콘에 레이저 열처리를 한 박막트랜지스터의 특성은 박막에서의 레이저 열처리 실험결과와 비슷함을 알 수 있다. 즉, 1000 [Å] 두께의 박막을 레이저 에너지를 증가시키며 열처리한 경우 박막에서는 큰 특성의 향상이 있었는데 이는 그레인 성장이 박막의 아래쪽 Si/SiO₂ 계면에서부터 시작되기 때문이었다. 소자에서도 역시 500 [Å] 두께의 박막트랜지스터에서의 레이저 에너지 밀도의 증가에 의한 특성 향상 폭이 1000 [Å] 두께의 박막트랜지스터에서의 그 것보다 상당히 적음을 볼 수 있다. 그러나, 레이저 열처리한 소자들의 on 특성은 저온 다결정 실리콘에 비해 상당히 증가함을

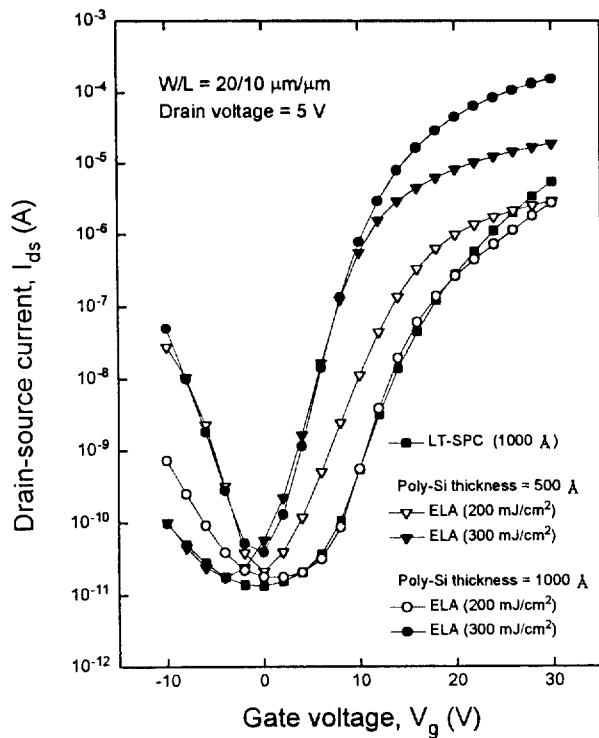


그림 4 한 단계 열처리(저온 고상결정화, 레이저 열처리)에 의해 제작된 다결정 실리콘 박막트랜지스터의 특성 곡선

Fig. 4 The transfer characteristics of polysilicon TFTs with active layers fabricated by one-step annealing, such as LT-FA and ELA

보이고 있는 데 반해 off 특성에서 큰 누설 전류가 문제점으로 드러난다. 누설전류는 음의 게이트 전압이 가해질 때 채널에 모이는 정공층과 드레인접합사이의 공핍층에서의 정공의 터널링에 의해 발생한다고 알려져 있다[9]. 그리고, 이러한 터널링은 공핍층내에 존재하는 그레이인 경계들의 결합에 주로 영향을 받기 때문에[9], 비정질 실리콘을 레이저 열처리시 형성되는 작은 그레이인들은 공핍층내에서의 그레이인 경계들을 많이 발생시켜 누설전류를 크게 한다고 발표되었다[10].

3.2.2 두 단계 열처리를 한 다결정 실리콘 박막트랜지스터의 특성

저온 고상결정화된 다결정 실리콘 박막을 재열처리할 경우 박막이 완전히 녹아 그레이인이 재 형성되지 않는다면, 그레이인 경계면은 거의 변화가 없고 그레이인내부에서의 결합이 제거될 수 있다는 것을 3-1절에서 제시하였다. 고상결정화한 다음 고온 열처리를 하거나 레이저 열처리한 다결정 실리콘 박막트랜지스터의 특성곡선을 그림 5에 나타내었다. 3-1절에서 볼 수 있었던 것처럼 1000 [Å] 두께의 저온 고상결정화로 만들어진 다결정 실리콘 박막트랜지스터는 레이저 열처리에 의해 거의 영향을 받지 않는 것을 알 수 있다. 이에 반해 500 [Å] 두께의 다결정 실리콘 박막트랜지스터는 레이저 열처리에 의해 전계효과이동도 및 문턱전압이 급격하게 향상되었을 뿐 아니라 누설전류도 비정질 실리콘의 레이저 열처리의 경우와는 달리 조금 감소하는 경향을 보인다. 이는 500 [Å]의 경우는 그레이인내부 결

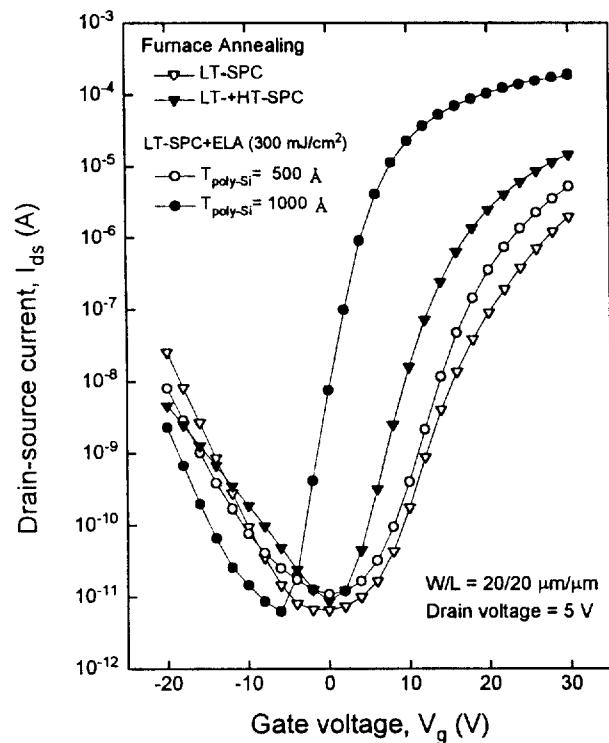


그림 5 두 단계 열처리에 의해 제작된 다결정 실리콘 박막트랜지스터의 특성 곡선

Fig. 5 The transfer characteristics of two-step annealed polysilicon TFTs

함이 레이저 열처리에 의해 현저히 줄어들지만, 그레이인크기는 큰 변화가 없을 뿐 아니라 오히려 그레이인 경계내의 결합들이 다소 줄어들기 때문에 누설전류는 약간 감소하는 것으로 설명되어진다. 저온 고상결정화되어진 다결정 실리콘 박막을 고온에서 열처리하는 경우는 문턱전압의 감소와 전계효과이동도의 증가가 크게 두드러지지 않는다. 이는 재열처리시 낮은 온도로 인해 그레이인내부의 결합들이 효과적으로 제거되지 못하여 남아있기 때문이다. 지금까지 여러가지 열처리 방법으로 제작된 다결정 실리콘 박막트랜지스터들의 소자변수들을 정리하여 표 1에 나타내었다.

표 1 여러가지 박막 트랜지스터의 소자 변수

Table 1 Device Parameters of the various polysilicon TFTs
문턱전압과 전계효과 이동도는 V_{th} 과 μ_{fet} . $V_{ds} = 5V$ 와 $V_{gs} = 30V$ 에서 드레인 전류는 I_{on} . 그리고, $V_{ds} = 5V$ and $V_{gs} = -10V$ 에서의 누설전류는 I_{off} . on-off-전류비는 $R_{on/off}$

Annealing Type	V_{th} (V)	μ_{fet} (cm^2/Vs)	$I_{on}(30V)$ (μA)	$I_{off}(-10V)$ (pA)	$R_{on/off}$ ($\times 10^5$)
LT-FA (1000 Å)	19.2	10.7	5.416	98.75	0.548
ELA (1000 Å, 300mJ/cm²)	8.2	30.2	159.8	49180	0.032
LT-FA+HT-FA (1000 Å)	12.8	12.87	28.96	374.5	0.773
LT-FA_ELA (500 Å, 300mJ/cm²)	2.2	31.46	31.46	25.42	149.5

3.3 드레인 전류의 활성화 에너지 (activation energy)에 대한 여러가지 열처리의 영향

다결정 실리콘 박막트랜지스터에서 드레인 전류는 단결정 실리콘 트랜지스터와 같이 동작온도에 따라 열적으로 활성화되며 그 관계식은 다음처럼 활성화 에너지 (E_a)를 가지게된다[11].

$$I_{ds} \propto \exp(-E_a/kT) \quad (1)$$

이 활성화 에너지는 드레인 전류의 온도에 따른 변화값으로부터 구해질 수 있으며, 게이트 전압이 인가될 때 발생하는 채널영역의 표면 전위 (surface potential)을 의미한다. 한 단계 열처리와 두 단계 열처리에 의해 제작된 다결정 실리콘 박막 트랜지스터의 드레인 전류의 활성화 에너지를 게이트 전압에 따라 그림 6에서 나타내었다. 그림 6에서처럼 게이트 전압의 변화에 따라 각 소자의 활성화 에너지가 각각 다르게 반응하는 것은 실리콘 밴드갭 (bandgap)내의 금지구역(forbidden gap)에서의 트랩밀도의 분포가 다르기 때문이다[11, 12]. 이러한 트랩밀도는 크게 두 가지이며, 그레이인 경계면의 결합들로부터 기인하는 깊은 상태밀도 와 그레이인내부에 존재하는 미세쌍성 등의 결합들에 의한 얕은 상태밀도로 나뉘어질 수 있다. 그림 6a에서 저온 고상결정화된 소자의 활성화 에너지는 양의 게이트 전압에서는 전압이 증가함에 따라 느린 속도로 줄어들며 음의 게이트 전압에서는 완만한 감소특성을 갖는다. 양의 게이트 전압에서의 이러한 느린 활성화 에너지의 변화는 저온에서 결정화된 박막내의 많은 얕은 상태밀도들이 게이트 전계에 따른 페르미준위가 변하는 것을 방해하기 때문이다[12]. 그리고, 음의 게이트 전압에서의 누설전류는 그레이인 경계갯수, 즉 깊은 상태밀도의 밀도에 영향을 받으므로 깊은 상태밀도 밀도가 커질수록 열방출 (thermeionic emission)보다는 터널링 (tunneling)에 의해 누설전류가 발생하게 된다[13]. 따라서, 고상결정화된 소자에서는 큰 그레이크기로 인한 낮은 깊은 상태밀도 밀도때문에 열방출이 누설전류의 주메카니즘이므로 활성화 에너지는 큰 값을 가지게 된다. 그러나, 레이저 열처리된 다결정 실리콘 박막트랜지스터의 활성화 에너지는 on 상태에서는 급격한 감소를 보이나 off 상태에서도 역시 빠른 감소를 보이고, 있다. 이는 레이저 열처리에 의해 형성된 다결정 실리콘 박막에서는 적은 그레이인내부결합들로 인해 감소된 얕은 상태밀도 밀도때문에 양의 게이트 전압에서의 활성화 에너지가 급격히 감소하지만, 작은 그레이크기로 인한 박막내의 많은 깊은 상태밀도 밀도로 인해 터널링이 지배적인 누설전류의 매개변수들이 되어 음의 게이트 전압에 따라 활성화 에너지는 빠르게 감소한다.

그림 6b에서 두 단계 열처리된 다결정 실리콘 박막트랜지스터의 활성화 에너지는 한 단계 열처리의 경우와는 다른 특성을 보임을 알 수 있다. 특히 고상결정화와 레이저 열처리를 행한 소자의 활성화 에너지는 on 상태에서는 게이트 전압에 대해 매우 빠른 반응을 보이나 음의 게이트 전압에서는 고상결정화 소자의 경우와 비슷하게 완만한 감소특성을 갖는다. 이는 두 단계 열처리를 한 박막에서는 얕은 상태밀도가 매우 줄어들어 on 상태에서는 빠른 활성화 에너지 감소를 볼 수 있으나, 깊은 상태밀도 밀도는 거의 변화없으므로 누설전류는 고상결정화 소자의 경우처럼 주로 열 방출에 의해 생기기 때문이다.

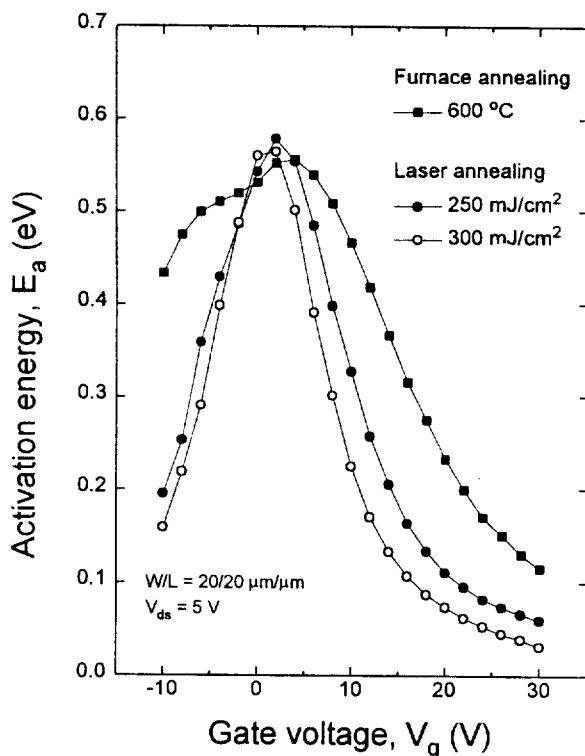


그림 6a 한 단계 열처리에 의해 제작된 소자의 게이트 전압에 따른 드레인 전류의 활성화 에너지의 변화

Fig. 6a Activation Energy versus gate voltage for 3 different one-step annealed TFTs

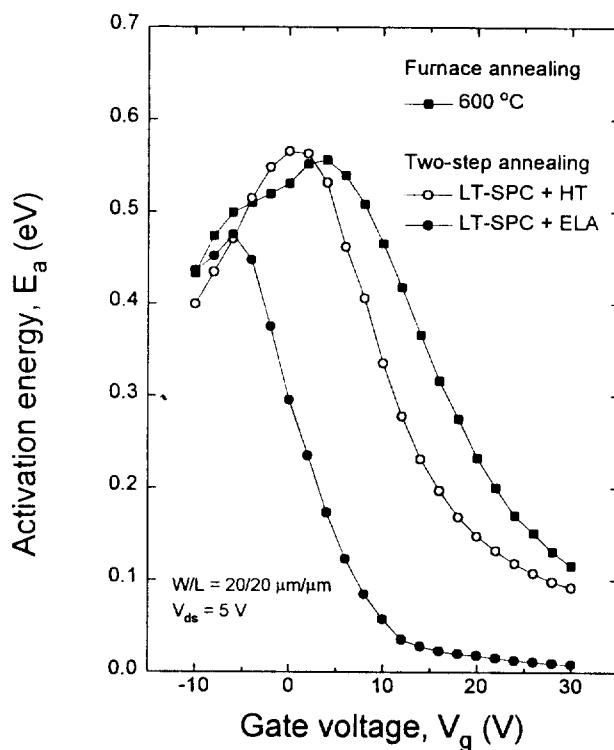


그림 6b 두 단계 열처리에 의해 제작된 소자의 게이트 전압에 따른 드레인 전류의 활성화 에너지의 변화

Fig. 6b Activation Energy versus gate voltage for LT-FA and two-step annealed TFTs

4. 결 론

다결정 실리콘 박막의 그레이인크기를 크게하는 저온 고상결정화 방법과 운송자 전달 특성과 수소화에 중대한 영향을 미치는 그레이인내부 결함을 획기적으로 줄일 수 있는 고온 열처리나 레이저 열처리를 병합한 두 단계 열처리 방법에 의해 제작된 다결정 실리콘 박막 및 박막트랜지스터의 특성에 대해서 살펴보았다. 저온 고상결정화하거나 레이저 열처리만한 것에 비해 두 단계 열처리에 의해 형성된 다결정 실리콘 박막은 큰 그레이인크 기로 인해 낮은 그레이인 경계면 밀도를 가지면서 동시에 그레이인 내부 결함들의 효과적인 감소가 일어나 비교적 낮은 그레이인내부결함을 가지는 특성을 보인다. 따라서, 두 단계 열처리된 다결정 실리콘 박막트랜지스터의 특성곡선은 큰 전계효과이동도와 낮은 문턱전압을 보일 뿐 아니라, off 영역에서의 낮은 누설 전류 현상도 보이고있다. 이러한 결과에 대해 각 소자의 드레인 전류의 활성화 에너지 변화로 부터 겸종이 이루어졌다. 따라서 두 단계 열처리는 다결정 실리콘 박막트랜지스터의 특성과 동자 온도에 대한 영향을 획기적으로 개선시킴을 확인하였다.

참 고 문 헌

- [1] J.Y.T Seto, The electrical properties of polycrystalline silicon films, *J. Appl. Phys.*, vol.46, pp. 5247, 1975
- [2] G. Baccarani, B. Ricco and G. Spadini, Transport properties of polycrystalline silicon films, *J. Appl. Phys.*, vol. 49, pp.5565-5570, 1978
- [3] M.K. Hatalis, and D.W. Greve, High-performance thin-film transistors in low-temperature crystallized LPCVD amorphous silicon films, *IEEE Elec. Dev. Lett.*, vol. EDL-8, p. 361, 1987
- [4] T.I. Kamins, M.M. Mandurah, and K.C. Saraswat, Structure and stability of low pressure chemically vapor-deposited silicon films, *J. Electrochem. Soc.*, vol.125, p. 927, 1978
- [5] T. Aoyama, Y. Mochizuki, G. Kawachi, S. Oikawa, and K. Miyata, Leakage currents reduction of Poly-Si TFTs by two step annealing, *Ext. Abs. of the 1990 International Conference on Solid State Devices and Materials*, pp. 389-392, 1990
- [6] N. Kodama, H. Tanabe, K. Sera, K. Hamada, S. Saitoh, F. Okumura, and K. Ikeda, Uniform performance TFT with excimer laser annealing of solid phase crystallized Poly-Si, *Ext. Abs. of the 1993 International Conference on Solid State Devices and Materials*, pp. 431-433, 1993
- [7] R. Carluccio, J. Stoemenos, G. Fortunato, D.B. Meakin, M. Bianconi, Microstructure of polycrystalline silicon films obtained by combined furnace and laser annealing, *Appl. Phys. Lett.*, 66(11), pp. 1394-1396, 1995
- [8] Y.S. Kim, K.Y. Choi, S.K. Lee, B.H. Min, and M.K. Han, Structural dimension effects of plasma hydrogenation on low-temperature poly-Si thin film transistors, *Jpn. J. Appl. Phys.*, vol. 33, pp. 649-, 1994
- [9] J.G. Fossum, A. Ortiz-Conde, H. Shichijo, and S.K. Banerjee, Anomalous leakage current in LPCVD polysilicon MOSFETs, *IEEE Trans. Elect. Dev.*, vol. ED-32, pp. 1878-1884, 1985
- [10] T. Aoyama, Y. Koike, Y. Okajima, N. Konishi, T. Suzuki, and K. Miyata, Effects of hydrogenation of the leakage currents of laser-annealed polysilicon TFTs, *IEEE Trans. Elec. Dev.*, vol. 38, pp. 2058-2061, 1991
- [11] B.A. Khan and P. Pandya, Activation energy of source-drain current in hydrogenated and unhydrogenated polysilicon thin-film transistors, *IEEE Trans. Elect. Dev.*, vol. 37, pp. 1727-1734, 1990
- [12] I-W. Wu, A.G. Lewis, T.Y. Huang, W.B. Jackson and A. Chiang, Mechanism and device-to-device variation of leakage current in polysilicon thin film transistors, in *IEDM Tech. Digest*, pp. 867-870, 1990
- [13] I-W. Wu, A.G. Lewis, T.Y. Huang, W.B. Jackson and A. Chiang, Mechanism and device-to-device variation of leakage current in polysilicon thin film transistors, in *IEDM Tech. Digest*, pp. 867-870, 1990

저 자 소개



최 권 영 (崔 權 永)

1971년 1월 23일생. 1992년 서울대 공대 전기공학과 졸업. 1994년 동 대학원 전기공학과 졸업(석사). 1994년~현재 서울대학교 전기공학과 박사과정 재학중. 주관심 분야는 TFT-LCD 화소소자 및 구동회로 등임

한 민 구 (韓 民 九)

전기학회논문지 제45권 제2호 참조

김 용 상 (金 容 商)

1965년 6월 5일생. 1988년 서울대 공대 전기공학과 졸업. 1994년 서울대 대학원 전기공학과 졸업(공박). 1994년~1995년 신소재 박막 가공연구센터 연구원. 1995년~현재 명지대학교 공대 전기공학과 조교수. 주관심분야는 TFT-LCD 화소소자임