

# 턴-오프 특성이 향상된 Shorted Anode 수평형 MOS 제어 다이리스터

論 文  
45~4~15

## A Shorted Anode Lateral MOS Controlled Thyristor with Improved Turn-off Characteristics

金成東\* · 韓民九\*\* · 崔然益\*\*\*  
(Seong-Dong Kim · Min-Koo Han · Yearn-Ik Choi)

**Abstract** - A new lateral MOS controlled thyristor, named Shorted Anode LMCT(SA-LMCT), is proposed and analyzed by a two-dimensional device simulation. The device structure employs the implanted n+ layer which shorts the p+ anode together by a common metal electrode and provides a electron conduction path during turn-off period. The turn-off is achieved by not only diverting the hole current through the p+ cathode short but also providing the electron conduction path from the n-base into the n+ anode electrode. In addition, the modified shorted anode LMCT, which has an n+ short junction located inside the p+ anode junction, is also presented. It is shown that the modified SA-LMCT enjoys the advantage of no snap-back behavior in the forward characteristics with little sacrificing of the forward voltage drop. The simulation result shows that the turn-off times of SA-LMCT can be reduced by one-fourth and the maximum controllible current density may be increased by 4.5 times at the expense of 0.34 V forward voltage drop as compared with conventional LMCT.

**Key Words** : MOS controlled thyristor, LMCT, turn-off, shorted Anode

### 1. 서 론

최근에 논리 및 아날로그회로와 고전압 소자를 하나의 칩에 구현시키는 고전압 집적회로(High Voltage Integrated Circuit; HVIC)의 응용이 확대됨에 따라, MOSFET, IGBT 및 MCT 등 높은 입력 임피던스 특성으로 구동이 용이한 MOS 게이트 구조의 고전압 수평형 스위칭 소자의 연구가 활발하게 진행되고 있다[1]. 또한 고전압 집적회로에서 SOI(Silicon-on-insulator) 기판을 이용하는 절연격리(dielectric isolation)는 누설전류가 작고 집적도를 향상시킬 수 있으며 기생적(parasitic) 성분을 제거할 수 있기 때문에 기존의 접합격리(junction isolation)에 비하여 많은 장점을 갖고 있다[2].

전력용 스위칭 소자가 갖추어야 할 중요한 요구조건은 낮은 순방향 전압강하와 빠른 스위칭 속도를 들 수 있다. 전력 MOSFET의 경우에는 스위칭 속도는 빠르지만 on-저항이 크고, IGBT인 경우에는 드리프트(drift) 영역의 전도도 변조(conductivity modulation)로 인하여 전력 MOSFET에 비해서 순방향 전압 강하는 작지만 래치-업(latch-up) 전류 제한 등의 단점이 있다[3,4]. 이러한 단점들을 극복하여 더 낮은 순방향 전압강하와 고전압 대전류용 소자를 실현하기 위해서는 래칭(latching) 전류를 이용한 다이리스터 구조를 갖는 소자가 필연적이다.

80년대 중반에 개발되어 최근에 새로운 전력 반도체 소자의 범주로 각광을 받기 시작한 MOS 제어 다이리스터(MOS

controlled thyristor; MCT)는 순방향 전압 강하가 낮아 대전류 용으로 적합하고 MOS 게이트로 구동되기 때문에 구동이 용이하며 높은 dv/dt 능력을 갖춘 소자이다[5~9]. 기존의 다이리스터는 일단 턴-온이 되면 게이트 신호에 의한 턴-오프 능력이 없는 반면 MCT는 MOS 제어 에미터 단락(MOS controlled emitter short)에 의해서 턴-오프를 시킬 수 있는 소자로서 수직형 구조의 개발과 더불어 고전압 집적회로용 수평형 구조도 제안되고 있다.

최근에 제안된 수평형 MCT(LMCT) [6]는 그림 1과 같이 동일한 MOS 게이트에 의해 턴-온과 턴-오프를 시킬 수 있는 구조로서 짧은 채널의 p-채널 DMOS 트랜지스터를 갖기 때문에 턴-오프 능력을 향상시킬 수 있고 삼중 확산이 필요하지 않아 소자 제작이 비교적 용이하다. 그러나 이 소자는 도통시 기생하는 pnp 트랜지스터와 npn 트랜지스터의 회생 작용(regenerative action)으로 인해 생성된 전자-홀 플라즈마가 턴-오프 기간 동안 홀은 p-채널 DMOS 트랜지스터로 추출되지만 전자는 홀과의 재결합(recombination)에만 의존하므로 베이스의 소수 캐리어의 수명(lifetime)에 민감하게 되고 긴 tail 전류를 갖게 된다.

본 논문에서는 기존의 p' 아노드에 n' 확산층을 단락시킨 두 가지 종류의 shorted anode 수평형 MOS 제어 다이리스터(shorted anode MOS controlled thyristor; SA-LMCT)를 제안하여 턴-오프시 전자 전도 경로(electron conduction path)를 형성시켜서 순방향 전압강하의 큰 손해 없이 스위칭 속도 및 최대 턴-오프 능력을 향상시키려는데 목적이 있다. 또한 n' 아노드층의 구조를 변화시킨 수정된 SA-LMCT의 특성을 비교하고 아노드 길이등의 소자의 설계 변수에 따른 순방향 특성 및 턴-오프 특성을 2 차원 소자 시뮬레이션을 통해서 분석하고자 한다.

\* 正 會 員 : 現代電子 先任研究員 · 工博  
\*\* 正 會 員 : 서울大 工大 電氣工學部 教授 · 工博  
\*\*\* 正 會 員 : 아주大 工大 電子工學科 教授 · 工博  
接受日字 : 1995年 8月 8日  
最終完了 : 1996年 2月 28日

## 2. 소자의 구조 및 동작

그림 1에서 볼 수 있듯이 기존의 LMCT는 등가적으로 기생 npn 트랜지스터와 pnp 트랜지스터가 상호 연결되어 있기 때문에 각 트랜지스터의 전류이득은 소자의 온-특성 및 턴-오프 성능에 영향을 미친다. 특히 MCT에서 가장 중요한 문제인 턴-오프를 시키기 위해서는 두 기생 트랜지스터의 전류이득의 합을 1 이하로 낮추어야 하기 때문에 베이스의 농도 및 두께 등 설계 변수의 세심한 고려가 필요하다. 또한, 턴-오프 채널인 PMOS의 채널저항은 턴-오프 능력에 절대적인 변수이므로 DMOS 공정으로 채널 길이를 조절하고 유효 채널폭을 크게 하여 채널저항을 최소화하여 최대 제어가능 전류를 향상시킨다.

제안한 shorted anode LMCT(Type A)의 단면도는 그림 2 (a)와 같다. 절연격리를 위해서 p-형 SOI 기판위에 턴-오프시킬 수 있는 p 채널 DMOS 트랜지스터와 턴-온 시킬 수 있는 n 채널 수평형 MOS 트랜지스터를 형성시켰으며 p' 아노드 쪽에 n' 층을 확산시켜 두 층을 아노드 전극에 공통으로 단락시켰다.

항복전압을 향상시키기 위해서 RESURF(REduced SURface Field) 원리 [2]를 적용하였는 바, 이는 n 베이스 영역의 전하를 조절하여 완전히 공핍화시킴으로써 실리콘 표면에서의 최대 전계를 완화시켜 소자의 항복전압을 극대화시키는 것이다. 특히 shorted anode 구조는 순방향 차단시 수평형 pnp 트랜지스터의 전류이득,  $\alpha_{pnp}$ 이 매우 작기 때문에 n<sup>-</sup> 베이스/p 베이스 접합의 다이오드 항복전압에 가깝게 된다. 따라서 기존의 구조에 비해서 더 높은 순방향 항복전압을 달성할 수 있다.

그림 2에 나타낸 바와 같이 shorted anode 구조의 등가회로는 npn 트랜지스터와 단락된 pnp 트랜지스터(short-circuited pnp transistor)가 상호 연결되어 있다. pnp 트랜지스터의 베이스는 병렬 저항  $R_s$ 를 통해서 아노드(에미터) 전극과 연결되어 있으므로 유효 전류이득은 다음과 같이 표현될 수 있다.

$$\alpha_{mp,short} = \alpha_{mp} \frac{I_{E,mp}}{I_{E,mp} + \frac{V_{BE,mp}}{R_s}} \quad (1)$$

여기서  $\alpha_{mp}$ 는 기존의 구조 ( $R_s = \infty$ )의 기생 pnp 트랜지스터의 전류이득이고  $I_{E,mp}$ 와  $V_{BE,mp}$ 는 각각 pnp 트랜지스터의 에미터 전류와 베이스-에미터 사이의 전압을 나타낸 것이다. 위 식으로부터  $\alpha_{mp,short}$ 는 병렬 저항  $R_s$ 의 크기가 작을수록  $\alpha_{mp}$

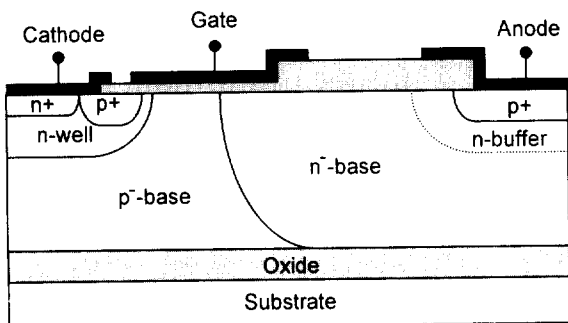


그림 1 기존의 LMCT의 단면도  
Fig. 1 Cross section of the conventional LMCT

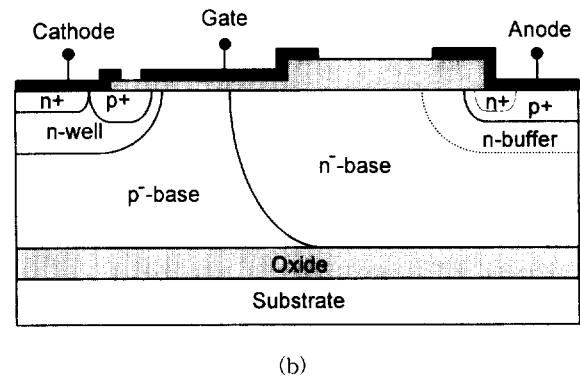
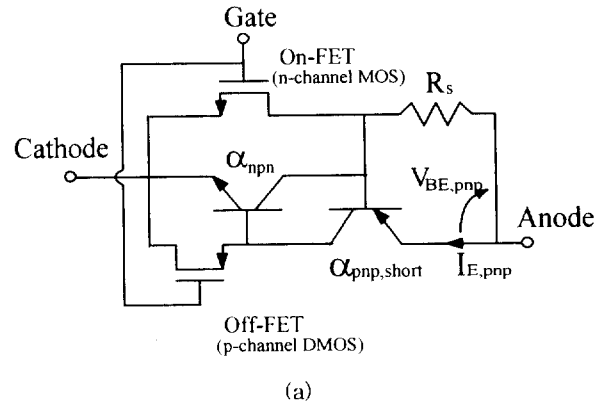
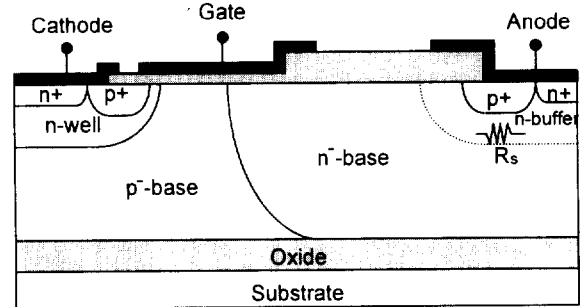


그림 2 (a) 제안된 shorted anode LMCT(Type A)의 단면도와 등가회로

(b) 수정된 shorted anode LMCT(Type B)의 단면도  
Fig. 2 (a) Cross section of the proposed shorted anode LMCT(Type A) and the equivalent circuit  
(b) Cross section of the modified shorted anode LMCT(Type B)

에 비해서 훨씬 작은값임을 알 수 있다.  $R_s$ 는 턴-오프시 tail 전류, 도통시 순방향 전압강하 및 n-채널 MOS의 여기(trigger) 전류에 영향을 미친다.

SA-LMCT를 턴-온시키기 위해서 게이트에 양전압(positive voltage)을 가하여 n 채널 MOS를 턴-온시켰을때, n-베이스로 유입된 전자는 n' 아노드 단락층으로 흘러들어가서 MOSFET 동작을 하게되며 이 전류로 인해 발생하는 p' 아노드 아래 저항  $R_s$ 의 전압강하가 0.7 V 이상이면 p' 아노드가 순방향으로 도통되어 n 베이스에 소수 캐리어인 홀이 주입되기 시작하여

pnp 트랜지스터가 동작하게 된다. npn 트랜지스터의 전류는 pnp 트랜지스터의 베이스 전류로 작용하여 도통시키고 pnp 트랜지스터와 npn 트랜지스터의 전류이득의 합이 1이되면 회생 정제환(regenerative positive feedback)에 의해 다이리스터 동작을 하게된다.

턴-오프는 게이트에 음전압(negative voltage)을 가하여 p 채널 DMOS의 채널을 만들어줌으로써 수평형 npn 트랜지스터의 베이스/에미터 접합을 단락시켜서 p' 에미터 단락층의 홀 전류 경로에 의해 이루어진다. 여기서 기존의 p' 아노드 LMCT의 경우에는 턴-오프 기간시 베이스 영역에 존재하는 전자-홀 플라즈마의 제거가 전적으로 전자와 홀의 재결합에 의존하게 되기 때문에 소수 캐리어의 수명에 많은 영향을 받게 되고 긴 재결합 과정을 거치므로 턴-오프 시간이 길어진다. 반면에 SA-LMCT의 경우에는 p' 에미터 단락층으로의 홀 전류 경로와 n-베이스에서 n' 아노드 전극으로 연결되는 전자 경로가 동시에 형성되므로 아노드와 캐소드를 통해 베이스 영역에 존재하는 전자-홀 플라즈마가 효과적으로 제거될 수 있다. 따라서 pnp 트랜지스터의 에미터 주입 효율(emitter injection efficiency)의 감소로 인해서 전류이득,  $\alpha_{pnp}$ 이 현저하게 감소하고 이로인해 npn 트랜지스터의 전류이득,  $\alpha_{npn}$ 도 감소시켜서 소자의 턴-오프 시간과 최대 턴-오프 능력이 향상된다.

또한 본 논문에서는 아노드 단락층 구조를 변경하여 그림 2(b)에 나타난 바와 같이 수정된 SA-LMCT를 제시하고자 한다. 수정된 shorted anode 구조(Type B)는 p' 아노드 접합 안쪽에 n' 아노드 단락층이 형성되어 n' 영역 아래의 p' 아노드 모서리 부분에 전압 강하를 일으킨다. 따라서 p' 아노드 모서리 영역에서 주입되는 홀 전류 밀도는 n' 아노드 길이가 증가함에 따라 감소하게 되고 턴-오프 기간 동안 저장되어 있는 많은 양의 전자들은 n' 아노드 단락층으로 집중되어 소자의 턴-오프 능력은 향상된다. 또한 비록 p' 아노드 모서리 부분의 낮은 주입으로 인해 순방향 전류 밀도는 조금 낮아지지만 이 소자는 shorted anode 구조의 단점 중의 하나인 스냅-백(snap-back) 현상이 없어서 순방향 전류 특성이 기존 구조의 특성을 따라가게 된다. 전력 소자에서의 스냅-백은 한 평거에 의한 전류의 집중(hogging)으로 불균일한 턴-온을 가져오게 된다[10].

3. 시뮬레이션 결과 및 분석

2 차원 소자 시뮬레이터로서 널리 사용되고 있는 MEDICI [11]를 이용하여 도통 상태에서의 순방향 전압강하와 턴-오프시의 스위칭 속도 및 최대 턴-오프 능력을 n' 단락층의 길이와 n-베이스 영역의 길이 등을 변화시켜 분석하였다. 기존의 소자 및 제안된 소자들은 모두 20  $\mu\text{m}$  두께의 p-형 실리콘층과 2  $\mu\text{m}$  두께의 매몰 산화막(buried oxide)을 갖는 SOI 기판에 구현되었다. 소자에 확산시킨 불순물 농도는 Gaussian 분포로 하였고 수평방향의 확산은 수직방향의 80 %로 가정하였다. 공정한 비교를 위하여 모든 구조에 대해서 전체 아노드 길이는 45  $\mu\text{m}$ 로 동일하게 고정하였다. 시뮬레이션에 사용한 소자의 변수들을 표 1에 정리하였다.

3.1 순방향 전압강하

SA-LMCT의 순방향 특성은 크게 3 개의 영역으로 구분되

표 1 시뮬레이션에 사용된 소자 변수

Table 1 Device parameters used in the simulation

변 수	값
게이트 산화막 두께	1000 Å
p' 베이스 두께	15 $\mu\text{m}$
p' 베이스 농도	$2 \times 10^{14} \text{ cm}^{-3}$
매입 산화막 두께	2 $\mu\text{m}$
n 베이스 접합 깊이	5 $\mu\text{m}$
n 베이스 표면 농도	$1 \times 10^{15} \text{ cm}^{-3}$
n 베이스 수평 길이	65 $\mu\text{m}$
n 웰(well)/ n-버퍼 접합 깊이	4 $\mu\text{m}$
n 웰 표면 농도	$2 \times 10^{17} \text{ cm}^{-3}$
p' 아노드/에미터 접합 깊이	2 $\mu\text{m}$
n' 캐소드/아노드 접합 깊이	1 $\mu\text{m}$
p 기판 농도	$5 \times 10^{17} \text{ cm}^{-3}$

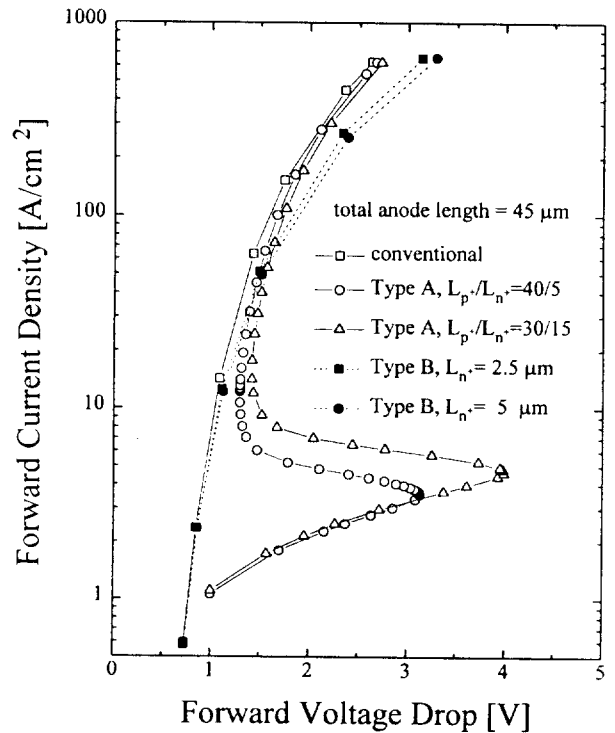


그림 3 p' 아노드 길이에 대한 n' 아노드 길이의 비( $L_p/L_n$ )와 n' 아노드 길이( $L_n$ )의 변화에 따른 SA-LMCT의 I-V 특성과 기존의 LMCT의 비교

Fig. 3 Comparison of the I-V characteristics of SA-LMCT with those of conventional LMCT for various ratios of p' anode to n' anode length,  $L_p/L_n$ , and n' short length,  $L_n$ .

는데 각각 MOS, 음저항(negative resistance) 및 다이리스터 영역이다. 게이트 전압을 n 채널 MOS의 문턱전압이상으로 올리면 n' 아노드와 캐소드 간에 다수 캐리어인 전자 전류가 흐르기 시작한다. 아노드 전압의 증가에 의해 아노드 전류가 증가할수록 n' 아노드와 p' 아노드 사이의  $R_s$ 에서의 전압강하는

증가하게 되고 MOSFET과 같은 I-V 특성을 갖는다. 이 영역을 MOS 영역이라 하고 p' 아노드 층에서 고주입된 홀이 n 베이스 드리프트 영역을 전도도 변조시키고 동시에 npn 트랜지스터가 동작하기 전까지의 영역을 말한다. 다이리스터 영역으로 들어가기 전까지의 전압강하는 n 채널 저항과 n 베이스 저항이 증가할수록 증가하며 p' 아노드 층이 길거나 접합깊이가 클수록  $R_s$ 의 감소로 인해서 감소하게 된다. SA-LMCT가 MOS 영역을 지나면 이미 도통이된 pnp 트랜지스터의 컬렉터 전류가 npn 트랜지스터의 베이스 전류가 되어서 상호 연결된 두 트랜지스터가 서로 정제환(positive feedback) 동작을 하게 되어 비로소 다이리스터 영역에 들어서게 된다.

그림 3은 베이스 영역의 수명(lifetime)이 2  $\mu\text{sec}$  일때, p' 아노드 길이에 대한 n' 아노드 길이의 비( $L_p/L_n$ )와 n' 아노드 길이( $L_n$ )에 따른 LMCT의 I-V 특성을 비교한 것이다. 그림에서 볼 수 있듯이 p' 아노드를 갖는 기존의 구조와 달리 shorted anode 구조는 MOS 영역을 지나게 되며 MOS 영역에서의 on-저항은 n' 아노드층의 길이에 반비례하다가 다이리스터 영역에 들어서면 n' 아노드층의 길이가 증가할수록 순방향 전압강하는 증가하는 것을 볼 수 있다. 이것은 증가된  $R_s$ 에 의해서  $\alpha_{pnp,short}$ 가 더욱 작아지기 때문이다. 그러나 n' 아노드층 길이가 커지면 높은 턴-오프 능력과 빠른 스위칭 속도를 얻을 수 있기 때문에 순방향 전압강하와 최대 턴-오프 능력 및 턴-오프 시간 사이에는 trade-off가 존재한다. 하지만 n' 아노드층 길이가 0  $\mu\text{m}$ 에서 30  $\mu\text{m}$ 로 증가할때 단지 약 0.3 V의 순방향 전압강하의 증가를 나타내므로 순방향 전압강하 보다는 최대 턴-오프 능력 및 턴-오프 시간에 비중을 두어 n' 아노드층을 설계하는 것이 바람직하다.

Type B의 I-V 특성은 기존의 구조와 특성이 비슷하지만 높은 전류 밀도 영역에서 전류 포화 현상이 두드러진다. 이것은 p 베이스로부터 가장 가까운 p' 아노드 모서리 영역이 기존의 LMCT 및 SA-LMCT에서는 도통 상태에서 전류 전도 경로가 가장 짧기 때문에 홀 주입의 양이 전체 p' 아노드 영역 중 가장 큰 부분을 차지하지만 Type B에서는 이 부분의 홀 주입이 현저히 감소되기 때문으로 분석된다. 아노드 전류가 100  $\text{A}/\text{cm}^2$  일때 기존의 LMCT,  $L_p/L_n = 40\mu\text{m}/5\mu\text{m}$ 인 Type A 및  $L_n = 5\mu\text{m}$ 인 Type B의 순방향 전압 강하는 각각 1.58 V, 1.67 V, 1.73 V로 관찰되었다.

### 3.2 턴-오프 특성

스위칭 특성을 분석하기 위해서 게이트 전압을 50 nsec 동안 15 V에서 -20 V로 선형적으로 감소시켰다. 그림 4는 초기 전류가 100  $\text{A}/\text{cm}^2$  일때 소수 캐리어 수명이 2  $\mu\text{sec}$ 에서의 p' 아노드 길이에 대한 n' 아노드 길이의 비( $L_p/L_n$ )와 n' 아노드 길이( $L_n$ )에 따른 LMCT의 턴-오프 특성을 나타낸 것이다. 기존의 구조인 경우 tail 전류가 줄어들 때까지 약 8  $\mu\text{sec}$  정도의 턴-오프 시간이 걸린 반면 shorted anode 구조에서는  $L_p/L_n$ 이 30  $\mu\text{m}/15\mu\text{m}$ 에서 15  $\mu\text{m}/30\mu\text{m}$ 로 변함에 따라 2.5에서 1.5  $\mu\text{sec}$  줄었다. 이것은 기존의 구조에서는 홀이 p' 에미터 단락층으로 추출되지만 베이스 영역에 존재하는 전자가 추출될 수 있는 길이 존재하지 않기 때문에 전자-홀 플라즈마의 제거가 재결합 과정에 큰 영향을 받고 tail 전류가 상대적으로 길다. 반면에 전자가 추출될 수 있는 경로를 만들어 준 shorted anode 구조는 소수 캐리어 수명에 크게 영향을 받지

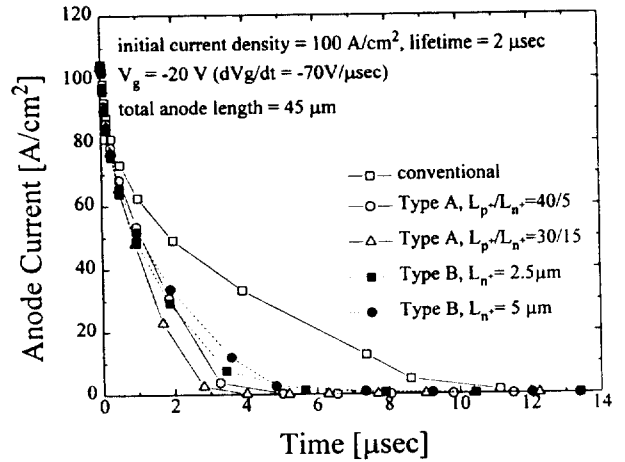


그림 4 p' 아노드 길이에 대한 n' 아노드 길이의 비( $L_p/L_n$ )와 n' 아노드 길이( $L_n$ )의 변화에 따른 SA-LMCT 턴-오프 파형과 기존의 LMCT의 비교

Fig. 4 Comparison of the turn-off waveforms of SA-LMCT with those of conventional LMCT for various ratios of p' anode to n' anode length,  $L_p/L_n$ , and n' short length,  $L_n$ .

않으며  $L_n$ 가 커질수록 식 (1)과 같이  $\alpha_{pnp,short}$ 는 더욱 감소하여 턴-오프 시간이 더욱 줄어든다. Type B 경우에서도 비교적 빠른 턴-오프 특성을 나타냈지만 Type A 경우 보다는 두드러지지 않다.

Shorted anode 구조의 스위칭 효과는 턴-오프 도중 전류 흐름으로부터 명확하게 알 수 있다. 그림 5는 턴-오프 기간 중 약 3  $\mu\text{sec}$  부근에서 전류 흐름을 도시한 것이다. Type A 경우에는 약화된 pnp 트랜지스터의 전류이득으로 인해 p' 아노드에서의 홀 주입이 적고 많은 양의 전자가 n' 아노드로 추출되고 있고 Type B 경우는 저장된 캐리어가 n' 단락층으로 집중되고 있음을 알 수 있다. 반면에 기존의 구조에서는 기생 pnp 트랜지스터가 아직도 활발히 동작하고 있고 느린 재결합 과정으로 인해 아직도 소자의 전체를 통하여 많은 양의 전류가 흐르고 있다. 따라서 shorted anode 구조는 캐리어의 수명(lifetime)의 변화에 민감하지 않는 비교적 빠른 스위칭 속도를 얻을 수 있다.

### 3.3 최대 제어가능 전류

MCT에서 가장 중요한 파라미터 중의 하나는 최대 제어가능 전류(maximum controllable current)이다. 최대 제어가능 전류는 소자가 그 이상에서는 턴-오프 할 수 없는 온-상태에서의 최대 전류를 말한다. SA-LMCT의 최대 제어가능 전류  $I_{mcc}$ 는 p-채널 DMOS의 채널저항  $R_{pch}$ , 변조된(modulated) p-베이스 저항  $R_p$  및 pnp 트랜지스터의 전류이득  $\alpha_{pnp,short}$ 에 의해 다음과 같이 결정된다.

$$I_{mcc} = \frac{V_{on}}{\alpha_{pnp,short}(R_{pch} + R_p)} \quad (2)$$

여기서  $V_{on}$ 은 npn 트랜지스터의 p 베이스/n 웰 접합을 순방향으로 유지시킬 수 있는 최소전압이다. 위식에서 알 수 있듯

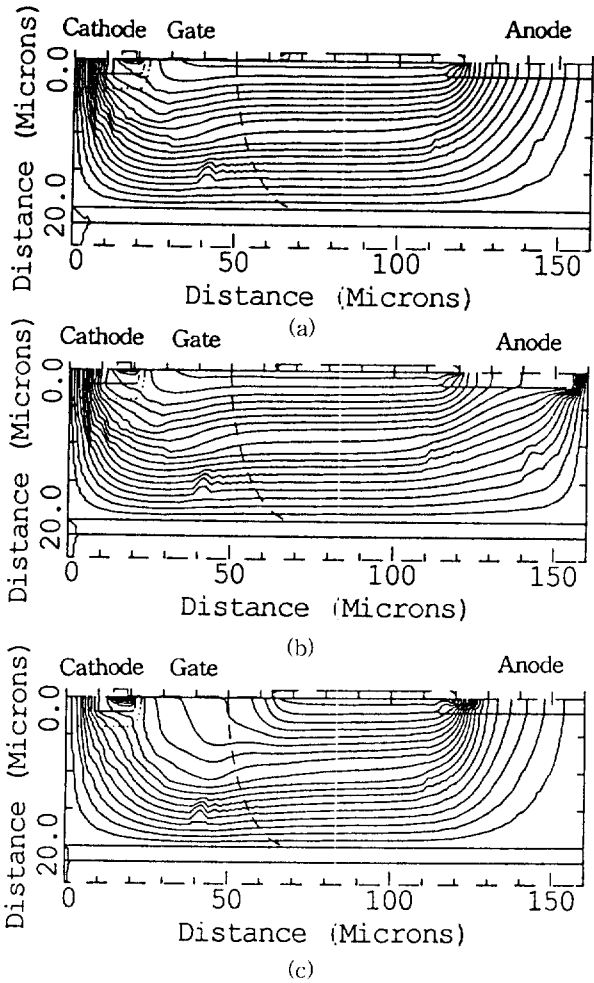


그림 5 턴-오프 기간 중 약 3 μsec 부근에서 전류 흐름도  
 (a) 기존의 LMCT  
 (b) Type A ( $L_{n'}/L_n = 30\mu\text{m}/15\mu\text{m}$ )  
 (c) Type B ( $L_{n'} = 5\mu\text{m}$ )

Fig. 5 Current flows at about 3 μsec into turn-off  
 (a) conventional LMCT  
 (b) Type A with  $L_{n'}/L_n = 30\mu\text{m}/15\mu\text{m}$   
 (c) Type B with  $L_{n'} = 5\mu\text{m}$

이  $I_{mc}$ 를 크게하기 위해서는 짧은 채널 DMOS와 낮은 저항의 p 베이스가 요구되며  $\alpha_{mp,short}$ 가  $\alpha_{mp}$ 로 대체되는 기존의 구조보다 병렬 저항  $R_c$ 의 효과로 인해 훨씬 향상된 턴-오프 능력을 얻을 수 있다.

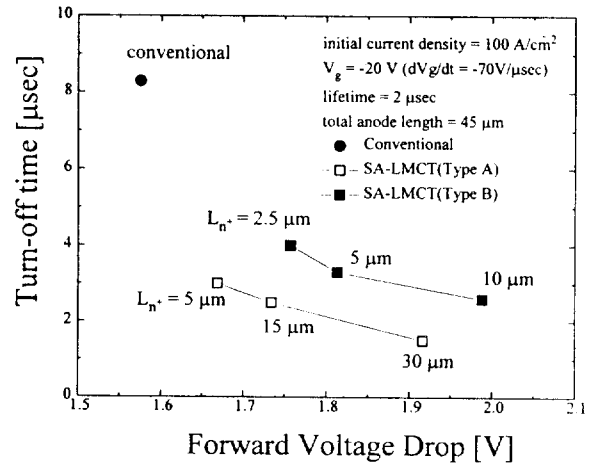
Type A의 최대 제어가능 전류밀도는 p' 아노드 길이에 대한 n' 아노드 길이의 비가  $15\mu\text{m}/30\mu\text{m}$ 일때  $630\text{ A/cm}^2$  이상 달성되었는데 반해 기존의 LMCT는  $138\text{ A/cm}^2$ 으로 나타났다. Type B도 역시 n' 단락층의 길이에 따라서 향상된 턴-오프 전류 능력을 보였는데 이것은 기생 pnp 트랜지스터의 감소된 에미터 주입 효과와 연관된 것이다.

3.4 Trade-off 특성

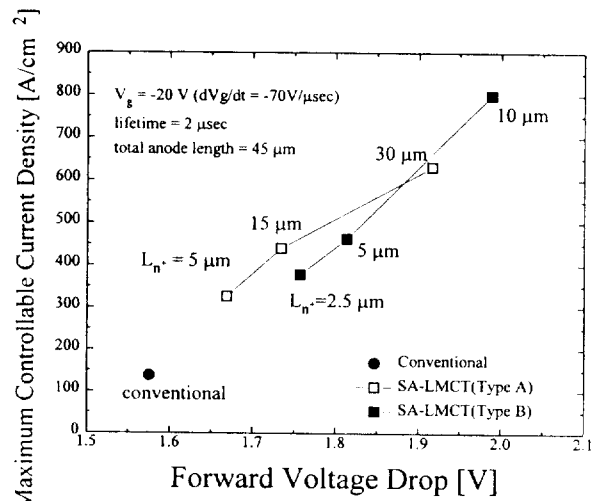
제한된 두가지 shorted anode 구조에 대해서 순방향 전압강하와 턴-오프 시간 및 최대 제어가능 전류의 trade-off 곡선은 각각 그림 6 (a)와 (b)와 같이 얻을 수 있다. Type A는 Type

B와 비교할때 향상된 trade-off를 보이고 있으며  $L_p/L_n$ 이  $45\mu\text{m}/0\mu\text{m}$ 에서  $15\mu\text{m}/30\mu\text{m}$ 로 변함에 따라서 0.34 V의 순방향 전압강하의 손해도 불구하고 턴-오프 시간이 1/4 감소하며 턴-오프 전류 능력이 4.5 배 증가함을 알 수 있다.

그림 7은 기존의 구조 및 shorted anode 구조의 경우에서 n 베이스의 드리프트 영역의 길이,  $L_d$ 와 p' 아노드 길이에 대한 n' 아노드 길이의 비의 함수에 대하여 2 V의 아노드 전압에서



(a)



(b)

그림 6 (a) 두가지 shorted anode 구조에 대한 순방향 전압강하와 턴-오프 시간 사이의 trade-off 곡선  
 (b) 두가지 shorted anode 구조에 대한 순방향 전압강하와 최대 제어가능 전류 밀도 사이의 trade-off 곡선

Fig. 6 (a) Trade-off curve between forward voltage drop and turn-off time for both shorted anode structure

(b) Trade-off curve between forward voltage drop and maximum controllable current density for both shorted anode structure

참 고 문 헌

[1] B. J. Baliga, "High voltage integrated circuits," IEEE press, 1988.  
 [2] Y. S. Huang and B. J. Baliga, "Extention of RESURF principle to dielectrically isolated power devices," Proc. 3rd Int. Symp. on Power Semiconductor Devices and IC 's, pp. 27-30, 1991.  
 [3] B. J. Baliga, M. S. Adler, P. V. Gray, and R. P. Love, "Suppressing latchup in insulated gate transistors," IEEE Electron Device Lett., vol. EDL-5, pp. 323-325, 1984.  
 [4] B. H. Lee, C. M. Yun, H. S. Kim, Y. I. Choi, and M. K. Han, "Latch-up suppressed IGBT by deep p+ ion implantation under the n+ source," Jpn. J. Appl. Phys., vol. 33, No. 1B, pp. 563-566, 1994.  
 [5] V. A. K. Temple, "MOS-controlled thyristor-A new class of power devices," IEEE Trans. Electron Device, vol. ED-33, pp 1609-1618, 1986.  
 [6] J. D. Plummer and B. W. Scharf, "Insulated gate planar thyristors," IEEE Trans. Electron Device, vol. ED-27, pp 380-387, 1980.  
 [7] Q. Huang, G. A. J. Amaratunga, E. M. Sankara Narayanan, and W. I. Miline, "Analysis of n-channel MOS-controlled thyristors," IEEE Trans. Electron Device, vol. ED-38, pp 1612-1618, 1991.  
 [8] Mohamed N. Darwish, "A New Lateral MOS-Controlled Thyristor," IEEE trans. Electron Device Letters, vol. EDL-11, pp. 256-257, 1990.  
 [9] Mohamed N. Darwish, "Lateral MOS-gate power devices-A unified view," IEEE Trans. Electron Device, vol. ED-38, pp 1600-1604, 1991.  
 [10] V. Parthasarathy and T. P. Chow, "Theoretical and experimental investigation of 500 V p- and n- channel VDMOS-LIGBT transistors," In proc. of ISPSD, pp. 241-246, 1995.  
 [11] TMA MEDICI : two dimensional device simulation program, user's manual, 1992.

의 순방향 전류밀도와 최대 제어가능 전류밀도의 관계를 설명하고 있다. 표시된 전류 면적은 소자의 순방향 및 턴-오프 전류 능력을 반영한다. 그림 7에서 확인할 수 있듯이 shorted anode 구조는 기존의 구조보다 우수한 성능을 얻을 수 있음을 알 수 있다. 또한 우수한 순방향 및 턴-오프 전류 능력에 부가하여 SA-LMCT의 순방향 차단 전압은 단락회로 pnp 트랜지스터의  $BV_{CES}$ 로 결정되는 바, 전류 이득의 감소로 기존의 LMCT 보다 높아진다.

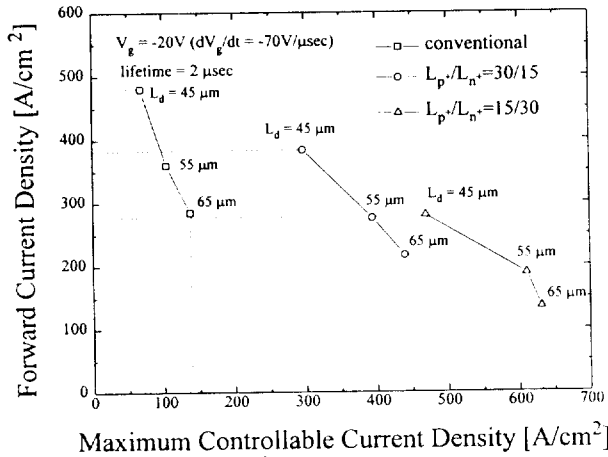


그림 7 기존의 LMCT 및 SA-LMCT의 경우에서 n-베이스의 드리프트 영역의 길이,  $L_d$ 와 p' 아노드 길이에 대한 n' 아노드 길이의 비의 함수에 대한 순방향 전류 밀도와 최대 제어가능 전류밀도의 관계

Fig. 7 Forward current and turn-off current capability as a function of n-base drift region length,  $L_d$  and ratios of p' to n' anode length for conventional LMCT and SA-LMCT

4. 결 론

본 논문에서는 shorted anode 구조를 갖는 두가지 형태의 새로운 수평형 MCT를 제안하였고 2 차원 소자 시뮬레이션을 통하여 소자의 특성을 검증하였다. 시뮬레이션 결과로부터, SA-LMCT는 아노드 단락층을 변화한 수정된 SA-LMCT와 비교할때 순방향 전압강하와 턴-오프 특성 사이에서 더 향상된 trade-off를 보임을 알 수 있었다. 수정된 SA-LMCT 경우에는 비록 순방향 전압 강하가 조금 증가하지만 스냅-백(snap-back) 현상이 없는 순방향 전류-전압 특성을 나타내는 장점을 갖고 있었다. SA-LMCT는 기존의 구조에 비교할때 0.34 V의 순방향 전압강하의 손해보로 턴-오프 시간은 1/4 가량 줄일 수 있었고 가장 중요한 변수인 최대 제어가능 전류밀도는 4.5 배 증가하였다. 따라서 제안한 shorted anode 구조들을 적용하면 전력 반도체 소자에서 널리 쓰이고 있는 전자 조사(electron irradiation)와 같은 수명 조절 효과(lifetime killing effect)와 더불어 소자의 스위칭 속도 및 턴-오프 전류 능력을 향상시킬 수 있을 것이다.

이 연구는 1995년도 한국과학재단 연구비 지원에 의한 결과임(과제번호 : 95-0100-05-01-3).

저 자 소 개



김성동 (金成東)

1967년 3월 15일생. 1990년 서울대 공대 전기공학과 졸업. 1992년 동 대학원 전기공학과 졸업(석사). 1992년~1996년 동 대학원 전기공학과 졸업(공학박). 주관심분야는 전력반도체 소자 및 IC 등임. 현재 현대전자 선임연구원

한민구 (韓民九)

전기학회 논문지 제45권 제2호 참조

최연익 (崔然益)

전기학회 논문지 제45권 제2호 참조