

RTCVD 법으로 성장한 실리콘 에피막의 특성

정 옥진, 권 영규, 배 영호, 김 광일, 강 봉구*, 손 병기**

Characteristics of the Silicon Epitaxial Films Grown
by RTCVD Method

W.J. Chung, Y.K. Kwon, Y.H. Bae, K.I. Kim, B.K. Kang*, B.K. Sohn**

요 약

RTCVD (rapid thermal chemical vapor deposition) 법을 이용하여 급준한 불순물 농도분포를 갖는 서브마이크론 두께의 실리콘 에피막을 성장하였다. 실리콘 에피막 성장은 $\text{SiH}_2\text{Cl}_2 / \text{H}_2$ 혼합가스를 사용하고, H_2 prebaking 공정을 포함하는 여러 가지 공정변수들을 변화하면서 성장계면에서의 불순물 농도 분포의 계면특성 및 성장율, 결정성등을 평가하였다. 실리콘 에피막의 결정성은 900°C 에서 H_2 prebaking 공정 후 동일한 온도에서 성장한 경우에 전위등의 결함이 보이지 않았으며, SiH_2Cl_2 원료가스의 부피비에 따라 실리콘 에피막의 성장율을 선택함으로써 에피막 두께를 서브마이크론 까지 조절할 수 있었다. 실리콘에피막의 불순물 농도분포는 성장계면에서 약 $200\text{\AA}/\text{decade}$ 로 급격하게 조절될 수 있음을 SIMS 법에 의한 분석으로 확인하였다.

Abstract

Silicon epitaxial films of submicron level were successfully grown by the RTCVD method. For the growth of silicon epitaxial layers, $\text{SiH}_2\text{Cl}_2 / \text{H}_2$ gas mixtures and various process parameters including H_2 prebake process were used. The growth conditions were varied to investigate their effects on the interface abruptness of doping profile, the film growth rates and crystalline properties. The crystallinity of the undoped silicon was excellent at the growth temperature of 900°C . The doping profiles were measured by SIMS technique. The abruptness of doping profile would be controlled within about $200\text{\AA}/\text{decade}$ in the structure of undoped Si / n' -Si substrate.

1. 서론

바이폴라 트랜지스터 또는 BiCMOS 소자의 베이스 영역 두께는 얇고, 불순물 농도는 고농도로 제조하는 것이 소자의 동작속도를 빠르게 할 수 있다. 그러므로

동작속도를 향상시키기 위해서는 서브마이크론 두께의 에피막 성장기술과 autodoping 과 outdiffusion 등의 영향으로 불순물 농도 분포가 완만하게 되는 문제점을 해결할 필요가 있다. 이상의 문제점들을 해결하기 위한 에피막 성장기술로는 MBE (molecular beam epitaxy) 법, UHV/CVD (ultra high vacuum / chemical vapor deposition) 법 그리고 LRP (limited reaction processing) 법으로 잘 알려진 RTCVD 법 등이 있다.^[1,2] MBE 법을 사용한 결정성장은 낮은 성장속도로 저온에서 공정이 진행되므로 급격한 불순물 농도분포와 얇은 에피막 두께를 용이하게 얻을 수 있지만 제조공정이 어렵고 제조원가가 큰 단점이 있다. 그리고 저

산업과학기술연구소 전력전자연구팀
(Power Electronics Lab., RIST)

* 포항공과대학교 전자전기공학과
(Dept. of Electrical Eng., POSTECH Univ.)

** 경북대학교 전자공학과
(Dept. of Electronics, KyungPook Nat'l Univ.)

<접수일자 : 1995년 12월 8일>

압 CVD 법은 선택적 결정성장 및 불순물 첨가가 용이하고 대량생산에 의한 방법으로 제조원가가 작은 장점이 있다. 특히 RTCVD 법은 개개의 웨이퍼를 서로 다른 공정을 수행할 목적으로 furnace 공정이 배제된 integrated process 개발의 측면에서 연구개발의 필요성이 있다.^[3] 이와같은 RTCVD 법은 RTP 에서의 급격한 온도주기와 원료가스의 조성비를 조절함으로써 서브마이크론 두께의 에피막 성장 및 급준한 불순물 농도분포를 갖는 에피막을 재현성있게 얻을 수 있는 특징을 가지고있다.^[2,4] 그러므로 RTCVD 법에 의한 실리콘 에피막 성장기술은 BiCMOS 공정개발 및 동작속도 향상, 그리고 각종 센서 제조공정 등에 응용할 수 있으며 선택적 에피성장 (Selective Epitaxial Growth) 공정 개발에도 적용할 수 있다. 그러나 RTCVD 법은 실리콘 에피성장에서 소요되는 총 열량이 furnace 를 사용하는 기존의 방법보다 작기 때문에 낮은 공정온도에서 에피막을 성장하는 경우, 원료가스에서 해리된 실리콘 원자의 웨이퍼 표면 이동도가 감소함으로써 실리콘 표면에서의 결정 결함들이 발생할 수 있는 핵을 많이 형성하기도 한다. 또한 H₂ prebaking 공정도 실리콘 표면의 자연 산화막이 제거되는 속도가 낮은 온도에서 느리게 진행되기 때문에 공정시간이 상대적으로 증가하는 등 아직까지 해결해야 할 문제점이 상당부분 남아 있다.^[5,6]

본 연구에서는 RTCVD 법으로 결정성이 우수하고 서브마이크론 수준의 두께조절이 가능한 실리콘 에피막 성장을 위하여 실리콘웨이퍼의 자연 산화막을 제거하는 H₂ prebaking 공정과 실리콘 에피막 성장을 위한 열처리 공정조건을 확립하고자 한다. 실리콘 에피막은 D.C.S. (dichlosilane: SiH₂Cl₂) 원료가스 와 수소가스의 유량조건, 공정압력을 변화시키며 성장하였고, 성장된 에피막의 특성은 normarski 현미경, 단면 투과 전자현미경, SRP 법, 그리고 SIMS 분석법으로 평가하였다.

2. RTCVD 장치 및 실험

그림 1은 본 연구에서 사용한 RTCVD 장치의 개략도 이다. 장치의 가열방식은 텅스텐-할로겐 램프를 사용하였으며 실리콘웨이퍼의 경우 온도 증가율은 약 150°C/sec 이었다. 실리콘 웨이퍼의 온도는 K-type thermocouple 과 pyrometer 를 사용하여 측정하였다. 에피막 성장시 오염을 최대한 줄이기위하여 base

pressure 를 5×10^{-5} torr 이하로 유지시켰으며, 진공시스템은 로터리 펌프 와 터보 펌프로 구성된 2단계 pumping 시스템을 사용하였다. 공정압력은 capacitance manometer 와 ion gauge 를 사용하여 측정하였으며 1 torr 에서 10 torr 범위를 사용하였다. 실리콘 에피막 성장을 위한 원료가스는 순수 D.C.S. 가스를 사용하였으며, 수송가스인 수소는 6'9 순도의 수소를 수소정제기로 다시 정제하여 사용하였다. 기판은 4 인치 (100), 비저항 8-12 $\Omega \cdot \text{cm}$ 또는 0.02 $\Omega \cdot \text{cm}$ 인 p 형, n 형 실리콘 웨이퍼를 사용하였다. 그리고 H₂ prebaking 공정에 의한 실리콘 표면의 자연산화막 제거효과만을 관찰하기 위하여 화학약품을 사용하는 전처리 공정을 실시하지 않고 H₂ prebaking 공정을 실시하였다.

그림 2 는 RTCVD 법으로 실리콘 에피막을 성장하기 위하여 사용된 열처리 공정도이다. 첫번째 열처리

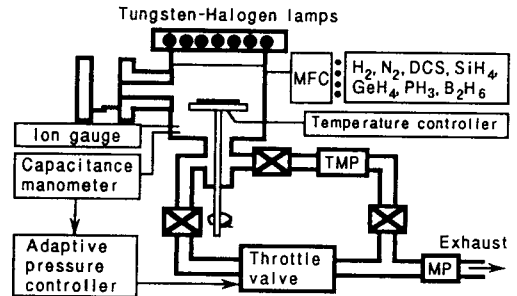


그림 1. RTCVD 장치 개략도

Fig. 1. Schematic diagram of RTCVD system

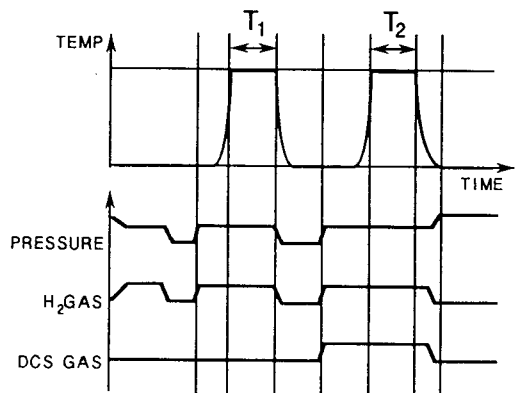


그림 2. 에피막 성장을 위한 RTCVD 열처리 공정도
Fig. 2. Process profile of an RTCVD heat cycle for silicon epitaxy

주기 (T_1) 는 실리콘 표면의 자연산화막을 제거하기 위한 공정이고 두번째 열처리 주기 (T_2) 는 실리콘 에피막을 성장하기 위한 공정을 나타낸다. H_2 prebaking 효과를 조사하기 위하여 먼저 $900^\circ C$ 에서 1 분간 또는 2 분간 열처리를 실시하였으며, 공정압력 과 수소가스 유량을 변화시켰다. 다음에 $900^\circ C$ 의 저온영역에서 성장된 실리콘 에피막의 성장특성을 관찰하기 위하여 공정압력, 총 가스유량, 그리고 D.C.S. 가스의 vol% 를 변화 시키면서 공정을 수행하였다. 성장된 실리콘 에피막 표면에서의 결함을 분석하기 위하여 wright etchant 로 에피막을 선택적 식각한 다음 normarski 현미경으로 실리콘 표면의 결함상태를 관찰 하였으며, 에피막 성장 계면에서의 결함상태는 단면 투과 전자현미경 으로 관찰 하였다. 또한 웨이퍼 표면의 자연산화막 제거 효과와 불순물 오염의 정도를 분석하기 위하여 Charles Evans 사에서 SIMS 법으로 성장계면에서 잔류하는 산소 및 탄소 농도를 측정하였다. 성장된 에피막의 두께는 비저항이 $0.02 \Omega \cdot cm$ 로 Sb 이 첨가된 (100) 실리콘 기판위에 불순물이 첨가되지 않은 실리콘 에피막을 성장한 n/n^+ -sub 구조의 시료를 제조하여 SRP 법으로 측정하였다.

3. 결과 및 고찰

그림 3 은 각각의 H_2 prebaking 공정후 $900^\circ C$ 에서 3 vol% 의 D.C.S. 가스로 성장한 실리콘 에피막의 표면을 wright etching 한 다음 normarski 현미경으로 관찰한 사진이다. 실리콘 에피막 성장에 사용된 웨이퍼는 웨이퍼의 초기 세척에 따른 수분, 산소 및 탄소등의 오염을 최소화 하고, H_2 prebaking 공정에 의한 실리콘 표면의 자연산화막 제거효과만을 관찰하기 위하여 웨이퍼 제조회사에서 제공된 웨이퍼를 화학약품 처리하지 않고 사용하였다. 또한 실리콘 에피막 성장에서 공정압력 및 수소가스 유량에 대한 실리콘 표면의 자연산화막 제거효과를 관찰하기 위하여 H_2 prebaking 은 공정압력이 1 torr, 5 torr, 10 torr 이고 수소가스 유량이 0.5 slm, 2 slm, 4 slm 으로 하였으며, 다음 열처리 공정한 실리콘 에피막 성장은 $900^\circ C$ 에서 3 vol% 의 D.C.S. 가스를 흘리면서 5×10^5 torr 보다 낮은 base pressure 와 5 torr 의 공정압력으로 실시하였다. 그림 3 에서 normarski 현미경으로 관찰한 실리콘 에피막의 etch pit 밀도는 $100 \mu m^2$ 당 수 개 이하로 관측되었다.

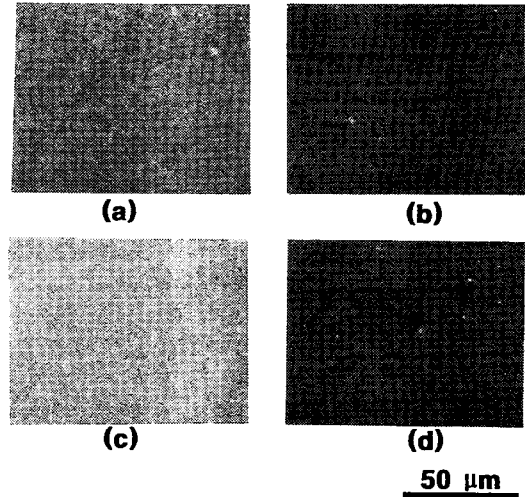
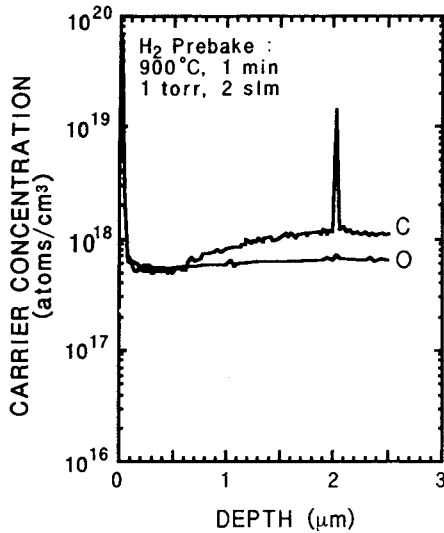


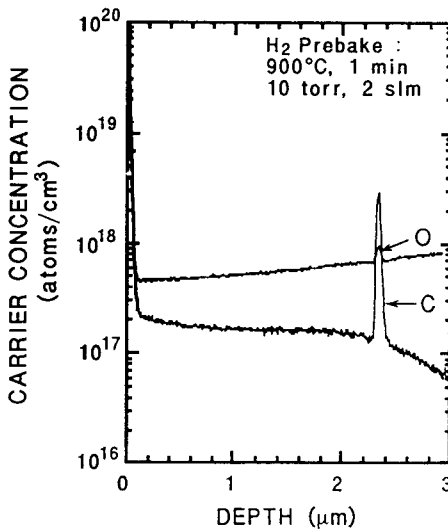
그림 3. H_2 prebaking 공정을 (a) $900^\circ C$, 70s, 1torr and 0.5slm; (b) $900^\circ C$, 2min., 10torr and 1slm; (c) $900^\circ C$, 2min., 1torr and 2slm; (d) $900^\circ C$, 2min., 5torr and 4slm 의 조건으로 실시한 후 $900^\circ C$ 에서 3 vol% 의 D.C.S. 가스로 성장한 실리콘 에피막의 표면을 wright etching 한후 normarski 현미경으로 관찰한 사진.

Fig. 3. Normarski micrographs of wright etched Si epilayers grown at $900^\circ C$ with 3 vol% D.C.S. and without an *ex-situ* cleaning in dilute HF. The H_2 prebaking conditions are (a) $900^\circ C$, 70s, 1torr and 0.5slm; (b) $900^\circ C$, 2min., 10torr and 1slm; (c) $900^\circ C$, 2min., 1torr and 2slm; (d) $900^\circ C$, 2min., 5torr and 4slm

특히 공정압력이 1 torr 인 그림 3 (a) 와 (c) 의 조건에서는 $100 \mu m^2$ 면적당 한개 이하의 우수한 결과를 얻었다. 이와같은 결과에서 H_2 prebaking 공정은 $900^\circ C$ 에서 공정압력을 1 torr 로 1 분 이상 수소분위기 조건에서 처리할 때 자연산화막이 효과적으로 제거된다. 즉 자연산화막의 제거는 공정압력 및 수소가스 유량에는 크게 영향을 받지 않고, 산화막에서 기화하는 SiO 의 분압을 결정하는 공정압력과 산화막에서 SiO 로 해리되는데 필요한 총 에너지를 결정하는 공정온도와 시간이 중요한 변수임을 나타내고 있으며, 이것은 이미 밝혀진 결과와 잘 일치하고 있다.^[5,6]



(a)



(b)

그림 4. H₂ prebaking 공정이 900 °C에서 1 분간 2 slm의 수소가스를 사용하면서 공정압력이 (a) 1 torr 와 (b) 10 torr 인 조건에서 1 vol% D.C.S. 가스로 성장된 실리콘 에피막의 SIMS 분석.

Fig. 4. SIMS depthprofile of silicon epitaxial layers grown at 900 °C with 1 vol% D.C.S. gas. The H₂ prebaking are processed at 900 °C, 1min, 2 slm H₂ flowrate and process pressure of (a) 1 torr; (b) 10 torr

그림 4 (a) 와 (b) 는 실리콘 웨이퍼의 *in-situ* cleaning 공정으로서 자연산화막을 제거하기 위하여 H₂ prebaking 공정을 900 °C 에서 1 분간 2 slm 의 수소가스 유량을 유지하면서 공정압력을 1 torr 와 10 torr 로 각각 실시한 후, 성장된 실리콘 에피막을 SIMS 법으로 분석한 결과이다. 공정압력이 1 torr 인 그림 4 (a) 에서는 탄소 성분만이 관측되었지만, 공정압력이 10 torr 인 그림 4 (b) 에서는 에피막의 성장계면에서 산소 및 탄소 성분이 관측되었다. 즉 실리콘 웨이퍼 표면의 자연산화막은 공정압력이 1 torr 로 낮은 조건에서 보다 효과적으로 제거될 수 있음을 알 수 있고, 그림 4 (a) 및 (b) 에서 공통적으로 관측되는 탄소 성분은 대기중 또는 H₂ prebaking 공정중 반응로 내부에서 오염되는 것으로 생각된다. 이상의 결과로부터 H₂ prebaking 공정은 900 °C 에서 1 분간, 2 slm 의 수소가스 유량을 유지하면서 공정압력을 1 torr 로 실시하면 웨이퍼 표면의 자연산화막을 제거할 수 있다. 그리고 H₂ prebaking 공정에서 공정압력이 1 torr 에서 10 torr 로 증가하면, etch pit 밀도가 증가하는 그림 3 의 결과와 10 torr 에서는 성장계면에 잔류하는 산소성분이 검출되는 그림 4 (b) 의 결과로부터 실리콘 에피막의 etch pit 발생원인은 성장계면에서의 탄소 오염보다는 산소 성분과 관련이 큰 것으로 생각된다.

그림 5 는 900 °C 에서 70초간 H₂ prebaking 후, 900 °C 5 vol% D.C.S. 로 2분간 성장한 실리콘 에피막의

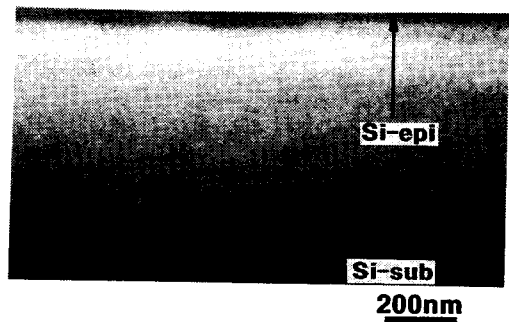


그림 5. 900 °C에서 70초간 H₂ prebaking 후, 900 °C 5 vol% D.C.S.로 2분간 성장한 실리콘 에피막의 단면 투과 전자현미경 사진

Fig. 5. Cross section TEM micrograph of an epitaxial layer grown at 900 °C with 5 vol% D.C.S. after 900 °C, 70sec H₂ prebaking.

단면 투과 전자현미경 사진이다. 그림 5 에서 관찰되는 검은 점이 기판과 성장된 에피막의 경계로 생각되어지며, 성장된 에피막에서는 전위 혹은 stacking fault 와 같은 결함 들은 관찰되지 않는다. 즉 실리콘 에피막 성장에서 결함 발생의 주요한 공정변수는 성장온도로 알려져 있지만, RTCVD 법이 수 torr 의 저압공정을 사용함으로써 furnace 를 사용한 기존의 공정온도보다 낮은 900 °C 에서도 결함이 관측되지 않는 실리콘 에피막을 성장할 수 있다. 그리고 에피막 성장계면에 있는 검은 점들은 그림 4 의 SIMS 분석에서 밝혀진 탄소성분이 실리콘 원자와 결합한 구조로 생각된다. 이러한 검은 점들은 지금까지 밝혀진 연구결과에 의하면 주로 H₂ prebaking 공정동안 실리콘 기판과 탄소가 반응하여 β-SiC 를 형성하는 것으로 판단되며, 탄소오염의 주된 원인은 로터리 펌프에서 역류하는 오일 안개에 의한 불순물 오염으로 밝혀지고 있다.^[7] 그러나 그림 5 에서 나타난 검은 점들이 실리콘 에피막의 성장

계면에서 전위와 같은 결함을 일으키지는 않는 것을 확인 할 수 있다. 이상의 결과들로 부터 RTCVD 법으로 900°C 의 공정조건에서 실리콘 에피막을 성장할 수 있음을 확인할 수 있다.

그림 6 은 900°C, 1 slm 조건에서 D.C.S. vol% 변화 및 공정압력에 대한 실리콘 에피막 성장율과의 관계를 나타낸 그림이다. 에피막의 성장율은 900°C 에서 총 가스유량을 1 slm 으로 하였을때 D.C.S. 가스의 vol% 가 증가할수록 공정압력이 1 torr 에서 10 torr 로 높아질수록 증가한다. 그러나 에피막의 성장율은 10 torr 의 공정압력에서 선형적인 막성장 특성을 나타내고 있지만, 공정압력이 5 torr 및 1 torr 로 낮아지면 D.C.S. 가스의 vol% 가 증가할수록 에피막의 성장율은 점차 포화되는 경향을 보이고 있다. Liehr 등^[8]에 의하면 실리콘 에피막의 성장기구는 기판 표면에 흡착된 수소기가 탈착하면서 실리콘 원자로 치환되는 과정으로 설명하고 있으며, 낮은 공정압력에서 수소기가 실리콘 기판에 더 많이 흡착하는 결과를 보고하고 있다. 이 결과들은 공정압력이 낮을수록 실리콘 에피막의 성장율이 감소함을 나타낸다. 또한 J.L.Regolini 등^[9]에 의하면 D.C.S. 가스를 사용하는 경우에 원료가스에서 해리된 염소가스가 실리콘 에피막을 에칭함으로써 실리콘 에피막의 성장율이 낮아지는 효과가 있으며, 공정압력이 감소할수록 염소가스에 의한 실리콘 에칭 효과는 증가하는 것으로 보고하였다. 따라서 본 연구에서의 에피막 성장조건에 대한 실리콘 에피막 성장율은 이상의 두가지 반응기구가 동시에 작용하고 있다고 생각되며, 실리콘 에피막의 두께를 서브마이크론 레벨에서 조절하기 위해서는 1 torr 이하의 낮은 공정압력으로 성장하는 것이 필요하다.

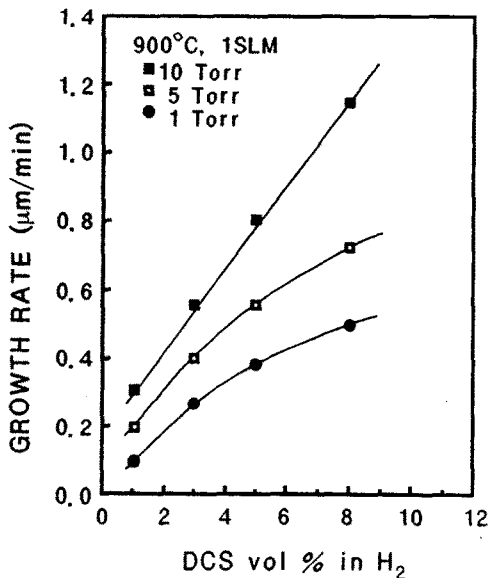


그림 6. 900°C, 1 slm 조건에서 D.C.S. vol% 변화 및 공정압력에 대한 실리콘 에피막 성장율과의 관계

Fig. 6. Dependence of undoped Si epilayer growth rate on D.C.S. volume concentration and growing pressure for fixed parameters of 900°C, 1 lpm

그림 7 (a)-(d)는 D.C.S. 가스의 vol% 와 공정압력의 변화에 따라 성장한 실리콘 에피막의 표면을 wright etching 한 후 normarski 현미경으로 관찰한 사진이다. 그림 7 (a)-(c)는 900°C 에서 5 vol%의 D.C.S. 가스를 흘리면서 공정압력을 1 torr, 5 torr 그리고 10 torr 로 변화 시킬 때 이고, 그림 7 (d) 는 D.C.S. 원료가스가 8 vol%이고 공정압력이 10 torr 인 경우의 시료 표면 관찰 결과이다. 그림 7 (a) 에서는 wright etching 후에도 결함이 보이지 않았지만, 그림 7 (b)-(d) 에서는 사각형 모양의 결함이 많이 관찰되었으며, 사각형 모양의 결함은 공정압력이 증가할수록 그리고 D.C.S. 원료가스의 vol% 가 증가할수록 증가하고

있다. 이와같은 사각형 모양의 결함은 에피막 성장에 기여하는 실리콘 원자가 규칙적인 배열을 하지 못하여 발생하는 (100) 실리콘 기판에서의 stacking fault 로 생각된다. 그리고 그림 6 과 그림 7 의 공정조건에 대한 결과를 비교해 보면, 실리콘 에피막의 성장율이 증가할수록 stacking fault 의 밀도도 증가함을 알 수 있다. 즉 결함밀도의 증가는 furnace 를 사용한 기존의 실리콘 에피막 성장온도보다 낮은 900 °C 조건에서 에피막 성장에 기여하는 실리콘 원자의 표면이동도는 감소하고, 동시에 공정압력과 원료가스의 vol% 가 증가함에 따라 실리콘 에피막의 성장율은 증가함으로써, 실리콘 원자가 기판상에서 규칙적인 배열을 하지 못하기 때문에 해석된다. 따라서 900 °C 에서 stacking fault 등의 결함밀도를 낮추는 방법은 5 vol% 이하의 D.C.S. 원료가스와 1 torr 의 낮은 공정압력을 사용함으로써

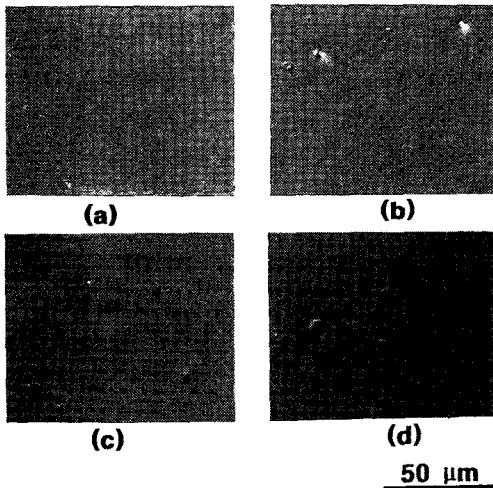


그림 7. 900°C에서 2분간 a) 5 vol% D.C.S., 1torr b) 5 vol% D.C.S., 5torr c) 5 vol% D.C.S., 10torr d) 8 vol% D.C.S., 10torr 의 조건으로 성장한 에피막을 wright etching 후 normarski현미경으로 관찰한 사진.

Fig. 7. Normarski micrographs of wright etched Si epilayers grown at 900°C for 2 minutes without an ex-situ cleaning in dilute HF and a) with 5 vol% D.C.S., 1torr; b) with 5 vol% D.C.S., 5torr; c) with 5 vol% D.C.S., 10torr; d) with 8 vol% D.C.S., 10torr.

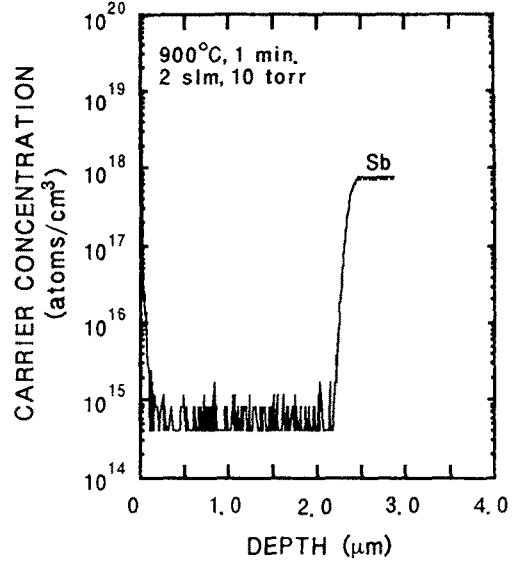


그림 8. 에피성장한 undoped-Si/Sb doped n+ 실리콘 에피막 구조의 SIMS 깊이분석

Fig. 8. SIMS depthprofile of undoped Si-epi on the Sb highly doped silicon substrate

에피막 성장율을 낮게 조절할 수 있는 공정조건을 사용하여야 한다.

그림 8 은 900°C, 10 torr 의 공정조건에서 2 분간 성장한 n-epi / Sb doped n' 실리콘 에피막 구조의 SIMS 분석결과이다. 이 그림에서는 안티몬이 고농도로 첨가된 n' 기판에서 안티몬이 에피막으로 outdiffusion 되거나, 실리콘 기판 또는 반응로 외벽에서 autodoping 되는 효과가 거의 나타나지 않고 있으며, 실리콘 에피막의 성장계면에서 불순물 농도분포가 약 200Å/decade 로 매우 급격하게 변화함을 볼 수 있다. 이것은 RTCVD 법이 실리콘 에피성장장 소요되는 총 열량을 상용의 방법보다 작게 함으로서 얻어지는 결과로 생각된다. 따라서 RTCVD 법으로 저저항 기판위에 서브마이크론 두께의 고저항 실리콘 에피막을 성장할 수 있다.

4. 결론

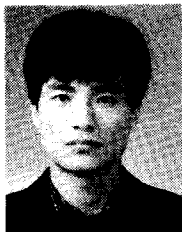
RTCVD 법을 이용하여 결정성이 우수하고 서브마이크론 수준의 두께조절이 가능한 실리콘 에피막을 성장하였다. 실리콘 웨이퍼의 in-situ cleaning 공정으로

웨이퍼 표면의 자연 산화막을 제거하기 위하여 실시한 H₂ prebaking 공정은 900 °C 에서 1 분간 2 slm 의 수소가스 유량을 유지하는 조건에서 실리콘 웨이퍼의 자연산화막이 효과적으로 제거되었다. 그리고 실리콘 에피막의 성장은 900 °C 에서 공정압력이 증가할수록 그리고 D.C.S. 원료가스의 vol% 가 증가할수록 stacking fault 의 밀도와 크기가 증가하였으며, 5 vol% D.C.S. 원료가스로 1 torr 의 낮은 공정압력에서 stacking fault 의 발생을 억제할 수 있었다. 또한 RTCVD 법에 의한 실리콘 에피막의 성장은 900 °C, 1 torr 의 낮은 공정압력조건에서 결정성이 우수하였고, 성장계면에서의 불순물 농도분포는 약 200Å/decade로 매우 급격하게 변화하는 결과를 얻었다.

5. 참고문헌

- [1] Bernard S. Meyerson, "UHV/CVD Growth of Si and Si:Ge Alloys : Chemistry, Physics, and Device Applications", *proceedings of the IEEE*, vol.80, no.10, pp1592-1608, 1992.
- [2] J.F. Gibbons and C.M. Gronet, "Limited Reaction Processing : Silicon epitaxy", *Appl.Phys.Lett.*, vol.47, no.7, pp.721-723, 1985.
- [3] Mehrdad M. Moslehi et al., "Single-Wafer Integrated Semiconductor Device Processing", *IEEE trans. electron devices.*, vol. 39, no.1, pp4-32, 1992.
- [4] T.Y.Hsieh, K.H.Jung, D.L.Kwong and S.K.Lee, "Silicon Homoepitaxy by Rapid Thermal Processing Chemical Vapor Deposition (RTCVD)-A Review", *J.Electrochem.soc.*, vol. 138, no.4, pp1188-1207, 1991.
- [5] G.Ghidini and F.W.Smith, "Interaction of H₂O with Si(111) and (100): critical conditions for the growth of SiO₂", *J.Electrochem.soc.*, vol.131, no.12, pp2924-2928, 1984.
- [6] T.Y.Hsieh, K.H.Jung, D.L.Kwong, T.H. Koschmieder and J.C.Thompson, "Study of Rapid Thermal Precleaning for Si epitaxial growth", *J.Electrochem.soc.*, vol.139, no.7, pp1971-1978, 1992.
- [7] Ahmad Kermani, Y.H.Ku, F.Wong, K.B.Kim, P.Maillot, A.E.Morgan and S.Hahn, "The Application of Rapid Thermal Chemical Vapor Deposition of Doped-Thin Single Crystal Silicon for MOS and Bipolar Technologies", *SPIE proceedings*, vol.1189, pp.121-140, 1989.
- [8] M.Liehr, C.M.Greenleaf, S.R.Kasi and M.Offenberg, "Kinetics of silicon epitaxy using SiH₄ in a rapid thermal chemical vapor deposition reactor", *Appl.Phys.Lett.*, vol.56, no.7, pp.629-631, 1990.
- [9] J.L.Regolini, D.Bensahel, E.Scheid, and J.Mercier, "Selective epitaxial silicon growth in the 650-1100°C range in a reduced pressure chemical vapor deposition reactor using dichlorosilane", *Appl.Phys.Lett.*, vol.54, no.7, pp.658-659, 1989.

著 者 紹 介



정 옥 진

1961년 11월 3일생, 1984년 경북대학교 공대 전자공학과(학사), 1986년 경북대학교 대학원 전자공학과(전자물성, 석사), 1990년 - 현재 경북대학교 공대 전자공학과 반도체전공 박사과정 재학중, 1987년-

현재 (재)산업과학기술연구소 전력전자연구팀 주임연구원, 주관심 분야: 반도체공정개발 및 평가기술 등



김 광 일

1958년 9월 1일생, 1981년 경북대학교 공대 전자공학과(학사), 1987년 경북대학교 대학원 전자공학과(전자물성, 석사), 1995년 일본 게이오 대학 이공학부 전기공학과(반도체 물리, 박사), 1987- 현재

(재)산업과학기술연구소 전력전자연구팀 주임연구원, 주관심 분야: 반도체재료 및 공정유기 결함분석, 단결정 박막성장 등



권 영 규

1955년 3월 11일생, 1981년 경북대학교(학사), 1985년 일본 게이오 대학 이공학부 전기공학과 (석사), 1989년 일본 게이오 대학 이공학부 전기공학과 (박사), 1989년 - 현재 (재)산업과학기술연구소 전력

전자연구팀 팀장, 책임 연구원, 주관심 분야: 실리콘 물성 및 평가, 마이크로 머시닝 공정개발



강 봉 구

1955년 7월 20일생, 1976년 경북대학교 공대(학사), 1984년 Univ. of Calif., Berkeley(석사), 1986년 Univ. of Calif., Berkeley(박사), 1976-1981년 국방과학연구소 연구원, 1986-1989년 한국전자통신연구

소 선임연구원, 1989년-현재 포항공과대학교 전자전기공학과 부교수, 주관심분야: 플라즈마 응용, 반도체 공정 및 장비, 초고주파 회로

배 영 호

제7권 제1호 "SAW 소자응용을 위한 LiTaO3 단결정의 성장과 특성" pp.75-85, 1995

현재 (재)산업과학기술연구소 전력전자연구팀 책임 연구원

손 병 기

『센서학회지 제1권 제1호』 논문92-08, p.101 참조

현재 경북대학교 전자공학과 교수, 센서기술연구소 소장