

논문 96-5-1-09

다결정 실리콘을 이용한 p⁺n 다이오드의 누설전류 개선

김 원 찬, 이 재 곤, 최 시 영

Improved leakage current characteristics of p⁺n diode
with polysilicon layer

Weon-Chan Kim, Jae-Gon Lee, Sie-Young Choi

요 약

하이퍼어브러프트 접합구조의 p⁺n 다이오드의 누설전류를 감소시키기 위하여 3000Å 두께의 다결정 실리콘을 다이오드의 상층부에 증착하여 900°C, N₂ 분위기에서 30분간 어닐링하였다. 다결정 실리콘 유무 및 n 확산층의 불순물 종류에 따른 다이오드의 누설전류 특성을 조사하였으며, 다결정 실리콘을 사용하였을 때 누설전류의 크기를 약 $\frac{1}{1000}$ 배 감소시킬 수 있었다. TEM 분석을 통하여 활성화 영역에 존재하였던 많은 전위 루프들이 그 표면 위에 다결정 실리콘을 사용함으로써 제거됨을 알 수 있었다. 그리고 이 결함들은 As의 이온주입에 의한 n 확산층에 의해 유발됨을 알 수 있었다.

Abstract

To decrease the leakage current of p⁺n junction diode with hyperabrupt structure, the 3000Å polysilicon was deposited on the top of conventional p⁺n diode and then annealed for 30 minutes at 900°C in the N₂ ambient. It was estimated for both p⁺n diodes with and without polysilicon layer, and the impurity materials of n diffused layer to observe the influence of the polysilicon layer on leakage current characteristics. The leakage current was reduced to the order of 3 by using polysilicon layer. A large number of dislocation loops, which were believed to be generated by As-implanted diffused layer, were found to be removed by using polysilicon through TEM analysis.

1. 序 論

p⁺n 접합 다이오드는 많은 용도로 이용되고 있지만 그 용도에 따라 제작 공정과 구조는 다양하다. n 확산층을 가진 하이퍼어브러프트(hyperabrupt) 구조는 가변 용량 다이오드(variable capacitance diode)의 전형적인 형태이다. 이 소자의 중요한 특성인 용량-전압 특성의 기울기는 n 확산층에 의해 제어된다. 전압에 대한 용량 변화비가 큰 AM(amplitude modulation) 튜닝(tuning)

용의 다이오드는 인과 비소의 이온주입에 의한 2중 n 확산층으로 용량-전압 특성을 제어할 수 있었다. 그러나 큰 누설전류 때문에 DC 특성을 만족시킬 수 없었으며 이 특성을 개선시키기 위한 많은 연구가 이루어져 왔으며 그 방법 또한 다양하다^{1~4)}. 누설전류는 확산전류와 결함등에 의한 트랩들에서의 캐리어들의 발생과 재결합에 의한 것으로 나눌 수 있다. 확산전류는 온도, 도핑농도 등에 의존하는 것이다. 그러나 트랩센터들에 의한 누설전류는 게터링(gettering)을 이용함으로써 감소시킬 수 있다. 활성화 영역의 전위(dislocation), 적층결함(stacking fault), 침전물(precipitate) 등의 확장된 결함들(extended defects)은 큰 누설전류를 발생시키고, 국부적인 이상 확산 등의 원인이 되며, 이것들에

경북대학교 전자공학과
(Dept. of Electronic Eng., Kyungpook National
University)

<접수일자 : 1995년 11월 28일>

의하여 소자의 수율과 성능 저하를 일으킨다⁵⁾.

게터링은 그 방법에 따라 진성 게터링(intrinsic gettering)과 외인성 게터링(extrinsic gettering)으로 나눌 수 있다. 초기에는 스크래칭, 샌드 블래스팅(sand blasting)등의 단순한 기계적인 방법이 이용되었으나, 소자의 고집적화와 고속화가 진행되어 점점 더 고순도의 웨이퍼 가공이 요구됨에 따라 외인성 게터링과 진성 게터링이 복합적으로 이용되고있다^{6~10)}. 웨이퍼의 이면에 박막을 이용한 일반적인 외인성 게터링 방법은 활성화 영역으로부터 게터링 자리까지의 먼 확산거리 때문에 저온 공정에서는 효과가 적다.

본 논문에서는 누설전류의 감소를 위하여, 전극으로 사용이 가능한 다결정 실리콘 박막을 도입하였다. 인과 비소의 2중 n 확산층으로 된 0.3 μ m의 얇은 접합인 하이퍼어브러트 p⁺n 접합 구조의 가변용량 다이오드의 누설전류를 개선하기 위하여 3000Å의 다결정질 실리콘 박막을 액티브 영역의 표면에 증착하여 900°C에서 어닐링을 실시하였을 경우의 누설전류 감소효과를 조사하였다. 또한 n층의 농도 프로파일을 형성하는 영역중 비소(As) 이온주입층이 누설전류에 미치는 효과를 조사하였으며, TEM 분석을 통하여 활성화 영역에서의 결합분포도 조사하였다.

II. 實 驗

실험에서 사용된 다이오드의 구조는 하이퍼 어브러트 p⁺n 접합이며 그림 1에 소자의 평면도와 단면도를 각각 나타내었다. 사용한 시편은 2 \times 10¹⁸ cm⁻³의 농도로 안티몬(Sb)이 도핑된 (111)면의 n⁺ 실리콘 기판위에, 두께가 6 μ m이고 25 Ω ·cm의 저항율로 인(P)이 도핑된 n형 에피택셜 웨이퍼이다. 그림 2에는 소자제작 공정의 흐름도를 나타내었다. n층의 농도 프로파일을 형성하는 공정에서는 인을 먼저 도핑한 후에 비소(As)를 도핑한 2중 확산층 구조를, p⁺ 층은 고체 도펀트인 BN 웨이퍼를 사용하여 각각 형성하였다.

그림 2와 같이 표면에 증착한 다결정 실리콘의 누설전류에 미치는 효과를 조사하기 위한 공정 순서는 다음과 같다. 첫째, p⁺n 다이오드를 형성한 후에 이면의 다결정 실리콘 증착 방지를 위하여 웨이퍼의 표면과 이면 모두 CVD 방식에 의한 실리콘 산화막을 증착시킨다. 둘째, 마스크를 이용하여 다결정 실리콘을 증착시킬 액티브 영역의 CVD 산화막을 제거한다. 셋째,

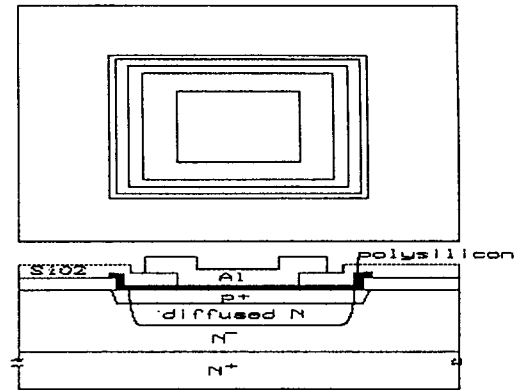


그림 1. 실험에서 사용된 다이오드의 평면도와 단면도
Fig. 1. The plane figure and cross section of diode which was used in experiment.

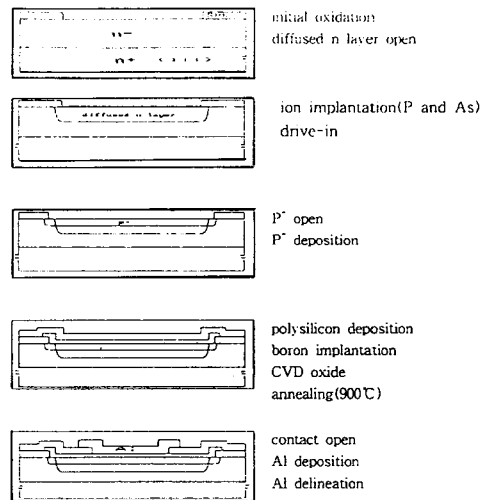


그림 2. 다이오드 제조의 흐름도
Fig. 2. The flow chart of diode fabrication.

다결정 실리콘을 3000Å 두께로 증착시킨다. 넷째, 이면 산화막위에 형성된 200~300Å 두께의 다결정 실리콘과 표면의 CVD 산화막 위에 형성된 3000Å의 다결정 실리콘을 제거한다. 다섯째, 다결정 실리콘 마스크를 위한 이면의 CVD 산화막을 모두 제거한다. 여섯째, 각각의 소자에 대하여 다결정 실리콘을 전기적으로 서로 분리시킨다. 일곱째, 알루미늄과의 저항성 접촉을 위하여 ¹¹B'를 이온주입한다. 여덟째, CVD 산화막을 증착시킨후, 900°C에서 30분 어닐링을 실시한다. 그리고

n층 형성시 As의 이온주입이 누설전류에 미치는 효과를 조사하기 위하여 전면에 포토 레지스터(photoresist)를 마스크로 사용하여 웨이퍼의 반면만 As 이온을 주입하고 나머지 반면은 P 이온만을 주입하여 n 확산층을 형성한 후에 p⁺ 영역을 형성하였고, 이 때 발생하는 누설전류를 비교하였다.

III. 結果 및 考察

1. 누설전류 특성결과

실험에서 사용된 2가지 조건, 즉 다결정 실리콘을 사용한 경우와 그렇지 않은 경우, 그리고 n 영역의 확산층 형성시 이온주입 방식으로 P만을 도핑한 경우와 As만을 도핑한 경우의 누설전류 특성을 각각 비교하였다. 소자의 역방향 전류-전압특성(I_R-V_R)에 대한 그림 3에 나타난 바와 같이 다결정 실리콘을 사용하지 않은 경우는 낮은 역전압에서도 큰 누설전류(수 μA)를 나타내었으나, 다결정 실리콘을 증착한 경우는 누설전류의 큰 감소 효과(수 nA)를 나타냈다. 그리고 n 확산층 형성시 As를 도핑하지 않고 P만을 도핑한 경우에는 다결정 실리콘을 사용하지 않은 경우에도 정상적인 항복전압(50V)을 나타내었다.

그림 4에는 n 확산층 형성 조건에 따른 I_R-V_R 특

성 결과를 나타내었다. 그림에 나타난 결과로부터 n 확산층 형성시의 As 도핑 공정에서 발생된 결함이 누설전류의 주요한 원인이 되었고 다결정질 실리콘에 의해 결함이 케터링 되었을 것으로 추측된다. 그림 5에는 다결정 실리콘을 사용했을 경우와 그렇지 않았을 경우의

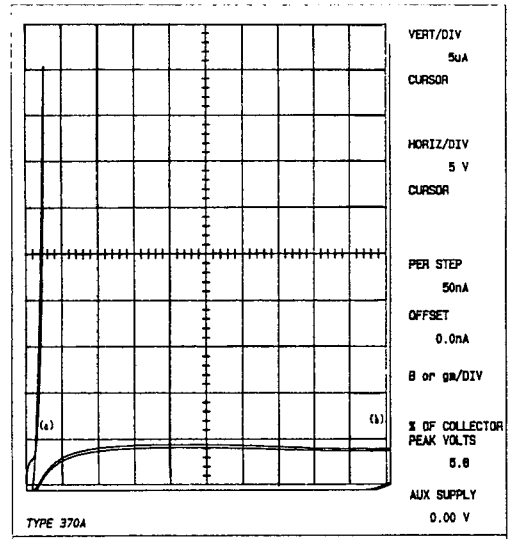


그림 4. n 확산층의 arsenic(a)와 phosphorus(b)가 누설전류에 미치는 효과

Fig. 4. The effects of n diffused layer on leakage current:arsenic(a) and phosphorus(b).

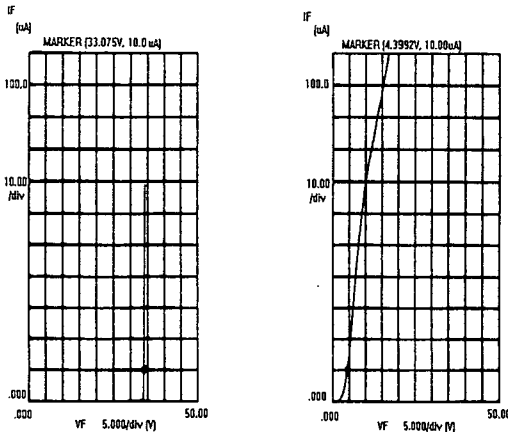


그림 3. 다결정질 실리콘을 사용한 경우(a)와 사용하지 않은 경우(b)의 I_R-V_R 특성의 비교

Fig. 3. Comparison of I_R-V_R characteristics with polysilicon(a) and without polysilicon(b).

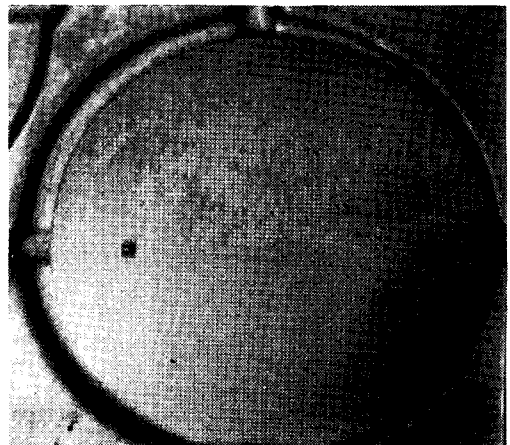


그림 5. 다결정질 실리콘을 사용했을 경우와 사용하지 않았을 경우의 소자 수율 분포

Fig. 5. Comparison of device yield with and without polysilicon layers.

칩 수율 분포를 나타내었다. 웨이퍼의 상부는 다결정 실리콘을 사용한 경우이고 하부는 다결정 실리콘을 사용하지 않은 경우이다. 흰점으로 나타나는 칩이 양품 ($V_R=15V$ 에서 $50nA$ 이하의 I_R)이며 검게 나타나는 것이 불량이다. 다결정 실리콘을 사용한 경우에는 약 60%의 수율을 나타냈지만 그렇지 않은 경우는 0%를 나타냈다. 실제 다결정 실리콘을 사용한 불량칩의 경우에도 사용하지 않은 경우 보다는 훨씬 작은 누설전류를 나타냈다.

2. TEM 분석 결과

그림 6과 7은 다결정질 실리콘을 사용하지 않은 경우와 사용한 경우 모두 $900^{\circ}C$, 30분간 어닐링을 실시한 후 각각을 TEM으로 30,000배의 배율로 찍은 사진이다. 그림 6은 다결정 실리콘을 사용하지 않은 경우의 것으로서 표면과 벌크쪽에 수많은 전위 루프들이 존재하고 있음을 볼 수 있다. $p'n$ 접합깊이가 $0.3 \mu m$ 이므로 접합부를 가로질러 이 전위들이 존재함으로써 많은 누설전류가 발생된 것이다. 그림 7은 다결정질 실리콘을 증착한 경우의 것으로 2~3개의 전위 루프만이 존재하고 있고 대다수가 제거되었다. 따라서 다결정 실리콘에 의해 선결함인 전위가 게터링 되었음을 알 수 있다.

3. 다결정 실리콘의 게터링 효과

실험에서 사용된 다이오드에서 큰 누설전류를 발생시킨 경우는 n 확산층 형성시 As 의 이온주입에 의한 것이다. 이것은 앞에서 언급한 As 이온 형성층의 존재 유무에 의해 누설전류의 크기가 큰 차이가 나는 것으로 알 수 있었다. 그림 8은 p' 영역을 형성한 후에 Si 표면위에 다결정 실리콘의 적용 여부와 n 확산층의 형성시 P 또는 As 원소만으로 형성하고 다결정 실리콘 없이 CVD 산화막을 적용했을 경우의 누설전류 크기를 비교한 것이다. 이때 어닐링 조건은 모두 $900^{\circ}C$, 30분으로 동일하다. 누설전류의 측정은 HP4145B를 사용하였고 이때 $V_R=15V$ 였다.

이 그림에서 알 수 있듯이 다결정 실리콘을 사용했을 경우와 P 만으로 n 확산층을 형성시켰을 경우에는 각각 수 nA 정도의 낮은 누설전류를 나타내지만, 다결정 실리콘을 사용하지 않고 p' 영역을 형성한 후에 CVD 산화막을 증착하여 어닐링한 경우는 수십 μA 의

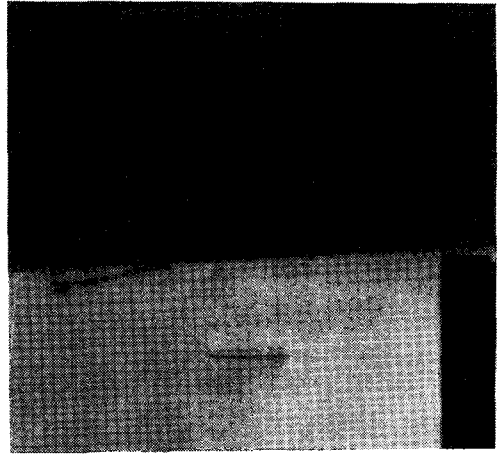


그림 6. 다결정 실리콘을 사용하지 않고 $900^{\circ}C$, 30분간 어닐링을 실시한 경우의 다이오드 활성화 영역의 TEM 사진

Fig. 6. TEM photograph of active region of diode without polysilicon after annealing for 30 min. at $900^{\circ}C$.

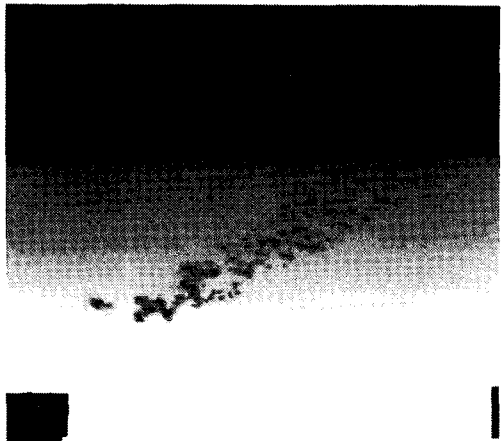


그림 7. 다결정 실리콘을 증착한 후 $900^{\circ}C$, 30분 어닐링한 경우의 다이오드 활성화 영역의 TEM 사진

Fig. 7. TEM photograph of active region of diode with polysilicon after annealing for 30 min. at $900^{\circ}C$.

큰 누설전류를 나타내고있다.

TEM 사진과 누설전류 특성으로 부터 다결정 실리콘을 사용하지 않은 경우에 큰 누설전류 발생의 원인은 전위 루프들에 의한 것이었으며 다결정 실리콘을 사용하여 많은 전위 루프들을 제거하여 현저히 그 값이 감소하였다. 그림 6에서 많은 전위 루프가 발생한 원인은 비소 확산층의 형성후 p' 형성때 880℃의 저온 어닐링시 As의 클러스트(cluster) 발생에 의한 응력 유발로 추정된다. 다결정 실리콘은 As에 대한 강한 석출 작용을 일으킴으로써 As의 클러스트에 의해 발생된 전위 루프들이 제거된 것으로 생각된다.

닐링함으로써 결함들을 제거할 수 있었으며 누설전류(수 nA)의 현저한 감소효과를 얻을 수 있었다. 그러므로, 다결정 실리콘을 적용함으로써 저온 공정의 소자 제조시에도 이 방법이 좋은 게터링 방법으로 기대된다.

As 이온주입시 발생된 결함은 p' 형성 공정시 880℃의 저온 공정에 의한 As의 클러스트 발생에 따른 응력 유발로 전위 루프들이 발생된 것으로 추정되며 다결정 실리콘의 As 원소에 대한 강한 석출 효과로 As가 다결정 실리콘의 입계로 확산됨으로써 클러스트 발생에 기인한 전위들이 제거된 것으로 생각된다.

参 考 文 献

- [1] J. L. Lambart and M. Reese, "The gettering of gold and copper from silicon", Solid-state Electron., vol. 11, pp. 1055~1061, 1968.
- [2] D. K. Sadana, "Gettering in processed silicon", Semiconductor International, Sunnyvale, Calif, pp. 362~368, 1985.
- [3] R. Falster and W. Bergholz, "The gettering of transition metals by oxygen-related defects in silicon", J. Electrochem. Soc., vol. 137, no. 5, pp. 1548~1558, 1990.
- [4] A. S. M. Salih, J. S. Ruy, G. A. Rozgonyi, and K. E. Bean, "Extrinsic gettering via epitaxial misfit dislocations:Electrical characterization", J. Electrochem. Soc., vol. 133, no. 3, pp. 475~478, 1986.
- [5] L. Baldi, G. Cerofolini, and G. Ferla, "Heavy metal gettering silicon-device processing", J. Electrochem. Soc., vol. 127, no. 1, pp. 164~169, 1980.
- [6] C. J. Kircher, "Comparison of leakage currents in ion-implanted and diffused p-n junctions", J. Appl. Phys., vol. 46, no. 5, pp. 2167~2173, 1975.
- [7] Y. Hayafuji, T. Yanada, and Y. Aoki, "Laser damage gettering and its application to lifetime improvement in silicon", J. Electrochem. Soc., vol. 128, no. 9, pp. 1975~1980, 1981.
- [8] W. F. Tseng, T. Koji, J. W. Mayer, and T. E. Seidel, "Simultaneous gettering of Au in silicon by phosphorus and dislocations", Appl. Phys.

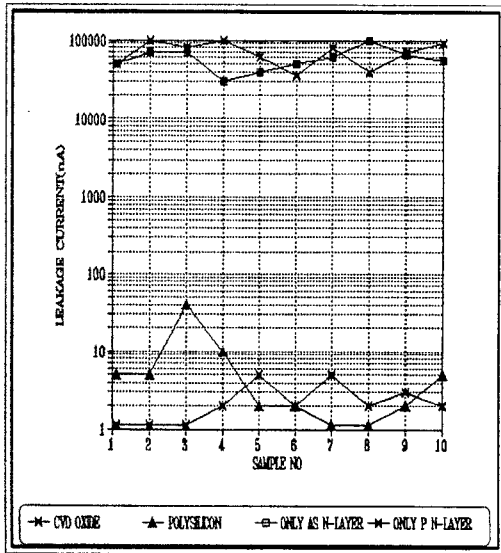


그림 8. 다이오드 표면위의 막의 종류와 n 확산층 형성조건에 따른 누설전류의 비교

Fig. 8. Comparison of leakage current dependence both on types of films and types of diffused n layers.

IV. 結 論

본 연구에서는 다결정 실리콘을 이용하여 하이퍼 어브러스트 구조의 p-n 다이오드의 누설전류를 개선시켜 0%의 DC 수율을 60%까지 향상시킬 수 있었다.

다결정 실리콘을 사용하지 않았을 경우의 큰 누설전류(수십 μ A)의 원인은 이온주입에 의한 As 도핑시 발생된 전위 루프에 기인함을 알 수 있었다. 다결정 실리콘을 액티브 영역의 표면에 증착하여 900℃에서 어

- Lett., vol. 33, no. 5, 1978.
- [9] M. C. Chen and V. J. Silvestri, "Post-epitaxial polysilicon and Si_3N_4 gettering in silicon", J. Electrochem. Soc., vol. 129, no. 6, pp. 1294~1299, 1982.
- [10] M. M. Mandurah, K. C. Saraswat, and C. R. Helms, "Dopant segregation in polycrystalline silicon", J. Appl. Phys., vol. 51, no. 11, pp. 5755~5763, 1980.

著 者 紹 介



김 원 찬

1966년 1월 12일생, 1989년 부산대학교 무기재료공학과 졸업(공학사). 1995년 경북대학교 산업대학원 반도체공학전공 졸업(공학석사). 1989년~현재 한국전자 반도체 사업본부 TR사업부 근무 중. 주관심 분야 : Varactor diode process 및 그 특성, 다결정 실리콘의 특성과 응용등.

이 재 곤

『센서학회지 제3권 제1호』 논문 94-3-1-03, p.25 참조
현재 경북대학교 대학원 전자공학과 박사과정

최 시 영

『센서학회지 제1권 제1호』 논문 92-11, p.100 참조
현재 경북대학교 전자공학과 교수