

논문 96-5-6-08

InSb MIS구조에서의 계면의 전기적 특성 평가

이 재 곤*, 최 시 영*

Characterization of interfacial electrical properties in InSb MIS structure

Jae Gon Lee*, Sie Young Choi*

요 약

저온 remote PECVD SiO₂막을 이용하여 제조된 InSb MIS구조에서의 계면의 전기적 특성에 대하여 연구하였다. 105℃에서 증착시킨 SiO₂막을 이용한 MIS구조의 중간 에너지 대역폭에서의 계면상태밀도가 $1\sim 2\times 10^{11}$ cm⁻²eV⁻¹으로 평가되었다. 그러나, 150℃이상의 고온에서 제조된 MIS소자의 계면에는 다량의 계면준위 및 트랩 준위가 존재하였다. G-V측정으로부터 계산된 계면준위들의 시상수는 $10^{-4}\sim 10^{-5}$ sec였으며, 증착온도가 증가할수록 트랩밀도가 증가하여 C-V특성곡선의 이력특성이 증대되었다.

Abstract

The interfacial electrical properties of InSb MIS structure with low temperature remote PECVD SiO₂ have been characterized. The interface-state density at mid-bandgap of the MIS structure was about $1\sim 2\times 10^{11}$ cm⁻²eV⁻¹, when the SiO₂ film was deposited at 105℃. However, large amount of interface states and trap states were observed in the MIS structure fabricated at temperatures above 150℃. The time constant of $10^{-4}\sim 10^{-5}$ sec of interface states was extracted from G-V measurement. As the deposition temperature increased, the hysteresis of C-V curves were increased due to the high trap density.

1. 서 론

Ⅲ-V족 화합물반도체의 일종인 InSb는 77K에서 에너지 갭이 0.23eV이고 전자의 이동도가 빠르기 때문에, HgCdTe와 더불어 적외선 화상처리용 센서로 많이 응용되고 있는 반도체 재료이다^{1,2)}. 다른 Ⅲ-V족 화합물반도체들에 비해 녹는점이 낮고, 깨어지기 쉬우며, 휘발성이 강한 V족 원소인 Sb가 약 250℃에서부터 승화되어 기판의 화학양론적 조성비가 변하는 특성을 가지고 있다³⁾. 따라서 성능이 우수한 InSb 적외선 다이오드 및 MISFET등 소자제작을 위해서는 저온공

정을 필요로 하며 특히 양질의 절연막이 요구되는데, 저온에서 산화막을 형성하거나 절연막을 증착하는 방법으로는 상온에서의 양극산화법⁴⁾, CVD⁵⁻⁶⁾, 광 CVD⁷⁻⁸⁾, 그리고 direct PECVD⁹⁻¹⁰⁾등으로 분류된다. 일반적으로, 양극산화막이나 PECVD로 증착시킨 SiO₂ 및 Si₃N₄막을 이용하여 제조된 InSb MIS소자의 경우 고주파 정전용량-전압특성으로부터 구한 계면준위밀도 및 트랩전하밀도가 높은 반면, CVD 및 광 CVD SiO₂막을 이용한 MIS소자의 경우 양질의 계면특성을 가진다고 알려져 있다. 그러나, remote PECVD법으로 형성시킨 절연막을 InSb MIS소자에 응용한 예¹¹⁾가 거의 없었으며, 그 계면의 전기적 특성에 대한 체계적인 연구가 미비하다.

* 경북대학교 전자·전기공학부
(School of Electronic and Electrical engineering,
Kyungpook National University)

<접수일자 : 1996년 10월 4일>

본 연구에서는 67~190°C의 온도범위에서 증착시킨 remote PECVD SiO₂막을 이용하여 제조된 MIS소자의 계면 전기적 특성에 대하여 연구하였다.

II. 실험방법

본 연구에 사용된 InSb기판은 77K에서 저항률 및 캐리어 밀도가 각각 $2.0\sim 3.5 \times 10^{-2} \Omega \cdot \text{cm}$ 및 $3.5\sim 6.0 \times 10^{14} \text{cm}^{-3}$ 인 (100) n-형 기판이다. SiO₂막 증착전에 화학용액을 이용하여 표면을 세척한후 SiO₂막을 증착하였다^[13]. 실험에 사용된 remote PECVD장치로는, 13.56 MHz의 RF 전력이 유도형 코일로 플라즈마 여기 챔버 주위에 공급되고, 반응가스로는 N₂O 가스와 Ar에 10%로 희석된 SiH₄ 가스를 사용하였다. N₂O 가스는 플라즈마 여기 챔버로 주입되고, SiH₄ 가스는 증착 챔버에 주입된다. 계면특성 평가를 위한 SiO₂막의 공정조건을 표 1에 나타내었다.

표 1. SiO₂막의 공정조건

Table 1. Processing condition of SiO₂ thin films.

Processing parameters	Values
RF input power	30 watt
Pressure	220 mTorr
Gas flow ratio (N ₂ O:SiH ₄)	12:1
Substrate temperature	67°C, 105°C, 150°C, 190°C

MIS 소자용 SiO₂막의 두께는 1300~1350Å으로 고정시켰으며, 게이트 전극으로는 Ni를 이용하였고, InSb기판과의 Ohmic 전극으로는 In을 이용하였다. 제작된 MIS소자는 TO-형 header에 장착하여 금선으로 배선한 후, InSb기판에서의 상온 background에 의한 광 전자-정공 생성을 차단하기 위하여 금이 도금된 전자차폐용 cap을 사용하여 암상태의 액체질소속에서 측정하였다. MIS소자의 정전용량-전압(C-V) 및 컨덕턴스-전압(G-V)측정은 측정주파수의 가변에 따른 정전용량 및 컨덕턴스 특성변화를 관측하기 위하여 HP4192A LF impedance analyzer를 이용하였으며, 측정시 인가된 AC 소신호 전압은 10mVrms이었고, DC전압의 scan rate는 100mV/sec였다.

III. 결과 및 고찰

그림 1은 여러 가지 증착온도에서 제조된 InSb MIS소자의 정규화된 1MHz 고주파 C-V 특성곡선이다. 150°C 이상의 고온영역에서는 증착온도가 높을수록 C-V곡선의 이력특성이 증가하고, SiO₂막과 InSb기판 사이의 계면준위들로 인하여 C-V 곡선의 기울기가 완만해짐을 볼 수 있다. 105°C 및 67°C의 저온영역에서 제조된 MIS소자의 특성은 고온영역에서 제조된 소자의 특성보다 계면특성이 우수하고 이력특성이 매우 작음을 볼 수 있다. 일반적으로 양질의 절연막은 상대적으로 고온에서 증착되지만, 고온에서는 유전층이 형성되기 시작하면서 계면을 변화시킬 수 있는 기판과 유전층의 상호확산이 있을 수 있으며, 기판의 증기화 및 산화과정도 증대된다. 그러므로 이러한 과정이 최소화된다면, 가능한 낮은 온도에서 유전층을 증착하는 것이 유리하다. 그러나, 온도가 낮아질수록 증착된 막의 유전특성 및 기계적 특성이 저하되므로, 우수한 계면특성 및 절연막특성을 가지는 절연막을 형성하기 위해서는 상호보완적인 적절한 온도의 설정이 필요하게 된다^[14]. InSb기판위에 증착시킨 CVD^[5-6] 및 광 CVD^[7-8] SiO₂막의 경우 각각 180~200°C 및 150°C의 증착온

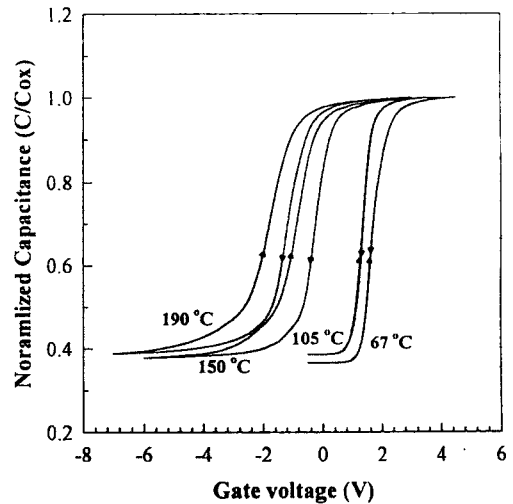
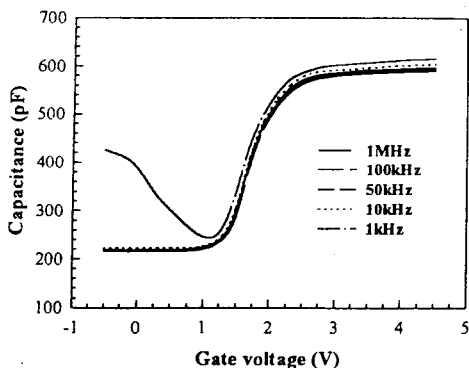


그림 1. 여러 증착온도에서 제조된 MIS소자의 정규화된 C-V 특성곡선

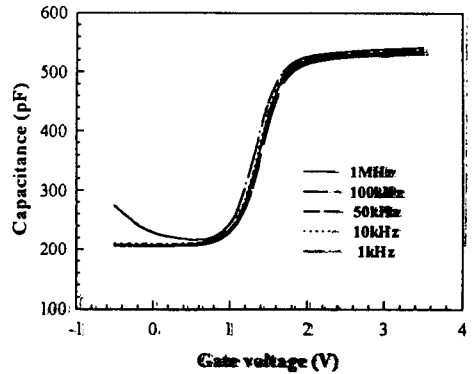
Fig. 1. Normalized C-V characteristics of the MIS device fabricated several deposition temperatures.

도에서 그 계면특성이 우수한 것으로 보고된 반면, 본 연구에서의 remote PECVD SiO₂ 막의 경우 100°C 근처의 증착온도가 양질의 계면특성을 유지하기 위한 최적의 온도로 여겨진다. 측정된 1MHz C-V 특성곡선으로부터 Terman방법^[15]을 이용하여 계산된 계면준위 밀도분포를 계산하였고, 105°C에서 증착된 SiO₂막을 이용한 MIS소자의 계면준위밀도가 가장 낮게 나타났으며, 중간 에너지 대역근처에서의 계면준위밀도가 $1 \sim 2 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 로 평가되었다^[13]. 이러한 낮은 계면준위밀도는 계면특성이 우수하다고 보고한 CVD^[6] 및 광 CVD^[16]에서 평가된 $1 \sim 2 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 와 비슷한 값이며, 최근에 W. Barth등^[11]이 보고한 remote PECVD SiO₂막의 계면특성보다 우수하다.

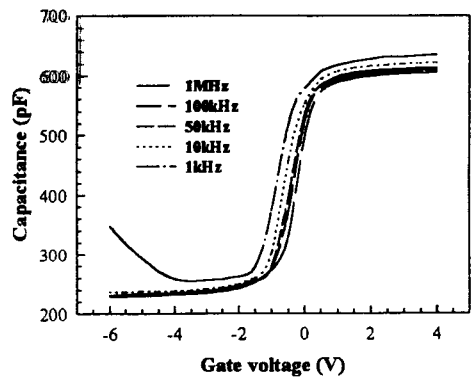
그림 2는 측정 주파수에 따른 MIS소자들의 C-V 특성곡선을 나타내고 있다. 계면특성이 우수한 소자의 경우 축적영역에서의 정전용량이 주파수에 따라 큰 변화를 보이지 않지만, 계면특성이 나쁜 소자의 경우, 주파수가 낮아지면서 축적영역에서의 정전용량이 현저하게 증가되는 것을 볼 수 있다. 이는 주파수에 따라 SiO₂막의 비유전율이 변하는 것을 의미하는데, 이러한 비유전율의 주파수 의존은 유전층의 유전특성이나 높은 주파수 대역에서는 응답하지 못하는 높은 밀도의 계면준위에 기인한다^[17]. 증착온도가 높을수록 SiO₂막 내부의 O-H결합이 감소하고, 전기저항률 및 절연과파 전장이 증가하여 안정된 막을 형성할 수 있다^[13]. 그러나 고온(150°C 및 190°C)에서 제조된 MIS소자들의 계면특성이 저온(67°C 및 105°C)에서 제조된 MIS소자들의 계면특성보다 저하된 그림 1의 결과와 비교하면, 증착온도가 증가되면서 비유전율의 주파수 의존이 커지는 것은 계면준위에 기인한다고 할 수 있다. 그리고



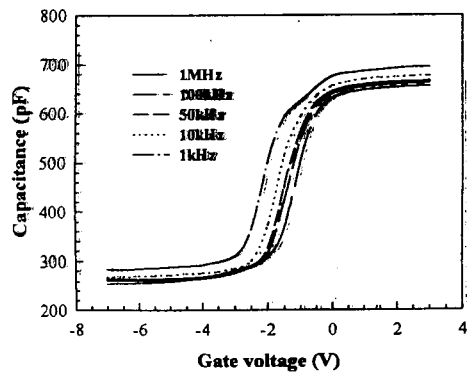
(a) 67°C



(b) 105°C



(c) 150°C

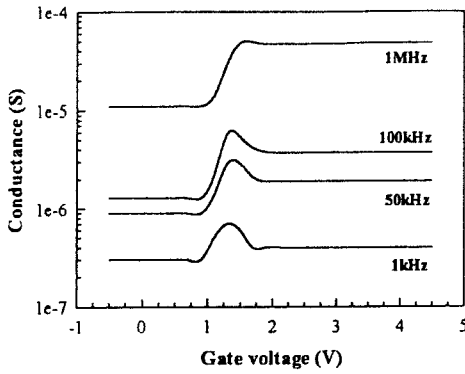


(d) 190°C

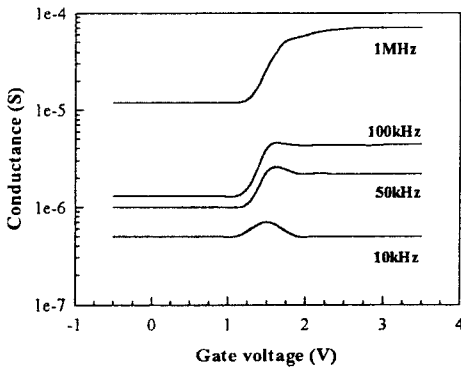
그림 2. 측정 주파수에 따른 MIS소자들의 C-V 특성곡선
Fig. 2. C-V characteristics of MIS devices with different measuring frequencies.

측정 주파수가 1kHz일 때, 반전영역에서의 정전용량이 일정하게 유지되지 않고 증가되는 것을 볼 수 있는데, 이는 제조된 MIS소자들의 저주파 특성이 약 1kHz에서부터 시작된다는 것을 의미한다. 계면에 존재하는

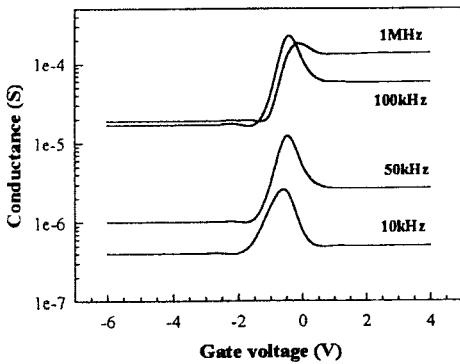
계면준위들의 응답특성을 조사하기 위하여 주파수에 따른 MIS소자들의 G-V측정을 행하였으며, 그 결과를 그림 3에 나타내었다. 모든 소자들의 G-V특성곡선에서 컨덕턴스의 피크가 나타났는데, 이는 SiO₂막과 InSb기판사이의 계면에 존재하는 계면준위들의 시상수가 10⁻⁴~10⁻⁵ sec임을 의미한다. 또한 증착온도가 증가하면서 10~100kHz 주파수범위에서의 컨덕턴스의



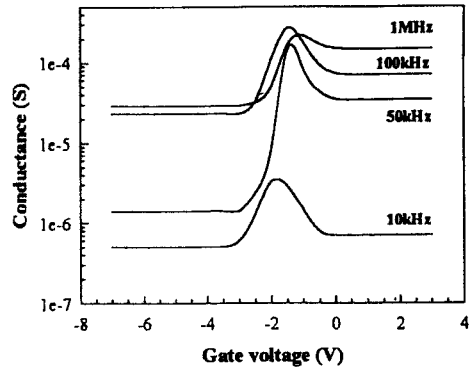
(a) 67°C



(b) 105°C



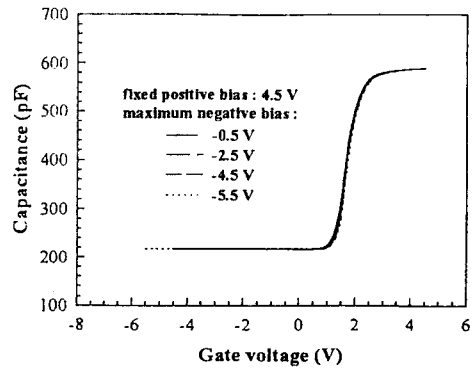
(c) 150°C



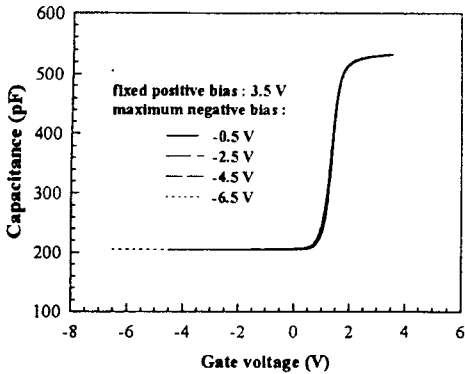
(d) 190°C

그림 3. 측정주파수에 따른 MIS소자들의 G-V특성곡선
Fig. 3. G-V characteristics of MIS devices with different measuring frequencies.

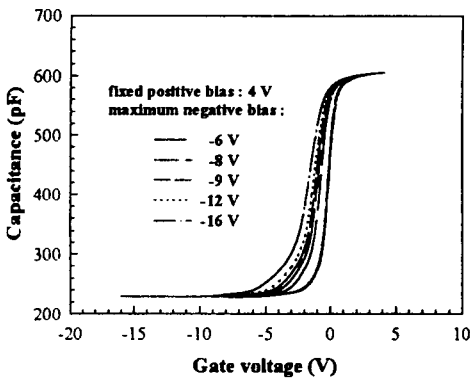
피크가 상대적으로 커짐을 볼 수 있는데, 컨덕턴스 피크의 상대적 증가는 계면준위밀도의 증가에 의한 것이므로, 150°C 이상의 고온에서는 다량의 계면준위들이 SiO₂막과 InSb기판사이에 존재하게 되어 계면특성이 크게 저하된다는 것을 의미한다. 반도체기판과 유전층 계면에서 부터 “터널링 거리(약40~50Å)”에 존재하는 다량의 트랩밀도는 C-V특성곡선의 이력특성을 유발시키는 한 요인이다^[18]. 이러한 C-V특성곡선의 이력특성은 반도체 밴드갭의 크기가 중요한 역할을 하게 되는데, 에너지 갭이 작은 반도체 일수록 그 위에 형성시킨 MIS구조의 C-V특성은 두드러진 이력특성을 나타낸다^[18]. 또한 이러한 이력특성은 게이트 전압의 측정범위에도 의존하기 때문에, InSb기판위에 형성시킨 유전층의 트랩밀도를 파악하기 위해서는 인가되는 게이트



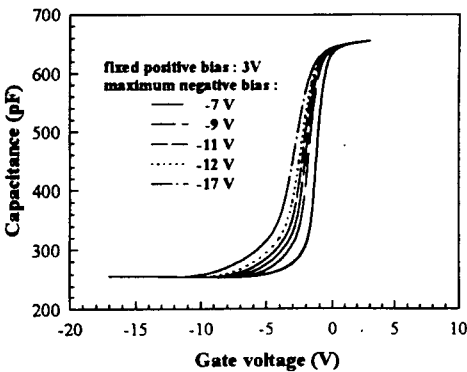
(a) 67°C



(b) 105°C



(c) 150°C



(d) 190°C

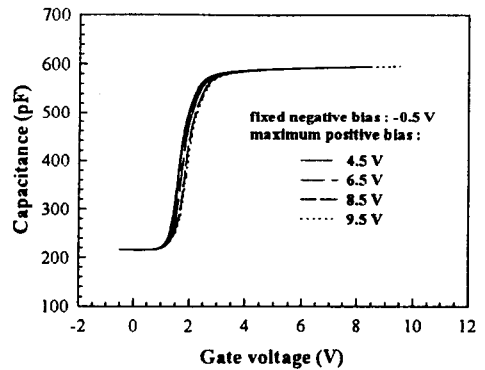
그림 4. 음의 게이트 전압을 변화시키면서 측정된 MIS소자들의 C-V특성곡선

Fig. 4. C-V characteristics of MIS devices with different negative gate voltages.

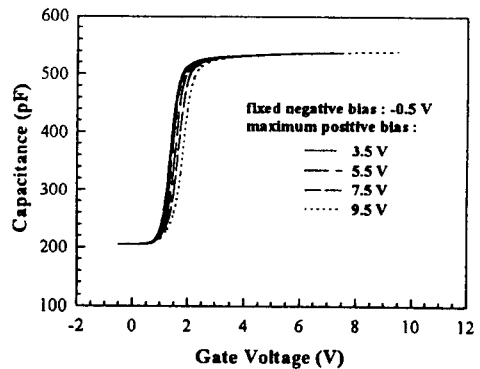
전압의 범위에 따른 이력특성의 변화를 측정하여야 한다. 그림 4는 MIS소자에 인가되는 양의 게이트 전압(축적상태)을 고정시키고, 인가되는 음의 게이트 전압

(반전상태)을 순차적으로 증가시키면서 측정된 C-V 특성곡선이다. 67°C 및 105°C에서 제조된 MIS소자들의 경우, 음의 게이트 전압 증가에 따른 이력특성의 변화가 거의 없는 반면, 150°C 및 190°C에서 제조된 MIS소자들의 경우 순방향곡선(축적상태→반전상태)은 음의 게이트 전압 증가에 무관하지만, 역방향곡선(반전상태→축적상태)은 최대로 인가되는 음의 게이트 전압에 거의 선형적으로 이력특성이 증가하였다. 이는 인가되는 강한 음전장이 증가할수록 InSb기판표면의 반전층에 생성된 정공들이 기판과 유전층사이의 계면으로 터널링하여 트랩준위에 더 많이 포획되기 때문에 역방향곡선의 평탄전압이 (-)쪽으로 이동하게 된 것이다.

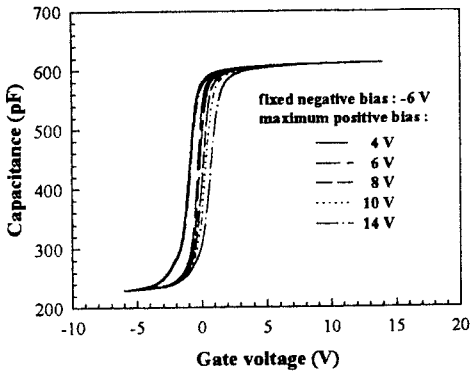
그림 5는 MIS소자에 인가되는 음의 게이트 전압(반전상태)을 고정시키고, 인가되는 양의 게이트 전압(축적상태)을 순차적으로 증가시키면서 측정된 C-V 특성곡선이다. 그림 4에서 나타난 결과와는 달리, 모든 소자들의 역방향곡선(반전상태→축적상태)들은 양의 게이트 전압 증가에 큰 영향이 없으나, 순방향곡선(축



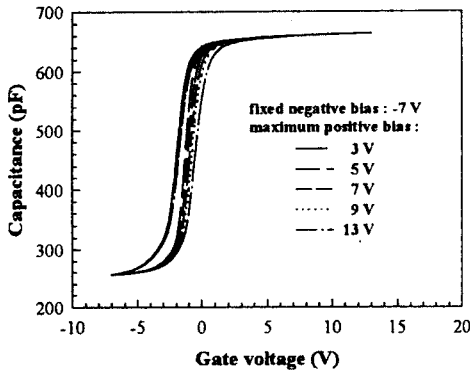
(a) 67°C



(b) 105°C



(c) 150°C



(d) 190°C

그림 5. 양의 게이트 전압을 변화시키면서 측정된 MIS소자들의 C-V특성곡선

Fig. 5. C-V characteristics of MIS devices with different positive gate voltages.

적상태→반전상태)들은 최대로 인가되는 양의 게이트 전압에 거의 선형적으로 비례하면서 이력특성이 증가하였다. 이는 강한 양전장이 증가할수록 InSb기판표면에 축적되어 있던 전자들이 더 많이 트랩준위에 포획되기 때문에 순방향곡선의 평탄전압이 (+)쪽으로 이동하게 된 것이다. 그림 4와 그림 5에서 나타난 바와 같이 산화막과 InSb기판사이의 계면에는 정공트랩과 전자트랩이 동시에 존재하는데, 전자트랩의 경우 연구된 증착온도범위에서 제조된 MIS소자들의 계면에 거의 같은 양이 존재하고 있으나, 정공트랩의 경우 저온에서 제조된 소자들의 계면보다 고온에서 제조된 소자들의 계면에 더 많이 존재하고 있음을 알 수 있다.

고온에서 이러한 트랩밀도 및 계면준위밀도가 높은 것은 계면에 존재하는 InSb의 산화층(In₂O₃ 및

Sb₂O₃)위에 SiO₂막이 형성될 때 증착온도의 상승에 의하여 기판산화층의 In 및 Sb원자들이 SiO₂막으로 확산되어 들어가면서 트랩장벽으로 작용할 수 있는 자연산화막의 손상이 발생하고 그로 인하여 초기에 형성되는 SiO₂층의 특성이 저하되기 때문으로 알려져 있다^[9]. 그러므로, 본 연구에서의 계면특성이 크게 저하되는 150°C이상의 증착온도에서는 플라즈마에 의해 여기된 O 반응종이 Si 반응종과 기판에서 표면반응을 하면서 SiO₂층이 형성될 때, InSb표면에 열적저하를 초래하게 되어 계면특성이 저하된다는 것을 의미한다고 할 수 있다.

IV. 결론

본 연구에서는 67~190°C의 기판온도범위에서 증착시킨 remote PECVD SiO₂막을 이용하여 제조된 MIS소자의 계면 전기적 특성에 대하여 연구하였다. 고온(150°C 및 190°C)에서 제조된 MIS소자들의 계면특성이 저온(67°C 및 105°C)에서 제조된 MIS소자들의 계면특성보다 저하되었는데, 고온 영역에서 제조된 경우 증착온도가 높을수록 계면준위 및 트랩전하들이 SiO₂막과 InSb기판사이에 많이 존재하였다. 105°C에서 제조된 소자의 계면준위밀도가 가장 낮게 나타났는데, 중간 에너지 대역근처에서의 계면준위밀도가 $1\sim 2 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 로 평가되었다. G-V측정으로부터 계산된 계면준위들의 시상수는 $10^{-4}\sim 10^{-5} \text{ sec}$ 였다. 산화막과 InSb기판사이의 계면에 존재하는 전자트랩은 연구된 증착온도범위에서 제조된 MIS소자들의 계면에 거의 같은 양이 존재하였으나, 정공트랩은 저온에서 제조된 소자들의 계면보다 고온에서 제조된 소자들의 계면에 더 많이 존재하였다. 이러한 연구결과들을 종합해보면, 계면특성이 크게 저하되는 150°C이상의 증착온도에서는 플라즈마에 의해 여기된 O 반응종이 Si 반응종과 기판에서 표면반응을 하면서 SiO₂층이 형성될 때, InSb표면에 열적저하를 초래하게 되어 계면특성이 저하되었기 때문으로 여겨진다.

감사의 글

본 연구는 경북대학교 센서기술연구소의 지원에 의하여 수행되었음

참 고 문 헌

- [1] R. D. Thom, T. L. Koch, J. D. Langan, and W. J. Parrish, "A fully monolithic InSb infrared CCD array", *IEEE Trans. Electron Devices*, vol. ED-27, no. 1, pp. 160-170, 1980.
- [2] C. Y. Wei, K. L. Wang, E. A. Taft, J. M. Swab, M. D. Gibbons, W. E. Davern, and D. M. Brown, "Technology development of InSb infrared imagers", *IEEE Trans. Electron Devices*, vol. ED-27, no. 1, pp. 170-175, 1980.
- [3] R. L. Farrow, R. K. Chang, S. Mroczkowski, and F. H. Pollak, "Detection of excess crystalline As and Sb in III-V oxide interfaces by Raman scattering", *Appl. Phys. Lett.*, vol. 31, pp. 768-770, 1977.
- [4] Yoram Shapira, J. Bregman, and Z. Calahorra, "Origin and effects of interface traps in anodic native oxides on InSb", *Appl. Phys. Lett.*, vol. 47, no. 5, pp. 495-497, 1985.
- [5] J. O. Langan and C. R. Viswanathan, "Characterization of improved InSb interfaces", *J. Vac. Sci. Technol.*, vol. 16, no. 5, pp. 1474-1477, 1979.
- [6] Masamichi Okamura and Makoto Minakata, "Hysteresis free SiO₂/InSb metal-insulator-semiconductor diodes", *J. Appl. Phys.*, Vol. 57, No. 6, pp. 2060-2065, 1985.
- [7] A. Kepten, Y. Shacham-Diamond, and S. E. Schacham, "Novel InSb/photochemical native oxide interface", *J. Appl. Phys.*, vol. 64, no. 5, pp. 2813-2815, 1988.
- [8] Ilan Bloom and Yael Nemirovsky, "Surface passivation of backside-illuminated indium antimonide focal plane array", *IEEE Trans. Electron Devices*, vol. 40, no. 2, pp. 309-314, 1993.
- [9] K. G. Germanova and E. P. Valcheva, "Characterization of interface electrical properties in SiO₂/InSb metal/insulator/semiconductor structures prepared by plasma-enhanced chemical vapour deposition", *Thin Solid Films*, vol. 148, pp. 243-250, 1987.
- [10] B. Ullrich, F. Kuchar, R. Meisels, F. Olcaytug and A. Jachimowicz, "Capacitance-voltage measurements on a p-type InSb metal/insulator/semiconductor structure with Si₃N₄ as the insulator", *Thin Solid Films*, vol. 168, pp. 157-163, 1989.
- [11] W. Barth and D. Lile, "Role of the native oxide on indium antimonide surface properties", *Thin Solid Films*, vol. 229, pp. 54-57, 1993.
- [12] 이재곤, 박상준, 최시영, "Remote PECVD로 저온 성장된 SiO₂/InSb의 전기적 특성", *한국진공학회지*, 제 5권, 제 3호, pp. 223-228, 1996.
- [13] 이재곤, 최시영, "Remote PECVD SiO₂를 이용한 InSb MIS소자의 특성", *대한전자공학회지*, 게재 예정.
- [14] J. F. Wager and C. W. Wilmsen, "The deposited insulator/III-V semiconductor interface", in *Physics and Chemistry of III-V Compound Semiconductor Interfaces*, edited by C. W. Wilmsen, Plenum Press, New York, p. 168, 1985.
- [15] L. M. Terman, "An investigation of surface states at a silicon/silicon oxide interface employing metal-oxide-silicon diodes", *Solid-State Electron.*, vol. 5, pp. 285-299, 1962.
- [16] Y. K. Su and U. H. Liaw, "Study of indium antimonide metal-oxide-semiconductor structure prepared by photochemical-vapor deposition", *J. Appl. Phys.*, vol. 76, no. 8, pp. 4719-4723, 1994.
- [17] J. F. Wager and C. W. Wilmsen, "The deposited insulator/III-V semiconductor interface", in *Physics and Chemistry of III-V Compound Semiconductor Interfaces*, edited by C. W. Wilmsen, Plenum Press, New York, pp. 171-172, 1985.
- [18] J. Buxo, D. Esteve, J. Farre, G. Sarrabayrouse, and J. Simonne, "A model for the large-amplitude hysteresis in MIS structures on InSb", *Appl. Phys. Lett.*, vol. 33, no. 11, pp. 969-971, 1978.
- [19] T. P. Sun, S. C. Lee, K. C. Liu, Y. M. P, and

S. J. Yang, "High-performance metal/SiO₂/InSb capacitor fabricated by photoenhanced chemical vapor deposition", J. Appl. Phys., vol. 68, no. 7, pp. 3701-3706, 1990.

著 者 紹 介

이재곤

『센서학회지 제 3권 제 1호』 논문 94-3-1-03, p.25 참조
 현재 경북대학교 대학원 전자공학과 박사과정

최시영

『센서학회지 제 1권 제 1호』 논문 92-11, p.100 참조
 현재 경북대학교 전자·전기 공학부 교수