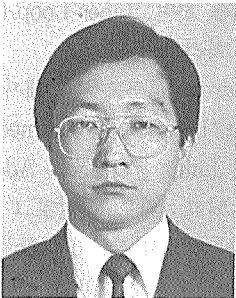


통신산업 디지털 신호처리 기술동향(II)



조 위 덕
전자부품(연)통신기기
연구팀장/공학박사

(3) AT & T社

AT & T의 16비트 고정 소수점 디지털 신호처리기로서 DSP16xx 시리즈, DSP1616x30 리즈가 있다(표 6 참조).

16비트 DSP16xx시리즈는 높은 처리속도를 위해서 명령, 계수, 데이터를 병렬로 처리할 수 있도록 3개의 내부버스를 사용한다.

또한 2개의 64Kwo-rd어드레스로서 프로그램 및 계수용과 데이터용으로 정의되어 있다.

또한 고속의 Inner Loop 처리를 위해 Inner Loop Code Block이 15개 워드 명령어 Cache에서 수행되도록 되어 있다(그림 11 참조).

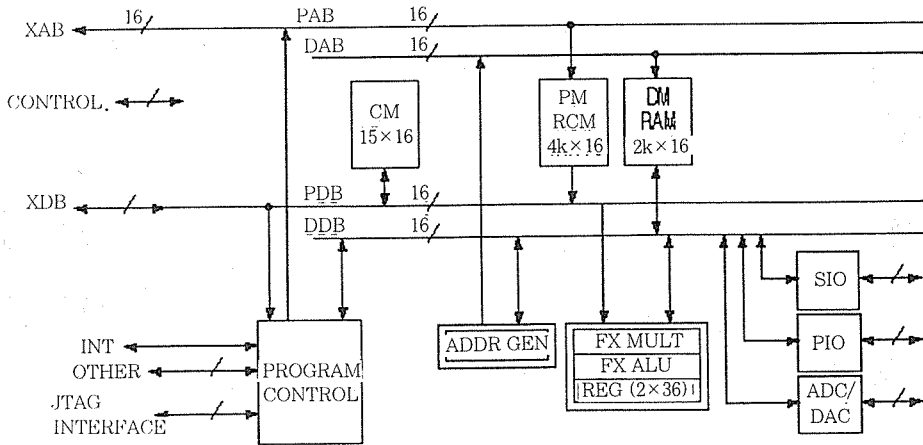
AT&T의 16비트 고정 소수점

디지털 신호처리기중 최근의 것은 DSP 1617로서, 이것은 8 Stage Pipeline, 48개의 명령어, 4개의 36비트 Accumulator, 4개의 16비트 레지스터, 15개의 명령어 Cache, 24Kbyte ROM, 4Kbyte 이중 포트 RAM을 가지고 있다.

또한 8비트 병렬 I/O, 2개의 직렬 I/O, 2개의 외부 인터럽트, Programable Wait State들이 제공되고 특히 직렬 I/O로는 20/25Mbps데이터 전송이 가능하다. 그리고 Sleep, Sleep With Slow Clock, Hardware Stop 등이 Power Management가 되며, 5/3/2.7Volt 동작이 된다.

AT&T의 32비트 부동 소수점 디지털 신호처리기의 대표적인 것

(그림 11) AT & T DSP 16xx 시리즈의 내부구조



은 DSP3210인데, 그림 12에서와 같이 레지스터 지향의 간략한 구조를 가진다. 이것은 '84년에 소개된 것으로서 최초의 일반용도의 32비트 부동 소수점 디지털 신호처리기 프로세스들 중의 하나인 DSP32를 개선한 것으로 일반 마이크로 프로세서인 680x0나 80x86버스와 쉽게 접속될 수 있도록 I/O인터페이스가 수정된 것이다.

또한 외부 DRAM을 위한 On Chip DRAM컨트롤러가 있다. 따라서 DSP 3210을 사용하여 하드웨어 설계시 설계가 간략화될 수 있다.

DSP3210은 68의 명령어, 2개의 4Kbyte RAM블럭, 1Kbyte boot ROM, 32비트 배럴 쉬프터 (barrel shifter), 32비트 어드레스 영역, 외부 메모리용 버스, 2개의 DMA 채널, 32비트 타이머를 가지고 있으며, 1사이클 MAC,

ADD동작으로 660nsec 부동 소수점 DIV가 수행된다. 그리고 보다 효율성있는 프로그램제공을 위해 VCOS(Visible Cache Operating System)라는 운영체제가 지원된다.

(4) Motorola 社

Motorola에서의 디지털 신호처리기 개발은 디지털 셀룰러 및 통신 응용 목적으로 16비트 고정소수점 디지털 신호처리기인 DSP 56100 Family를 개발하였다. 이것은 24비트 고정 소수점 디지털 신호처리기인 DSP56000을 보다 최적화시킨 것으로 A/D변환기 및 D/A 변환기 Analog Front End 블럭이 추가되어 있다. DSP56166은 미국 및 일본 VSELP 표준에 적합한 것이다.

Motolola의 DSP5600 디지털 신호처리기 계열은 그림 13과 같이 Embedded Telecommunicati-

on응용 디지털 신호처리기로서, 단일 사이클 MAC동작과 Product Sum과 벡터처리를 하드웨어로 처리한다. 내부에는 3개의 버스가 있어서 효과적인 데이터 Fetch를 하며, Inner Loop MAC Type 처리를 한다.

Addressing모드로는 레지스터, Direct/Indirect, Immediate, Short Jump, I/O Short Address 등이 되고, 외부 아날로그 신호 입력을 위해서 21 $6\mu\text{sec}$ A/D 변환이 되는 14비트 Sigma Delta Code이 내장되어 있다.

그림 14에서 보인 Motorola의 32비트 부동 소수점 디지털 신호처리기는 S.DSP-96002로서 제3세대 32비트 디지털 신호처리기로서, 고성능의 매우 복잡한 구조이다.

Concurrent Processing을 위해 다섯 개의 내부버스가 있고 레지스터 버스 구조이며 96비트 Ac-

cumulator를 가지고 있다.

외부 디지털 신호처리기나 Host Microprocessor 연결을 위한 외부 버스 인터페이스가 있고, 2개의 DMA 채널, 1개의 직렬 포트, 3

개의 외부 인터럽트 지원 등 다양한 외부접촉이 가능하다.

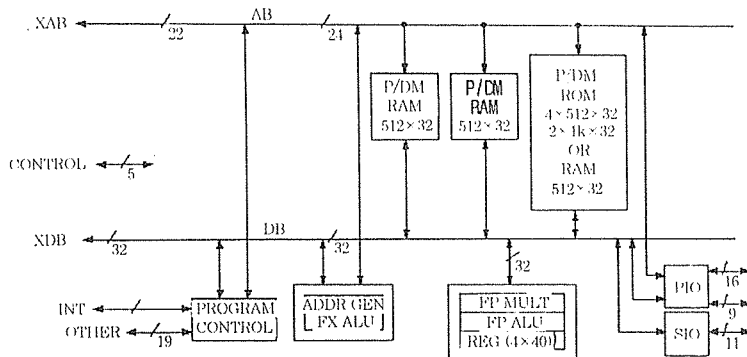
병렬 ALU 및 MAC 동작으로 부동 소수점 나눗셈이 60MHz 클럭에서 200nsec에 처리가 되며,

특별한 명령으로서, DO/End Do, Repeat, Bit Test, Graphics Compare, Divide Iteration, Jump To Subroutine, Move Program Memory 등이 제공된다.

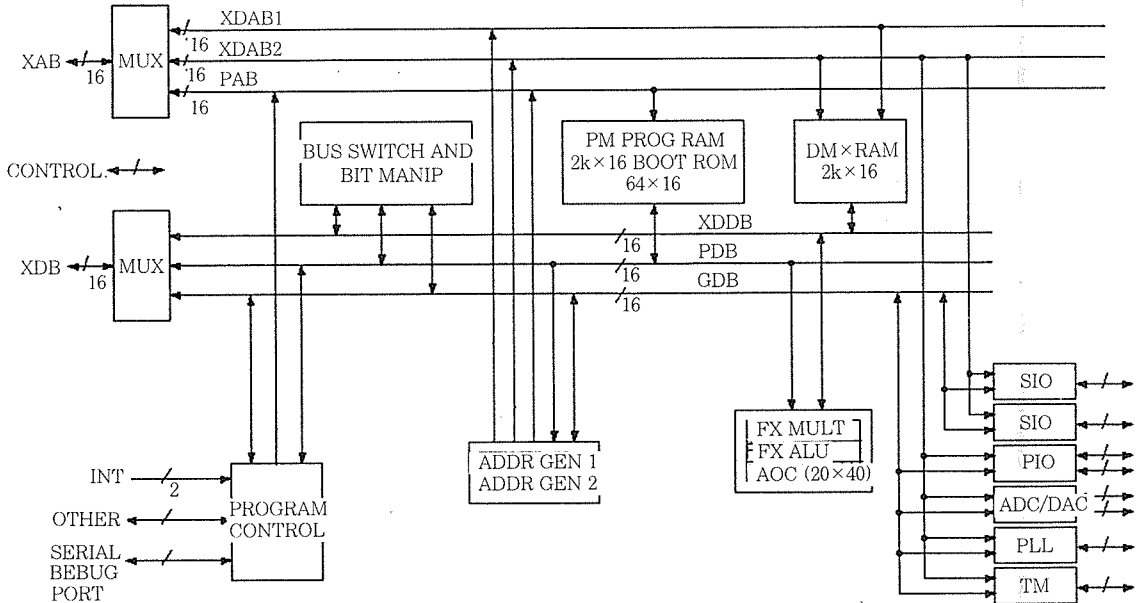
표 7. AT & T DSP Processor들의 비교

IC명	clocke (MHz)	Mode	최대소모전력 (mA, 5Volt)	Pin수, 패키지	가격 (1K base)	주요특성
16bit fxp						
DSP 1604/06	33	Run Sleep	100	84 pin, PLCC	15-20	16/32/48-Kbyte ROM, 2/4-Kbyte RAM, serial I/O port DRAM controller, 2xtimer, low-power mode
DSP 1610	40	Run	130	132pin PQFP	63	1K byte Boot ROM, dual-port RAM, 16bit-timer
DSP 1617	50 30	Run Sleep SWstop	75 36 μ A (2.7V) 28 μ A (2.7V)	100pin PGEP	42.60	2Kbyte ROM, 4Kbyte dual-port RAM. 5/3/2.7V operation power management mode, host/I/O interface single cycle square function, bit/shift unit
DSP 1616 \times 30	50	Run Sleep SWstop	50(2.7V) 33 μ A (2.7V) 28 μ A (2.7V)	100pin PGFP 100pin TGFP	27.40	DSP 1617과 유사
32bit fl						
DSP-32C (1984 year)	40	Run	180	133pin PGA	70	68 instruction, 3-stage pipeline, 1Kbyte boot ROM 32 bit barrel, 32 bit address spare, 32 bit timer 1 cycle MAC/ADD
	50	Run	225	164pin PQFP	57	
DSP 3210	55	Run Wait	225 86	132pin PQFP	44	저가격화된 DSP32C모델
	66	Run Wait	285 103			
DSP 3207	40	Run Wait Gated-C Run Wait	150(3V) 6(3V) 0.6(3V) 282/220 26/22	132pin PQFP	N/S	3Volt peration

〈그림 12〉 AT & T DSP3210의 내부구조



〈그림 13〉 Motorola DSP56100 DSP의 내부구조



〈그림 14〉 Motorola DSP96002의 내부구조

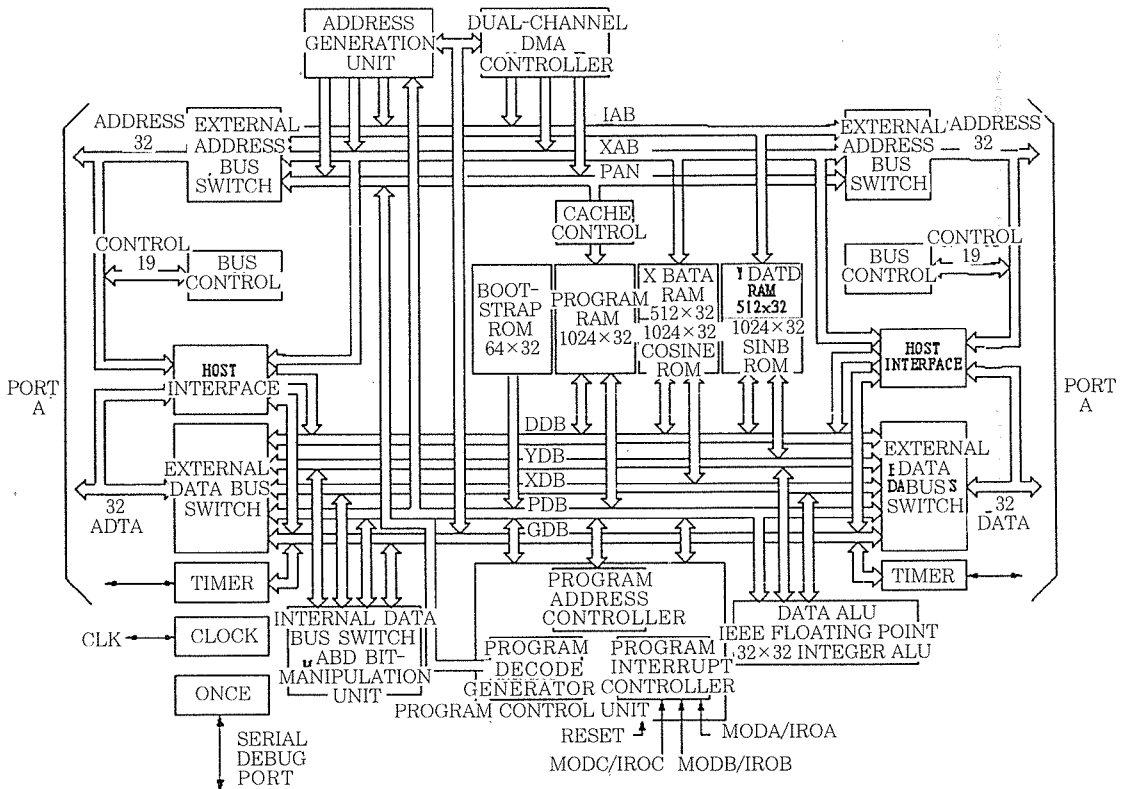


표 8. Motorola사의 DSP Processor들

IC명	clocke (MHz)	Mode	최대소모전력 (mA, 5Volt)	Pin수, 패키지	가격 (1K base)	주요특성
24bit fxp	33/27	Run	185	132pin PQFP	30/25	3-stage pipeline, 62 instructions 23×24 bit MPY. 56 bit accumulator 2address generator
DSP 56001		Stop	2			
		Wait	25			
DSP 56002	40/66	Run	95	132pin PQFP	39.80/ 43.80	2address space 192 Kbyte program, 304 Kbyte data 2serial I/O prot
		Stop	2			
		Wait	10			
DSP 56004	40	Run	95	80pin PGFP	36.60	8bit host interface port 4 external interrupt 112.5 nsec max interrupt latency
		Stop	2			
		Wait	15			
DSP 56L002	40	Run	59(3V)	132pin PGFP	46.20	
		Stop	2.2(3V)			
		Wait	4.4(3V)			
16 bit fxp	60/40	Run	N/S	112pin PGFP	46.10/ 44.30	3-stage pipeline, 89 instructions 4Kbyte program RAM 2×128 Kbyte address space
DSP 56156		Stop				
		Wait				
DSP 56166	60	Run	100	112pin CQFP	51.21	14bit sigma-delta codec 4external interrupt. 8-bit host port
		Stop	11			
		Wait	0.4			
32 bit flp	33.3/40	Run	300	223pin PGA	143.90/ 172.70	9-stage pipeline, 133 instructions 10×96bit register, 24×32bit address register 96bit accumulator 2×2Kbyte RAM block, 4Kbyte programmable RAM 2preprogrammable data ROM 5internal 32 bit bus 2external 32 bit memory bus 2 DMA channel 1 serial port
DSP 96002		Stop	10			
		Wait	3.1			

(5) Star Semiconductor社

독특한 디지털 신호처리기 구조로서 Star Semiconductor의 SP-ROC-1xDO Family 디지털 신호 처리기가 있다.

그럼 15와 같이 SROOC는 4개의 일반 디지털 신호처리기가 내장될 수 있고, 또한 4개의 Dat Flow Manager가 있는 24비트 멀티프로세서 디지털 신호처리기이다. 각 프로세서는 메모리르

Time Sharing하여 공유하며, 프로그램 소프트웨어의 별다른 부담 없이 동시에 실행된다.

SPROC는 SPROC-1400, SP-ROC-1200, SPROC-1210 등이 있으며 대개 클럭은 351210 등이 있으며 대개 클럭은 35~50MHz 이고, 최대 소모전력은 5volt공급 시 300~48mA이다. 가격은 500개 Base구입시 50~90불 정도 단가이다.

(6) DSP Group社

DSP Group은 Oak 또는 Pine 디지털 신호처리기로 불리우는 16비트 고정 소수점 디지털신호처리기 ASIC(Apllid Specific IC) 코아를 개발하여 판매하고 있다.

많은 디지털 신호처리기 응용 시스템 개발회사들은 자체의 디지털 신호처리기 코다를 보유하여 자체 설계기술로 주변 로직 불력을 첨가하고 디지털 신호처리기

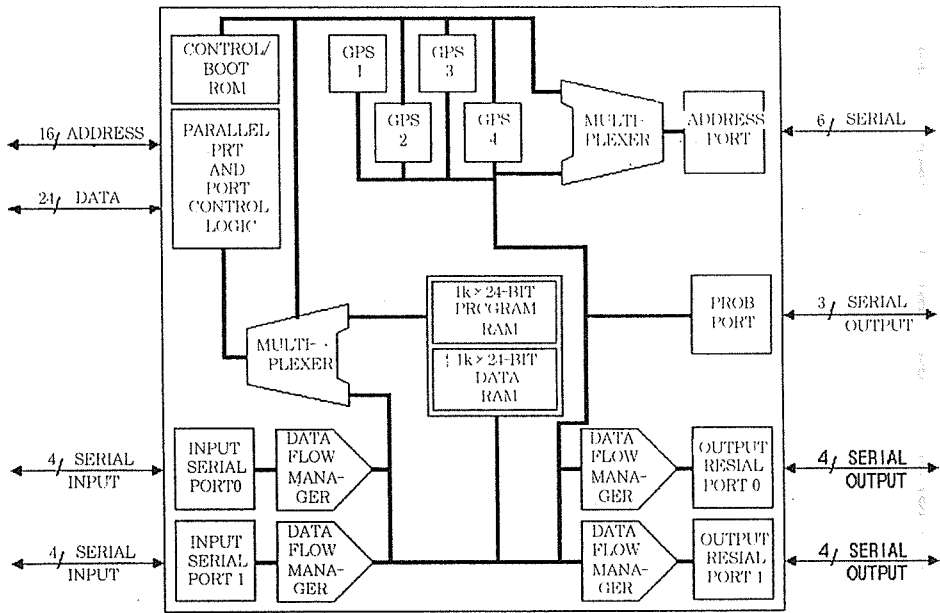
코어를 변형하여 개발 시스템의 특정 용도에 맞는 디지털 신호처리기 개발에 많은 관심을 가져왔다. 이에 부응하기 위한 것이 바

로 DSP Group의 디지털 신호처리기 ASIC 코어이다.

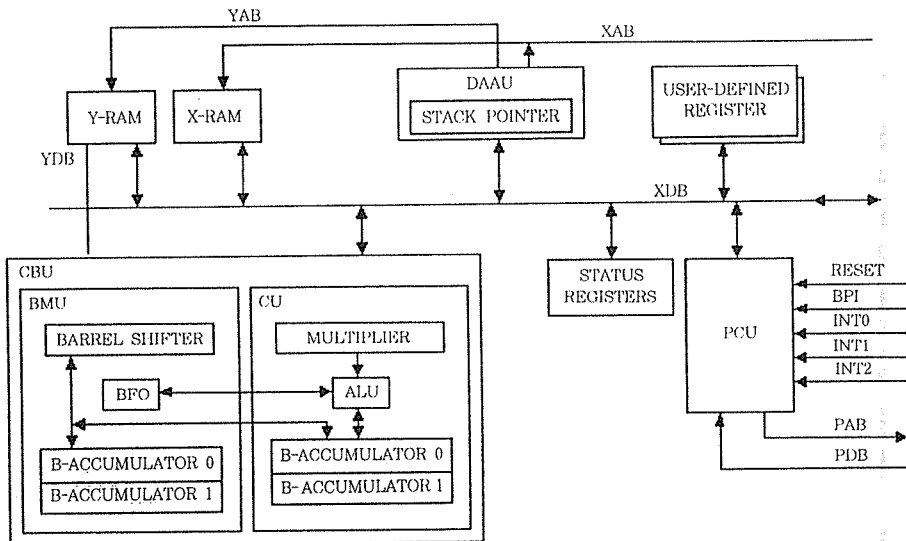
물론 Texas Instruments사에서도 상용 디지털 신호처리 프로

그램을 각 제품설계자에게 지원하지만 디지털 신호처리가 코어 그 자체의 면허를 판매하지는 않는다.

<그림 15> SPROC-1x00 DSP의 내부구조



<그림 16> Oak DSP ASIC core의 내부구조



대량 생산시 Oak/Pine 디지털 신호처리기 코아 가격은 10불대 이하로 떨어질 수도 있으며 0.6 μ m 반도체 공정처리가 가능하다. 그림 16의 Oak 내부구조에서와 같이, 이중 레벨 구조로서 즉 시스템 제어 레벨과 디지털 신호처리기 코아 레벨로 구성되어 있다. 코아 레벨로서는, 데이터 RAM 블록, Data Arithmetic Address Generation Unit, Computational Unit, 36비트 Accumulator가 있는 ALU, 비트 Mapping Unit가 내장되어 있으며, 소프트웨어 스택, 프로그램 콘트롤 유닛, 4개의 범용 레지스터, 6개의 인터럽트, 특수한 On Chip Emulation Module(OCEM)이 있다.

이 OCEM은 실시간 처리디버깅시 Trace 및 Breakpoint처리를 하도록 위한 것이다.

(7) 기 타

언급된 것 이외에는 앞의 디지털 신호처리기 표에서 보여진 바와같이 NEC의 디지털 신호처리기인 μ PD77C25, μ PD77017, μ PD77220 L/R과 SGS-Thomson의 ST18 Family, Zilog Z89C00 Family, zoran ar3800등 다양한 디지털 신호처리기가 있으며, 최근에 국내에서도 삼성의 디지털 신호처리기가 소개된 바 있다.

이러한 여러 종류의 디지털 신

호처리기들은 설계자가 개발하려는 제품의 특성과 가격, 기능등에 따라 선택기준에 차이가 있으며, 특히 디지털 신호처리기가 Emulator 및 제공되는 소프트웨어 라이브러리, 설계지원 수준을 잘 고려하여 주의깊게 선택하여야 한다.

6. 결 론

이상에서 살펴본 모델, 디지털 이동통신시스템, 개인휴대통신시스템, ISDN접속시스템, 전자전자교환시스템 등의 디지털 통신시스템들에서 사용하는 신호처리 핵심부품인 DSP Processor 및 디지털 신호처리 기술은 향후 통신, 컴퓨터, 가전의 TRI-MEDIA시스템산업을 주도할 공통핵심 기술 및 VLSI부품임을 통신산업분야의 일반적인 기술자들도 쉽게 이해할 수 있는 것이다.

또한 관련 시장동향에서도 보여진 바와같이 매년 20%이상의 성장장이 예상되는 시장을 간과하지 말아야 할 것이다.

최근에 일부 기업 및 정부산하출연연구소(한국전자통신연구소, 전자부품종합기술연구소) 그리고 학계에서 통신 및 디지털 신호처리용의 DSP Processor에 대한 구조분석, 설계 및 제조 등을 시도하고 있는 것은 매우 고무적인 일이라 말할 수 없다.

이러한 DSP Processor기술개

발에는 DSP Processor라는 VLSI Chip개발과 아울러 Assembler, High-Level Language Compiler, Algorithm Simulator, Emulation Kit, System Evaluation Application Board 등이 같이 개발 완료되어야 하며 DSP Processor의 국산화를 위해서는 0.6 μ m 이하의 미세선폴의 ASSP(Application Specific Standard Product)제조가 가능한 반도체 Foundry, Cell Library와 신호처리 알고리즘 및 회로설계 전용의 신호처리 Simulator 및 CAD 시스템이 동시에 갖추어져야만이 비로소 그 기술개발 준비환경 구축이 완료된다.

따라서 이의 기술개발은 단기간에 달성될 수 없으며, 통신시스템 분야, 컴퓨터소프트웨어 처리분야, 고집적반도체설계 및 제조분야 그리고 디지털 신호처리용 알고리즘 설계분야 등이 함께 협력하여 공동으로 전략적 Consortium형태로 개발할 때에 만이 해결될 수 있는 대단히 고도의 기술을 요하는 종합기술을 요한다.

끝으로, 최근에 성행하고 있는 DSP기술개발 분야에 대해, 적은 기술인력들이 흩어져 개발되고 있는 국내 기술개발 현실에서, 세계적 기술개발의 쉽없이 빨라지고 있는 첨단기술 Road-Map에 한국이 동승할 수 있는 길이 조만간 이루어지기를 기대해 본다.